

Πανεπιστήμιο Κρήτης
Σχολή Θετικών Επιστημών
Τμήμα Επιστήμης Υπολογιστών

ΣΧΕΔΙΑΣΗ ΕΝΟΣ ΟΔΗΓΟΥ ΤΕΧΝΟΛΟΓΙΑΣ
CMOS 0.18 μm ΓΙΑ ΤΟ ΑΝΑΛΟΓΙΚΟ ΜΕΡΟΣ
ΜΕΤΑΔΟΣΗΣ ΣΕ ΓΡΑΜΜΗ VDSL

Παύλος Ν. Ρομπογιαννάκης

Μεταπτυχιακή Εργασία

Ηράκλειο
Οκτώβριος 2002

Πανεπιστήμιο Κρήτης
Σχολή Θετικών Επιστημών
Τμήμα Επιστήμης Υπολογιστών

**ΣΧΕΔΙΑΣΗ ΕΝΟΣ ΟΔΗΓΟΥ ΤΕΧΝΟΛΟΓΙΑΣ CMOS 0.18 μ m
ΓΙΑ ΤΟ ΑΝΑΛΟΓΙΚΟ ΜΕΡΟΣ ΜΕΤΑΔΟΣΗΣ ΣΕ ΓΡΑΜΜΗ
VDSL**

Εργασία που υποβλήθηκε από τον
Ρομπογιαννάκη Παύλο
ως μερική εκπλήρωση των απαιτήσεων για την απόκτηση
ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΕΙΔΙΚΕΥΣΗΣ

Συγγραφέας:

Πάυλος Ν. Ρομπογιαννάκης
Τμήμα Επιστήμης Υπολογιστών

Εισηγητική Επιτροπή:

Απόστολος Τραγανίτης,
Αναπληρωτής Καθηγητής, Επόπτης

Μανόλης Κατεβαίνης,
Καθηγητής, Μέλος

Δημήτρης Πλεξουσάκης,
Επίκουρος Καθηγητής, Μέλος

Δεκτή:

Πάνος Κωνσταντόπουλος, Καθηγητής
Πρόεδρος Επιτροπής Μεταπτυχιακών Σπουδών

Ηράκλειο, Οκτώβριος 2002

ΣΧΕΔΙΑΣΗ ΕΝΟΣ ΟΔΗΓΟΥ ΤΕΧΝΟΛΟΓΙΑΣ CMOS 0.18 μ m ΓΙΑ ΤΟ ΑΝΑΛΟΓΙΚΟ ΜΕΡΟΣ ΜΕΤΑΔΟΣΗΣ ΣΕ ΓΡΑΜΜΗ VDSL

Παύλος Ν. Ρομπογιαννάκης

Μεταπτυχιακή Εργασία

Τμήμα Επιστήμης Υπολογιστών
Πανεπιστήμιο Κρήτης

Περίληψη

Τα τελευταία χρόνια οι τηλεφωνικές εταιρείες σε όλο τον κόσμο αποφασίζουν να συμπεριλάβουν την ήδη υπάρχουσα υποδομή τοπικών βρόχων του γνωστού συνεστραμμένου-ζευγαριού χαλκού στα ευρυζωνικά δίκτυα πρόσβασης. Οι απαιτούμενοι υψηλοί ρυθμοί μετάδοσης δεν είναι εφικτοί μέσω των καλωδίων χαλκού, τα οποία αδυνατούν να μεταφέρουν συγχρόνως υπηρεσίες φωνής, “interactive video” και άλλων ψηφιακών δεδομένων. Η προσέγγιση “Fiber all the way to the home” (FTTH) είναι ακόμα απαγορευτικά ακριβή σε μια αγορά που οδηγείται από τον ανταγωνισμό παρά το κόστος. Μια εναλλακτική λύση, που μπορεί να γίνει σύντομα εμπορικά πρακτική, είναι ο συνδυασμός δικτύου οπτικών ινών και υπάρχοντων καλωδίων χαλκού μέσω συσκευών που ονομάζονται οπτικές μονάδες δικτύου (Optical Network Units). Αυτή η τοπολογία, που ονομάζεται “Fiber to the Neighborhood” (FTTN), συνδέει ένα εξωτερικό ευρυζωνικό δίκτυο με τον τοπικό κόμβο πρόσβασης του δικτύου DSL με οπτική ίνα, ενώ η ήδη υπάρχουσα υποδομή καλωδίων χαλκού στους τελικούς χρήστες παραμένει άθικτη.

Μια από τις τεχνολογίες που καθιστά δυνατή την τοπολογία FTTN είναι η τεχνολογία VDSL (Very High Speed Digital Subscriber Line). Το VDSL μεταδίδει

πληροφορία με υψηλή ταχύτητα μέσω των τηλεφωνικών γραμμών συνεστραμμένων καλωδίων χαλκού, η οποία κυμαίνεται ανάλογα με το μήκος της γραμμής. Ο μέγιστος προτεινόμενος ρυθμός μετάδοσης προς την κατεύθυνση του παραλήπτη (downstream) είναι μεταξύ 51 και 55 Mbps σε γραμμή μέγιστου μήκους 1000 ποδιών (300 μέτρων). Η τιμή αυτή μπορεί να πέσει στα 13 Mbps, αν το μήκος της γραμμής ξεπεράσει τα 4000 πόδια (1500 μέτρα). Ο ρυθμός μετάδοσης προς την αντίστροφη κατεύθυνση (upstream) προορίζεται, τουλάχιστον στην αρχική υλοποίηση του VDSL να είναι ασύμμετρος, ακριβώς όπως και στην περίπτωση του ADSL, με ταχύτητες από 1.6 έως 2.3 Mbps.

Η υλοποίηση ενός “VDSL chipset” απαιτεί την ανάπτυξη ψηφιακού και αναλογικού υλικού καθώς επίσης και το λογισμικό που είναι απαραίτητο για την ψηφιακή επεξεργασία σήματος και τη δημιουργία διεπαφών. Στην εργασία αυτή γίνεται η σχεδίαση ενός αναλογικού κυκλώματος που βρίσκεται στη μεριά μετάδοσης του σήματος στη γραμμή. Το κύκλωμα καλείται οδηγός γραμμής (Line Driver) και είναι το τελευταίο μιας σειράς αναλογικών κυκλωμάτων (Analog Front End) που βρίσκονται στο μέρος μετάδοσης του σήματος. Το κύκλωμα είναι ικανό να μεταδώσει αναλογικό σήμα εύρους ζώνης μέχρι και 30MHz, δεδομένου ότι αυτό είναι το ανώτερο όριο συχνότητας που μπορεί να μεταφερθεί από ένα συνεστραμμένο ζεύγος καλωδίων χαλκού χωρίς σημαντική απορρόφηση. Το πλάτος του σήματος ενισχύεται και πλησιάζει το όριο που θέτει η τάση τροφοδοσίας. Το πλάτος αυτό διατηρείται για ένα ευρύ φάσμα DC τιμών πόλωσης στην είσοδο του κυκλώματος. Το ενισχυμένο σήμα προσαρμόζεται σε χαρακτηριστική εμπέδηση γραμμής 100 Ohm. Τα παραπάνω χαρακτηριστικά συνδυάζονται με τη φασματική καθαρότητα του σήματος, το οποίο έχει χαμηλή συνολική αρμονική παραμόρφωση καθώς εξέρχεται από το κύκλωμα. Κατ' αυτό τον τρόπο, οι αρμονικές συχνότητες υψηλότερης τάξης της θεμελιώδους, η οποία και μεταφέρει τη χρήσιμη πληροφορία, προκαλούν αμελητέα παρεμβολή.

Επόπτης: Απόστολος Τραγανίτης

Αναπληρωτής Καθηγητής Επιστήμης Υπολογιστών
Πανεπιστήμιο Κρήτης

DESIGN OF A 0.18 μ m CMOS DRIVER FOR VDSL ANALOG FRONT ENDS

Pavlos N. Robogiannakis

Master of Science Thesis

Computer Science Department

University Of Crete

Abstract

During the last years, telephone companies around the world are making decisions to include existing twisted-pair loops in broadband access networks. The desirable high bit-rates are not attainable by the existing copper wire, which comes up short when asked to carry voice telephony, interactive video, and high speed data communications at the same time. Fiber all the way to the home (FTTH) is still prohibitively expensive in a marketplace driven by competition rather than costs. An attractive alternative, soon to be commercially practical, is a combination of fiber cables feeding neighborhood Optical Network Units (ONUs) and last leg premises connections by existing copper. This topology, which can be called Fiber to the Neighborhood (FTTN), connects a regional broadband network to a local Central Office (CO) with fiber, while the rest of the infrastructure to the end users remains intact.

One of the enabling technologies for FTTN is Very high rate Digital Subscriber Line, or VDSL. In simple terms, VDSL transmits high speed data over short reaches of twisted-pair copper telephone lines, with a range of speeds depending upon actual line length. The maximum downstream rate under consideration is

between 51 and 55 Mbps over lines up to 1000 ft (300 meters) in length. Downstream speeds as low as 13 Mbps over lengths beyond 4000 ft (1500 meters) are also in the picture. Upstream rates in early models will be asymmetric, just like ADSL, at speeds from 1.6 to 2.3 Mbps.

VDSL chipsets implementation demands digital and analog hardware as well as software necessary for Digital Signal Processing and interfaces. This work deals with the design of a circuit included in the Analog Front End, which is the analog part of the transmitter hardware. The circuit is called a Line Driver and is the last of the units that constitute the Analog Front End. It is capable of transmitting an analog signal that can reach 30MHz of bandwidth, since this is the upper limit of frequencies that are transferred on copper twisted pairs. The signal swing reaches the supply rails and retains it for a wide range of DC offset input values. The amplified signal to be transmitted on the line is matched to a 100-Ohm impedance. The benefits of signal amplification, wide DC input range and impedance matching are combined with its spectral purity, since the line driver produces an output signal with low Total Harmonic Distortion (THD). In this way, the higher-order harmonics of the fundamental frequency that carries the useful data, cause insignificant interference.

Advisor:

Apostolos Traganitis

Associate Professor

Computer Science Department

University Of Crete

Ευχαριστίες

Στην εκπόνηση της εργασίας αυτής συνέβαλαν καθοριστικά ορισμένοι τους οποίους θα ήθελα να ευχαριστήσω.

Πρώτα θα ήθελα να ευχαριστήσω τον επιβλέποντά μου, Απόστολο Τραγανίτη, Αναπληρωτή Καθηγητή του Τμήματος Επιστήμης Υπολογιστών στο Πανεπιστήμιο Κρήτης, και Ερευνητή της Ομάδας Δικτύων και Ψηφιακών Επικοινωνιών του Ινστιτούτου Επιστήμης Υπολογιστών, στο Ίδρυμα Τεχνολογίας και Έρευνας (ΙΤΕ). Η εμπειρία και η καθοδήγησή του καθόλη τη διάρκεια της εργασίας ήταν πολύ σημαντικές για την ποιότητα και την τελική επιτυχία της σχεδίασης.

Επίσης, θα ήθελα να ευχαριστήσω τον Μανόλη Κατεβαΐνη, Καθηγητή του Τμήματος Επιστήμης Υπολογιστών στο Πανεπιστήμιο Κρήτης, και επικεφαλής της Ομάδας VLSI και Αρχιτεκτονικής Υπολογιστών (CARV) του Ινστιτούτου Επιστήμης Υπολογιστών, στο Ίδρυμα Τεχνολογίας και Έρευνας (ΙΤΕ). Το εργαστήριο του CARV προσέφερε την τεχνική και ηθική υποστήριξη, που σε συνδυασμό με τις παραδόσεις του σε μαθήματα υλικού (hardware), παρείχαν μία προσεκτική και λεπτομερή κατανόηση των βασικών αρχών του αντικειμένου της σχεδίασης ολοκληρωμένων κυκλωμάτων.

Πολύ σημαντική ήταν η συμβολή του Χρήστου Σωτηρίου, Ερευνητή της Ομάδας VLSI και Αρχιτεκτονικής Υπολογιστών (CARV) του Ινστιτούτου Επιστήμης Υπολογιστών, στο Ίδρυμα Τεχνολογίας και Έρευνας (ΙΤΕ). Η βοήθειά του ήταν πολύτιμη σε κρίσιμα σημεία της εργασίας. Η γνώσεις του γύρω από τα μοντέλα της συγκεκριμένης τεχνολογίας μέσω της χρήσης τους από το σχεδιαστικό εργαλείο της Cadence που χρησιμοποιήθηκε, συνετέλεσε στη δημιουργία του αναντικατάστατου περιβάλλοντος σχεδίασης βασισμένου σε βιομηχανικές προδιαγραφές.

Τέλος, πρέπει να ευχαριστήσω όλα τα μέλη της Ομάδας VLSI και Αρχιτεκτονικής Υπολογιστών (CARV), της Ομάδας Δικτύων και Ψηφιακών Επικοινωνιών του Ινστιτούτου Επιστήμης Υπολογιστών, στο Ίδρυμα Τεχνολογίας και Έρευνας (ΙΤΕ) αλλά και του Τμήματος Επιστήμης Υπολογιστών του Πανεπιστημίου Κρήτης για την υλικοτεχνική υποστήριξη που παρείχαν.

Παύλος Ν. Ρομπογιαννάκης

Περιεχόμενα

Περίληψη	1
Abstract	3
Ευχαριστίες	5
Περιεχόμενα	7
Κατάλογος Σχημάτων	11
Κατάλογος Πινάκων	15
Εισαγωγή	17
ΚΕΦΑΛΑΙΟ 1 Εισαγωγή στην τεχνολογία DSL	17
1.1 Τεχνολογία πρόσβασης DSL	17
1.2 Αρχιτεκτονική του δικτύου DSL	19
1.3 Τύποι DSL (xDSL)	22
1.3.1 Τύποι DSL ασύμμετρου χαρακτήρα	24
1.3.1.1 ADSL	24
1.3.1.2 ADSL Lite	25
1.3.1.3 RADSL	26
1.3.1.4 VDSL	27
1.3.2 Τύποι DSL συμμετρικού χαρακτήρα	28
1.3.2.1 IDSL	28
1.3.2.2 HDSL	28
1.3.2.3 HDSL2	29
1.3.2.4 SDSL	30
1.3.2.5 VDSL	31
ΚΕΦΑΛΑΙΟ 2 Στοιχεία εξέλιξης του VDSL	32

2.1	Εισαγωγή: Ο συνδυασμός χάλκινων καλωδίων και οπτικών ινών στη μεταφορά πληροφορίας	32
2.2	Λόγοι ύπαρξης του VDSL	33
2.3	Περιοχές εφαρμογής του VDSL	34
2.4	Φορείς και προτάσεις προτυποποίησης της τεχνολογίας VDSL	35
2.5	Προδιαγραφές της τεχνολογίας VDSL	36
2.5.1	Εκμεταλλεύσιμο φάσμα συχνοτήτων	36
2.5.2	Διαχείριση διαθέσιμου φάσματος συχνοτήτων ...	36
2.5.3	Τεχνικές διαμόρφωσης σήματος	39
2.5.4	Λοιπές προδιαγραφές μετάδοσης σημάτων VDSL	40
ΚΕΦΑΛΑΙΟ 3	Το αναλογικό μέρος μετάδοσης σήματος της γραμμής VDSL	41
3.1	Ψηφιακό μέρος	42
3.2	Αναλογικό μέρος	43
3.2.1	Το μέρος μετάδοσης σήματος	43
3.2.1.1	Ψηφιακός-σε-Αναλογικό Μετατροπέας (DAC)	43
3.2.1.2	Βαθυπερατό φίλτρο μετάδοσης .	44
3.2.1.3	Οδηγός γραμμής	44
3.2.1.4	Υβριδικό κύκλωμα	45
3.2.2	Το μέρος λήψης του σήματος	47
3.2.2.1	Αυτόματος Έλεγχος Κέρδους Automatic gain control (AGC) ..	47
3.2.2.2	Φίλτρο αποφυγής διασυμβολικής επικάλυψης	48
3.2.2.3	Αναλογικός-σε-Ψηφιακό Μετατροπέας (ADC)	48
ΚΕΦΑΛΑΙΟ 4	Η αρχιτεκτονική του οδηγού της γραμμής VDSL	49
4.1	Αρχιτεκτονική του σταδίου εισόδου	51
4.1.1	Το στάδιο σταθερής διαγωγιμότητας (g_m)	51

4.1.2	Η παροχή κέρδους από ένα στάδιο τοπολογίας “folded-cascode”	55
4.2	Το στάδιο εξόδου	57
4.2.1	Εισαγωγή στη θεωρία των σταδίων εξόδου ...	57
4.2.2	Αρχιτεκτονική του σταδίου εξόδου	58
4.3	Συνολική τοπολογία του VDSL Driver	60
4.4	Υλοποίηση των προτάσεων σχεδίασης	70
4.4.1	Το στάδιο εισόδου σταθερής διαγωγιμότητας g_m	70
4.4.2	Η υλοποίηση της τοπολογίας αναδιπλωμένου “cascode” (“folded-cascode”)	74
4.4.3	Το στάδιο εξόδου	77
4.4.4	AC κέρδος σήματος	80
4.4.5	Λόγος απόρριψης κοινού σήματος (Common Mode Rejection Ratio-CMRR)	86
4.4.6	Συνολική Αρμονική Παραμόρφωση (Total Harmonic Distortion-THD)	88
4.4.7	Μεταβολή του κέρδους τάσης συναρτήσει του χωρητικού φορτίου εξόδου	97
4.4.8	Λειτουργία του VDSL Driver με σήμα εισόδου 20 MHz	101
4.4.9	Λειτουργία του VDSL Driver με σήμα εισόδου 10MHz	103
4.4.10	Ενίσχυση του κέρδους τάσης	106
4.4.11	Θερμοκρασιακό εύρος λειτουργίας	108
	Συμπεράσματα	111
	ΠΑΡΑΡΤΗΜΑ Α	112
	ΠΑΡΑΡΤΗΜΑ Β	119
	ΠΑΡΑΡΤΗΜΑ Γ	136

ΠΑΡΑΡΤΗΜΑ Δ	142
Βιβλιογραφία	146

ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ

ΣΧΗΜΑ 1	Η τεχνολογία πρόσβασης γραμμής DSL	18
ΣΧΗΜΑ 2	Αρχιτεκτονική δικτύων πρόσβασης DSL	20
ΣΧΗΜΑ 3A	Διαχείριση του φάσματος VDSL με πολυπλεξία στη συχνότητα (Frequency Division Multiplexing-FDM)	38
ΣΧΗΜΑ 3B	Διαχείριση του φάσματος VDSL με την τεχνική της απαλοιφής ηχούς (echo cancellation).....	38
ΣΧΗΜΑ 4	Σχηματικό διάγραμμα μετάδοσης στο VDSL σε επίπεδο διαγράμματος μπλοκ	41
ΣΧΗΜΑ 5	Αρχή λειτουργίας του υβριδικού κυκλώματος	46
ΣΧΗΜΑ 6	Διάγραμμα σε επίπεδο “block” της προτεινόμενης αρχιτεκτονικής του οδηγού γραμμής VDSL	50
ΣΧΗΜΑ 7	Περιοχή κοινών DC τιμών για το “rail-to-rail” στάδιο εισόδου...	52
ΣΧΗΜΑ 8	Στάδιο εισόδου “rail-to-rail” στο οποίο η διαγωγιμότητα g_m ελέγχεται με καθρέπτες αναλογίας 1:3	53
ΣΧΗΜΑ 9	Κυκλώματα “Folded cascode”	55
ΣΧΗΜΑ 10	Στάδιο κέρδους τοπολογίας “folded-cascode”	56
ΣΧΗΜΑ 11	“Push-pull” CMOS στάδιο εξόδου με μεταβολή του σήματος “rail-to-rail”.....	57
ΣΧΗΜΑ 12	Στάδιο εξόδου “rail-to-rail” σε λειτουργία τάξης AB.....	58
ΣΧΗΜΑ 13	Τοπολογία δύο σειριακά συνδεδεμένων σταδίων.....	61
ΣΧΗΜΑ 14	Τοπολογία τριών σειριακά συνδεδεμένων σταδίων.....	62
ΣΧΗΜΑ 15	Τοπολογία δύο σταδίων με ενσωμάτωση του κυκλώματος ελέγχου τάξης AB στο προηγούμενο στάδιο.....	64
ΣΧΗΜΑ 16	Τοπολογία δύο σταδίων. Το αθροιστικό κύκλωμα κέρδους πολώνεται από δύο ανεξάρτητες πηγές ρεύματος, τις I_{b3} και I_{b4} ..	65
ΣΧΗΜΑ 17	Τοπολογία δύο σταδίων. Το αθροιστικό κύκλωμα κέρδους περιέχει δύο καθρέπτες ρεύματος που πολώνονται από μία πηγή ρεύματος (I_{b3}).....	67
ΣΧΗΜΑ 18	Τοπολογία δύο σταδίων. Η πηγή ρεύματος I_{b3} υλοποιείται από τα τρανζίστορ M_{27} , M_{28}	68
ΣΧΗΜΑ 19	Επιλογή των W/L για το στάδιο εισόδου.....	73

ΣΧΗΜΑ 20	Υλοποίηση της τοπολογίας των “folded-cascodes”.....	75
ΣΧΗΜΑ 21	Διακύμανση του σήματος στην έξοδο του M_{14} συναρτήσει του χρόνου	76
ΣΧΗΜΑ 22	Διακύμανση του σήματος στην έξοδο του M_{16} συναρτήσει του χρόνου.....	76
ΣΧΗΜΑ 23	Συνολική τοπολογία απλής εξόδου.....	78
ΣΧΗΜΑ 24	Σήμα απλής εξόδου.....	80
ΣΧΗΜΑ 25	Τοπολογία διαφορικής εξόδου.....	82
ΣΧΗΜΑ 26	Διαφορικό σήμα εξόδου.....	84
ΣΧΗΜΑ 27	Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt.....	86
ΣΧΗΜΑ 28	CMRR σε dB συναρτήσει DC τιμών εισόδου (1V – 2V).....	88
ΣΧΗΜΑ 29	Πλάτη υψηλότερων αρμονικών μετά την εφαρμογή του DFT στο σήμα εξόδου	89
ΣΧΗΜΑ 30	Μεγένθυση της περιοχής πλατών των υψηλότερων αρμονικών	89
ΣΧΗΜΑ 31	THD σε dB συναρτήσει του κοινού σήματος εισόδου.....	91
ΣΧΗΜΑ 32	Τελική μορφή του κυκλώματος με εφαρμογή αρνητικής ανάδρασης.....	92
ΣΧΗΜΑ 33	Πλάτη υψηλότερων αρμονικών μετά την εφαρμογή του DFT στο σήμα εξόδου.....	93
ΣΧΗΜΑ 34	Μεγένθυση της περιοχής πλατών των υψηλότερων αρμονικών	93
ΣΧΗΜΑ 35	THD σε dB συναρτήσει του κοινού σήματος εισόδου.....	95
ΣΧΗΜΑ 36	Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt.....	95
ΣΧΗΜΑ 37	Κέρδος τάσης σήματος συναρτήσει της DC εισόδου μετά την εφαρμογή αρνητικής ανάδρασης.....	96
ΣΧΗΜΑ 38	THD συναρτήσει της DC εισόδου μετά την εφαρμογή αρνητικής ανάδρασης.....	96
ΣΧΗΜΑ 39	Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 10pF	97
ΣΧΗΜΑ 40	Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 10pF	98
ΣΧΗΜΑ 41	Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 100pF	98
ΣΧΗΜΑ 42	Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 200pF	99
ΣΧΗΜΑ 43	Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 500pF	100
ΣΧΗΜΑ 44	Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 1nF	100

ΣΧΗΜΑ 45	Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt	102
ΣΧΗΜΑ 46	THD σε dB συναρτήσει του κοινού σήματος εισόδου.....	103
ΣΧΗΜΑ 47	Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt	105
ΣΧΗΜΑ 48	THD σε dB συναρτήσει του κοινού σήματος εισόδου.....	105
ΣΧΗΜΑ 49	Σήμα τοπολογίας απλής εξόδου μετά τον διπλασιασμό της διαγωγιμότητας (το αποτέλεσμα προκύπτει για χωρητικότητα εξόδου 100pF)	107
ΣΧΗΜΑ 50	Διάγραμμα Bode διαφορικής τοπολογίας μετά τον διπλασιασμό της διαγωγιμότητας	107
ΣΧΗΜΑ 51	Κέρδος τάσης στη θερμοκρασία των 0°C.....	108
ΣΧΗΜΑ 52	Κέρδος τάσης στη θερμοκρασία των 40°C	109
ΣΧΗΜΑ 53	Κέρδος τάσης στη θερμοκρασία των 80°C	109
ΣΧΗΜΑ 54	Κέρδος τάσης στη θερμοκρασία των 100°C	110

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

ΠΙΝΑΚΑΣ 1	Διαφορετικοί τύποι τεχνολογίας DSL	23
ΠΙΝΑΚΑΣ 2	Τιμές του AC κέρδους για ολόκληρη την περιοχή DC τιμών εισόδου	85
ΠΙΝΑΚΑΣ 3	Τιμές του DC κέρδους και του CMRR για ολόκληρη την περιοχή DC τιμών εισόδου.....	87
ΠΙΝΑΚΑΣ 4	Πλάτη άρτιων αρμονικών και THD για επιλεγμένες DC τιμές εισόδου.....	90
ΠΙΝΑΚΑΣ 5	Πλάτη άρτιων αρμονικών, THD και AC κέρδος για επιλεγμένες DC τιμές εισόδου.....	94
ΠΙΝΑΚΑΣ 6	Τιμές του DC κέρδους και του CMRR για ολόκληρη την περιοχή DC τιμών εισόδου και θεμελιώδη συχνότητα μετάδοσης 20MHz	102
ΠΙΝΑΚΑΣ 7	Τιμές του DC κέρδους και του CMRR για ολόκληρη την περιοχή DC τιμών εισόδου και θεμελιώδη συχνότητα μετάδοσης 10MHz.....	104

ΕΙΣΑΓΩΓΗ

Το **DSL** (*Digital Subscriber Line*), όπως δηλώνουν και οι επιμέρους λέξεις που συνιστούν την ονομασία του, αποτελεί μία ψηφιακή (“digital”) τεχνολογία πρόσβασης γραμμής (access “line” technology), η οποία εφαρμοζόμενη στο γνωστό από τον κόσμο της παραδοσιακής τηλεφωνίας φυσικό μέσο του συνεστραμμένου ζεύγους των χάλκινων καλωδίων στο τοπικό βρόχο (*local loop*), εξασφαλίζει υψηλές ταχύτητες πρόσβασης από τον εξοπλισμό του συνδρομητή (“subscriber”) μέχρι το τοπικό τηλεπικοινωνιακό κέντρο (*central office – CO*) του παροχέα υπηρεσιών πρόσβασης (*network access provider – NAP*) (βλ. Σχ. 1). Ισοδύναμα, το DSL συνιστά μία τεχνολογία modem, η οποία εφαρμόζεται ανάμεσα στον εξοπλισμό του πελάτη/συνδρομητή (*customer premises equipment – CPE*) και το τοπικό κέντρο ενός τηλεπικοινωνιακού φορέα για την εξασφάλιση υψηλού εύρους ζώνης πάνω από τον τοπικό βρόχο (*broadband local loop*) [1].

ΚΕΦΑΛΑΙΟ 1

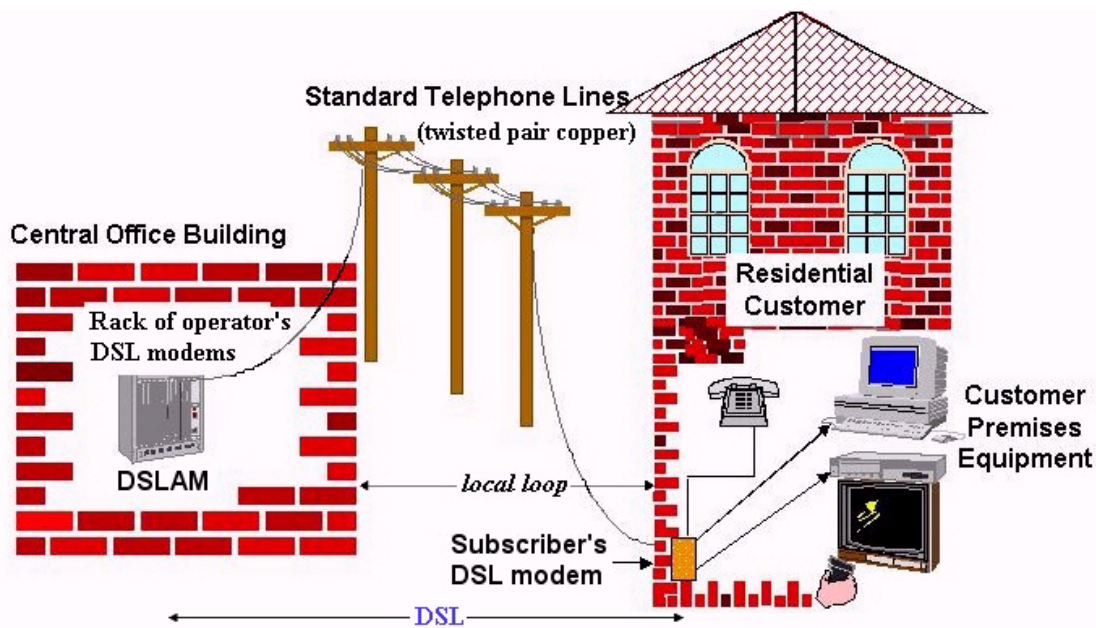
Εισαγωγή στην τεχνολογία DSL

1.1

Τεχνολογία πρόσβασης DSL

Το DSL υλοποιώντας σύγχρονες τεχνικές επεξεργασίας ψηφιακών σημάτων (digital signal processing) και εξελιγμένες μεθόδους διαμόρφωσης (modulation methods) επιτυγχάνει την παροχή πάνω από το τηλεφωνικό χάλκινο ζεύγος καλωδίων που εκτείνεται κατά μήκος του τοπικού βρόχου, υψηλών ρυθμών μετάδοσης της τάξης των εκατοντάδων kilobits το δευτερόλεπτο (kbps) μέχρι δεκάδων Megabits το δευτερόλεπτο. Ως τεχνολογία modem απαιτεί την ύπαρξη modem και στα δύο άκρα

του τοπικού βρόχου, τόσο στην πλευρά του συνδρομητή όσο και στην πλευρά του παροχέα της υπηρεσίας DSL (Σχ. 1).



Σχήμα 1. Η τεχνολογία πρόσβασης γραμμής DSL.

Συνεπώς το DSL εντοπίζεται στο επίπεδο 1 (layer 1) ή φυσικό επίπεδο (physical layer) του μοντέλου αναφοράς OSI (OSI reference model) και εφαρμόζεται στα δύο άκρα του τοπικού βρόχου. Ως εκ τούτου η τεχνολογία του DSL δεν θα πρέπει εκλαμβάνεται ως ένα πρωτόκολλο ή μία τεχνολογία η οποία υλοποιεί μία από άκρη σε άκρη (“end-to-end”) υπηρεσία ενός δικτύου WAN ευρείας ζώνης. Αντίθετα, το DSL συνιστά μία τεχνολογία πρόσβασης του φυσικού επιπέδου, η οποία εφαρμόζεται πάνω από το φυσικό μέσο των κοινών τηλεφωνικών χάλκινων καλωδίων για την παροχή υπηρεσιών πρόσβασης ευρείας ζώνης κατά μήκος του τοπικού βρόχου.

Το DSL, λόγω ακριβώς των υψηλών επιδόσεων σε ρυθμούς πρόσβασης που εξασφαλίζει στους συνδρομητές, συνιστά μία τεχνολογία η οποία συγκαταλέγεται στο ευρύτερο σύνολο των τεχνολογιών πρόσβασης, που ανταγωνίζονται μεταξύ τους στο γενικό πλαίσιο για την παροχή «υπηρεσιών ευρείας ζώνης στο σπίτι» (*broadband to the home – BTTH*) [2].

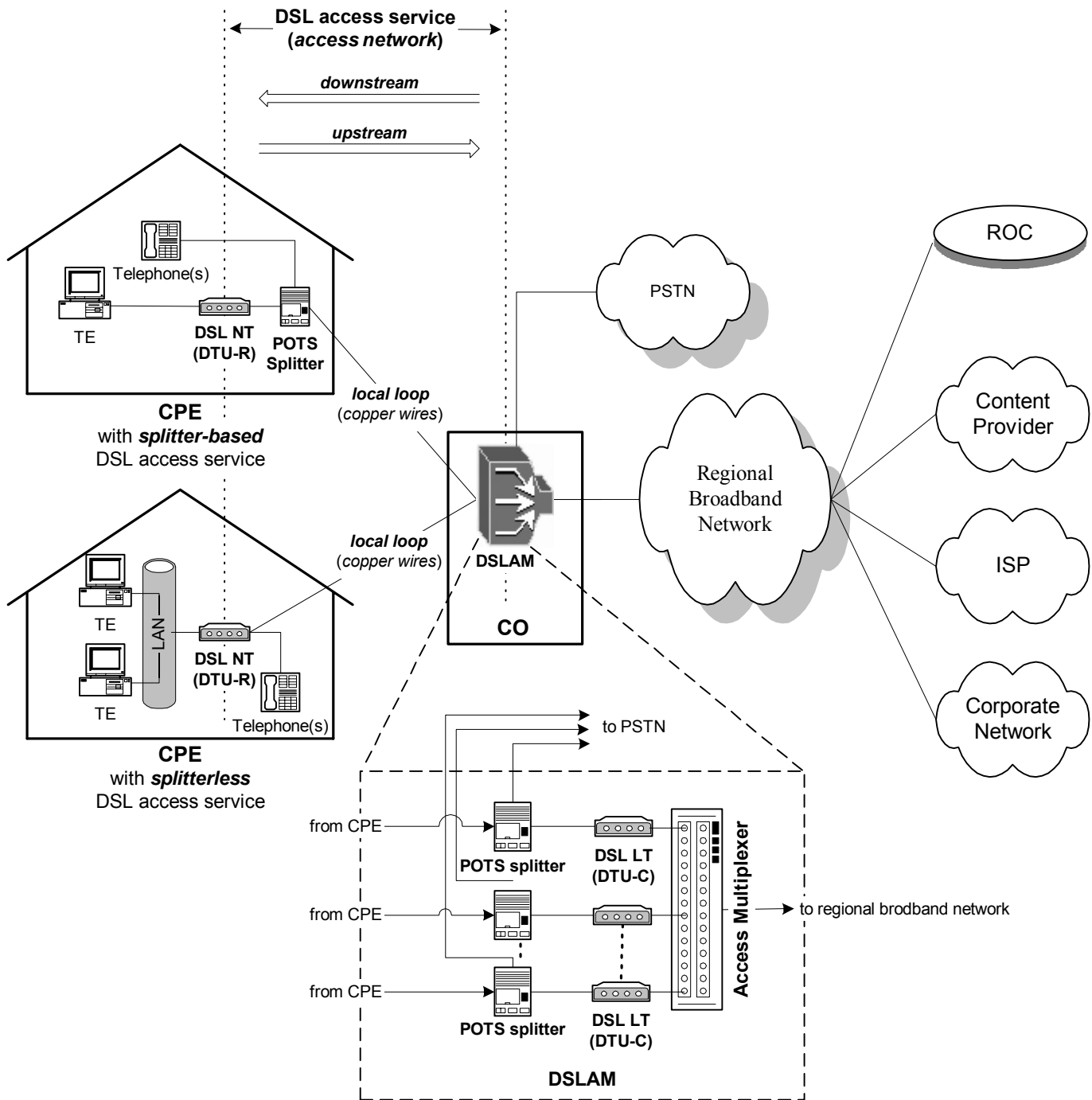
1.2

Αρχιτεκτονική του δικτύου DSL

Στο Σχ. 2 απεικονίζεται η αρχιτεκτονική των δικτύων πρόσβασης DSL και το γενικότερο πλαίσιο το οποίο ισχύει στην περίπτωση της παροχής δικτυακών υπηρεσιών υψηλού επιπέδου (π.χ. Internet access) με χρήση της στοιχειώδους υπηρεσίας πρόσβασης DSL. Η αρχιτεκτονική αυτή έχει διατυπωθεί από το DSL Forum [1] και ισχύει για κάθε τύπο τεχνολογίας DSL.

Δεδομένου ότι το DSL αποτελεί μία τεχνολογία modem για τον τοπικό βρόχο, οι συσκευές οι οποίες συμμετέχουν στην υλοποίηση της υπηρεσίας πρόσβασης DSL εντοπίζονται στα δύο άκρα του τοπικού βρόχου και είναι οι ακόλουθες (βλ. Σχ. 2):

- **DSL network termination (DSL NT) ή DSL transmission unit remote (DTU-R).** Πρόκειται για την συσκευή modem η οποία υπάρχει στην πλευρά του εξοπλισμού του συνδρομητή/πελάτη της υπηρεσίας (CPE).
- **CPE POTS splitter.** Πρόκειται για την συσκευή που εντοπίζεται στον εξοπλισμό του πελάτη/συνδρομητή της υπηρεσίας (CPE) στην περίπτωση η παροχή της υπηρεσίας POTS μέσα από την γραμμή DSL βασίζεται στην ύπαρξη φίλτρου στον εξοπλισμό του πελάτη/συνδρομητή (splitter-based/splittered DSL). Η συσκευή αυτή του splitter υλοποιεί ένα παθητικό φίλτρο (passive filter) για τον διαχωρισμό των σημάτων των διαφορετικών συχνοτήτων που αντιστοιχούν στην κυκλοφορία δεδομένων και την κυκλοφορία φωνής της παραδοσιακής τηλεφωνικής υπηρεσίας (POTS) πριν την ταυτόχρονη μετάδοση αυτών στο κοινό μέσο του τοπικού βρόχου. Στην συσκευή αυτή καταλήγει το DSL NT καθώς και οι συσκευές POTS του συνδρομητή (π.χ. τηλέφωνο, τηλεφωνητής, fax). Η συσκευή του CPE POTS splitter μπορεί να υλοποιείται και ως εσωτερική συσκευή στο DSL modem του συνδρομητή.



Σχήμα 2. Αρχιτεκτονική δικτύων πρόσβασης DSL.

- **DSL access multiplexer (DSLAM).** Πρόκειται για την συσκευή η οποία υπάρχει στο τοπικό κέντρο του τηλεπικοινωνιακού φορέα και στην οποία καταλήγουν όλα τα καλώδια χαλκού των τοπικών βρόχων μίας γεωγραφικής περιοχής (π.χ. γειτονιά ή συνοικία). Το DSLAM, όπως δηλώνει και η ονομασία του, αποτελεί μία συσκευή πολυπλεξίας (multiplexing equipment) των ψηφιακών μεταδόσεων που προέρχονται από/προορίζονται προς ένα

σύνολο DSL modems συνδρομητών (DSL NTs). Η συσκευή του DSLAM, όπως φαίνεται και στο Σχ. 2, συνίσταται στις ακόλουθες επιμέρους συσκευές:

- **DSL line termination** (DSL LT) ή **DSL transmission unit central** (DTU-C). Πρόκειται για την συσκευή modem η οποία υπάρχει στην πλευρά του εξοπλισμού DSL του τηλεπικοινωνιακού φορέα, αντίστοιχη του DSL NT στην πλευρά του συνδρομητή. Στην συσκευή αυτή πραγματοποιείται ο τερματισμός (termination) των κυκλωμάτων/γραμμών DSL των συνδρομητών [2], εξ ου και η ονομασία της συσκευής ως DSL line termination. Σε κάθε DSL modem συνδρομητή (DSL NT) αντιστοιχεί ένα DSL modem στο τοπικό κέντρο (DSL LT).
- **Access multiplexer** (AM). Πρόκειται για το σύστημα που για την κατεύθυνση ανόδου¹ υλοποιεί την λειτουργικότητα της **πολύπλεξης** (multiplexing) των ψηφιακών σημάτων πολλαπλών modems (DSL LTs) σε ένα ψηφιακό σήμα για την μετάδοσή του στο περιφερειακό δίκτυο ευρείας ζώνης που διασυνδέει τα DSLAMs με τα δίκτυα των παροχέων των υπηρεσιών υψηλού επιπέδου (π.χ. content provider, ISP). Στην κατεύθυνση καθόδου² το σύστημα αυτό υλοποιεί **α)** την λειτουργία της **αποπολύπλεξης** (demultiplexing) ενός ψηφιακού σήματος σε ψηφιακά σήματα καθένα από τα οποία συνιστά ροή κυκλοφορίας προοριζόμενη σε συνδρομητή και **β)** την **δρομολόγηση** (routing)/**μετάδοση** των σημάτων αυτών στον τοπικό βρόχο του συνδρομητή-αποδέκτη [2].

Συνολικά η συσκευή του DSLAM είναι επιφορτισμένη με την εκτέλεση των ακόλουθων λειτουργιών:

τον τερματισμό των γραμμών DSL των συνδρομητών. Η λειτουργία αυτή πραγματοποιείται από τα DTU-Rs που περιλαμβάνονται στο DSLAM, ένα για κάθε modem εξυπηρετούμενου συνδρομητή (DTU-C).

την συγκέντρωση/πολύπλεξη των DSL γραμμών προς το περιφερειακό δίκτυο ευρείας ζώνης διασύνδεσης των DSLAMs με τα δίκτυα των παροχέων υπηρεσιών. Η

¹ Ως κατεύθυνση *ανόδου* (upstream direction) ορίζεται η κατεύθυνση με φορά από τον εξοπλισμό του συνδρομητή/πελάτη (CPE) προς το τοπικό τηλεπικοινωνιακό κέντρο (CO) (βλ. Σχ. 2).

² Ως κατεύθυνση *καθόδου* (downstream direction) ορίζεται η κατεύθυνση με φορά από το τοπικό τηλεπικοινωνιακό κέντρο (CO) προς τον εξοπλισμό του συνδρομητή/πελάτη (CPE) (βλ.Σχ. 2).

λειτουργία αυτή εκτελείται από το στοιχείο του πολυπλέκτη (AM) που υλοποιείται στο DSLAM. Το DSLAM ονομάζεται επίσης και **κόμβος πρόσβασης** (access node – AN).

Όπως φαίνεται και στο Σχ. 2, το **δίκτυο πρόσβασης** (*access network*) είναι το δίκτυο που εκτείνεται από την DSL συσκευή πρόσβασης του συνδρομητή (DSL NT) μέχρι την DSL συσκευή συγκέντρωσης πρόσβασης του τηλεπικοινωνιακού φορέα (DSLAM). Συνεπώς, το δίκτυο πρόσβασης περιλαμβάνει τα DSL modems στην πλευρά του εξοπλισμού του πελάτη/συνδρομητή (DSL NTs/ DTU-Rs), τον τοπικό βρόχο, τα DSL modems στην πλευρά του παροχέα πρόσβασης (DSL LTs/ DTU-Cs), καθώς και το σύστημα πολύπλεξης πρόσβασης (AM). Τα δύο τελευταία (DSL LTs + AM) όπως αναφέρθηκε σχετικά, συνιστούν την συσκευή του DSLAM ή τον κόμβο πρόσβασης (AN) που τοποθετείται στο τοπικό τηλεπικοινωνιακό κέντρο (CO).

1.3

Τύποι DSL (xDSL)

Το DSL, όπως αυτό ορίστηκε και περιγράφηκε παραπάνω, συνιστά μία γενικότερη τεχνολογία πρόσβασης πάνω από τον τοπικό βρόχο, κάτω από την οποία εντάσσεται ένα σύνολο από επιμέρους υλοποιήσεις που συνιστούν τους διαφορετικούς τύπους του. Οι διαφορετικοί αυτοί τύποι της τεχνολογίας του DSL υποδηλώνονται ακριβώς από το γράμμα “x” στον όρο xDSL, ο οποίος χρησιμοποιείται ως αναγνωριστικό της οικογένειας των διαφορετικού είδους τεχνολογιών DSL.

xDSL		Μέγιστη ταχύτητα ¹		Φυσικό μέσο		POTS ⁴
		καθόδου	ανόδου	ζεύγος καλωδίων	μέγιστη απόσταση ^{2,3}	
Ασυμμετρική	ADSL	1,5 Mbps	640 kbps	1	18.000 ft	✓
		8 Mbps	1,544 Mbps		12.000 ft	splitter
	ADSL Lite (G.Lite, UADSL)	1.5 Mbps	512 kbps	1	18.000 ft	✓ όχι splitter
		RADSL	1,5 Mbps	640 kbps	1	18.000 ft
	8 Mbps		1,544 Mbps	12.000 ft		splitter
	VDSL	13 Mbps	1,6 Mbps	1	5.000 ft	✓ splitter
		26 Mbps	3,2 Mbps		3.000 ft	
		52 Mbps	6,4 Mbps		1.000 ft	
	Συμμετρική	IDSL	144 kbps	144 kbps	1	18.000 ft
HDSL		1,544 Mbps (T1)	1,544 Mbps (T1)	2	15.000 ft	×
		2,048 Mbps (E1)	2,048 Mbps (E1)	3		
HDSL 2 (S-HDSL)		1,544 Mbps (T1)	1,544 Mbps (T1)	1	18.000 ft	×
		2,048 Mbps (E1)	2,048 Mbps (E1)			
SDSL		1,544 Mbps (T1)	1,544 Mbps (T1)	1	10.000 ft	×
		2,048 Mbps (E1)	2,048 Mbps (E1)			
VDSL	34 Mbps	34 Mbps	1	1.000 ft	✓ splitter	

Σημειώσεις

¹ Τα μεγέθη αυτά αναφέρονται στη μέγιστη ταχύτητα που μπορεί να παρέχει ο συγκεκριμένος τύπος της τεχνολογίας DSL με την προϋπόθεση της ύπαρξης ιδανικών συνθηκών στο τοπικό βρόχο. Οι ιδανικές συνθήκες αυτές μεταφράζονται σε καλής ποιότητας καλώδιο (διάμετρος 24 AWG), σε απουσία bridged taps, και σε απόσταση του CPE από το CO μικρότερη ή ίση από την μέγιστη δυνατή για την ταχύτητα αυτή.

² Τα μεγέθη αυτά αναφέρονται στο μέγιστο μήκος του τοπικού βρόχου, της απόστασης του CPE από το CO στην οποία μπορεί να παρέχεται υπηρεσία πρόσβασης DSL του συγκεκριμένου τύπου στην αντίστοιχη μέγιστη ταχύτητα.

³ Τα μεγέθη της στήλης αυτής είναι εκπεφρασμένα σε πόδια (*feet* – ft). Υπενθυμίζεται ότι 1ft = 30,48 cm.

⁴ Η στήλη αυτή αφορά στην ύπαρξη ή απουσία δυνατότητας ταυτόχρονης παροχής παραδοσιακής υπηρεσίας τηλεφωνίας (POTS) πάνω από το κύκλωμα DSL του συγκεκριμένου τύπου (xDSL).

Πίνακας 1. Διαφορετικοί τύποι τεχνολογίας DSL

Οι διαφορετικοί αυτοί τύποι της τεχνολογίας DSL οι οποίοι υφίστανται στην αγορά υπηρεσιών πρόσβασης DSL είναι οι ακόλουθοι {[1], [3]}:

- *Asymmetric DSL (ADSL)*
- *ADSL Lite* ή *G.Lite* ή *splitterless ADSL* ή *Universal ADSL (UADSL)*
- *Rate-adaptive DSL (RADSL)*
- *ISDN-like DSL (IDSL)*
- *Symmetric DSL* ή *Single-pair DSL* ή *Single-line DSL (SDSL)*
- *High bit-rate DSL* ή *High-speed DSL (HDSL)*
- *High bit-rate DSL 2* ή *High-speed DSL 2 (HDSL 2)* ή *Single-pair High bit-rate DSL (S-HDSL)*
- *Very high bit-rate DSL* ή *Very high-speed DSL (VDSL)*

Τα χαρακτηριστικά των διαφορετικών αυτών τύπων τεχνολογίας DSL συνοψίζονται στον Πίνακα 1 και περιγράφονται αναλυτικότερα στις επόμενες παραγράφους.

1.3.1

Τύποι τεχνολογίας DSL ασύμμετρου χαρακτήρα

1.3.1.1

ADSL

Το *ADSL (Asymmetric Digital Subscriber Line)* αποτελεί έναν από τους πιο συνηθισμένους τύπους γενικά της τεχνολογίας DSL και ειδικότερα των ασύμμετρου χαρακτήρα εκδόσεων αυτής. Τα χαρακτηριστικά του συνοψίζονται στον Πίνακα 1.

Η ασυμμετρικότητα του ADSL, συνδυασμένη με το “always on” χαρακτηριστικό του DSL, την καθιστά ως ιδανική τεχνολογία πρόσβασης για εφαρμογές/υπηρεσίες πρόσβασης στο Internet (Internet access), απομακρυσμένης πρόσβασης εταιρικών δικτύων (access VPNs), video κατ’ απαίτηση (VoD) και άλλες ασύμμετρου χαρακτήρα υψηλού επιπέδου υπηρεσίες απευθυνόμενες τόσο στον οικιακό χρήστη (residential/home user) όσο και τον επαγγελματία χρήστη (business user).

Το *DSL Forum* [1] αποτελεί έναν φορέα που συστάθηκε το Δεκέμβριο του 1994 (ως ADSL Forum) με σκοπό την προώθηση της τεχνολογίας του ADSL και την προαγωγή της εργασίας για την ανάπτυξη αρχιτεκτονικών συστημάτων ADSL,

πρωτοκόλλων και διεπαφών για βασικές εφαρμογές ADSL. Επίσης το *American National Standards Institute* (ANSI) έχει προβεί στην έγκριση ενός προτύπου για το ADSL για ρυθμούς μετάδοσης καθόδου μέχρι 6.1 Mbps (ANSI Standard T1.413). Το *European Telecommunications Standards Institute* (ETSI) έχει συνεισφέρει στην προτυποποίηση αυτή με ένα παράρτημα το οποίο καταγράφει τις απαιτήσεις για το ADSL στον ευρωπαϊκό χώρο. Επίσης το DSL Forum, όπως και το *Digital Audio Visual Council* (DAVIC) ασχολούνται με την προτυποποίηση συγκεκριμένων θεμάτων για το ADSL, όπως π.χ. ζητημάτων που άπτονται της μεταφοράς ATM πάνω από ADSL (ATM over ADSL). Συνολικά, η εργασία για την προτυποποίηση διαφόρων θεμάτων για το ADSL συνεχίζεται στους φορείς αυτούς.

1.3.1.2

ADSL Lite

Το *ADSL Lite* αποτελεί μία μικρότερων επιδόσεων έκδοση του ADSL, η οποία όμως εξαλείφει από τους παροχείς την ανάγκη εγκατάστασης POTS splitter στον χώρο του συνδρομητή (*CPE POTS splitter*, Σχ. 2). Η απουσία της συσκευής του POTS splitter δεν αφαιρεί από αυτόν τον τύπο του DSL το χαρακτηριστικό της ταυτόχρονης παροχής της παραδοσιακής υπηρεσίας τηλεφωνίας (POTS) πάνω από το κύκλωμα DSL. Η υπηρεσία POTS μπορεί να παρέχεται όπως στο κανονικό ADSL, η μη ύπαρξη όμως CPE POTS splitter έχει ως αντίτιμο την δυνατότητα επίτευξης μικρότερων ρυθμών μετάδοσης από το ADSL Lite συγκριτικά με το ADSL (Πίνακας 1).

Η εξάλειψη της ανάγκης για τους παροχείς εγκατάστασης POTS splitter συσκευής στο χώρο του συνδρομητή συνεπάγεται για αυτούς απλότητα στην εγκατάσταση της παρεχόμενης υπηρεσίας DSL, κάτι το οποίο μεταφράζεται τόσο σε μειωμένο χρόνο παροχής όσο και σε μειωμένα κόστη. Συνεπώς, το ADSL Lite αποτελεί μία οικονομικότερη λύση από αυτή του ADSL για την παροχή υπηρεσιών υψηλού επιπέδου όπως πρόσβασης στο Internet, απομακρυσμένης πρόσβασης εταιρικών δικτύων (access VPNs), τηλεφωνίας στο Internet (Internet/IP telephony) κ.ά.

Η προσπάθεια ανάπτυξης και καθιέρωσης του ADSL Lite ξεκίνησε από το *Universal ADSL Working Group* (UAWG), μία ομάδα από παράγοντες βιομηχανίας η οποία εργάστηκε προς την κατεύθυνση της δημιουργίας ενός παγκόσμιου προτύπου για το ADSL Lite στο πλαίσιο του ITU. Το πρότυπο για το ADSL Lite από το ITU (G.992.2), εγκρίθηκε τον Οκτώβριο του 1998, ενώ επιπρόσθετη δουλειά προς την κατεύθυνση της προτυποποίησης θεμάτων που άπτονται του ADSL Lite εκτελείται από το *ANSI*, το *ATM Forum*, καθώς και το *DSL Forum*.

Διαφορετικές ονομασίες του ADSL Lite αποτελούν το ***G.Lite***, το ***splitterless ADSL***, καθώς και το ***Universal ADSL*** (UADSL).

1.3.1.3

RADSL

Το ***RADSL*** (*Rate-adaptive DSL*) αποτελεί μία έκδοση του ADSL, η οποία παρέχει τους ίδιους ρυθμούς μετάδοσης με αυτούς του ADSL (Πίνακας 1), όμως διαθέτει την δυνατότητα δυναμικής προσαρμογής των ρυθμών μετάδοσης αυτών στα διάφορα μήκη και τις ποικίλες ποιότητες των χάλκινων καλωδίων των τοπικών βρόχων των συνδρομητών.

Με το RADSL είναι δυνατή η σύνδεση πάνω από διαφορετικές γραμμές σε ποικίλες ταχύτητες. Η ταχύτητα σύνδεσης μπορεί να επιλεγεί όταν η γραμμή συγχρονίζεται κατά την εγκατάσταση μία σύνδεσης ανάμεσα στα δύο modems (ADSL NT – ADSL LT), ή να τεθεί από την πλευρά του εξοπλισμού του παροχέα με ένα σήμα από το CO.

Δεδομένων των ισοδύναμων επιδόσεων με αυτές του ADSL, το RADSL είναι κατάλληλο για την παροχή υπηρεσιών προστιθέμενης αξίας παρόμοιων με αυτών του ADSL.

Εργασία για την προτυποποίηση θεμάτων που αφορούν στο RADSL πραγματοποιείται από την *T1E1.4* ομάδα εργασίας του *ANSI*.

1.3.1.4

VDSL

Το *VDSL* (*Very high bit-rate/high-speed DSL*) αποτελεί την τεχνολογία DSL με τους μεγαλύτερους επιτεύξιμους ρυθμούς μετάδοσης από κάθε άλλον τύπο τεχνολογίας DSL ασυμμετρικού χαρακτήρα. Οι υψηλές αυτές επιδόσεις του VDSL επιτυγχάνονται σε βάρος της μέγιστης απόστασης του εξοπλισμού του συνδρομητή/πελάτη (CPE) από το τοπικό τηλεπικοινωνιακό κέντρο (CO) που είναι η μικρότερη από κάθε άλλο τύπο DSL. Αναλυτικά, τα χαρακτηριστικά του VDSL στην ασυμμετρική έκδοσή του συνοψίζονται Πίνακα 1.

Λόγω της περιορισμένης απόστασης υλοποίησης του αλλά και των υψηλών του επιδόσεων, το VDSL συνήθως χρησιμοποιείται σε συνδυασμό με την ύπαρξη υποδομής οπτικής ίνας στο άλλο άκρο του περιορισμένου μήκους καλωδίου χαλκού, δηλ. πέρα από το τοπικό τηλεπικοινωνιακό κέντρο (CO). Το VDSL δηλ. συνήθως συναντάται σε υβριδικά/ μεικτά περιβάλλοντα φυσικού μέσου, με την οπτική ίνα να αποτελεί συνέχεια των χάλκινων καλωδίων του τοπικού βρόχου (FTTC/FTTN³).

Εκτός από τις εφαρμογές που αναφέρθηκαν στην περίπτωση της άλλης ασύμμετρης τεχνολογίας DSL, αυτής του ADSL, το VDSL λόγω των υψηλών του επιδόσεων μπορεί να χρησιμοποιηθεί για την παροχή και άλλων ασυμμετρικών υπηρεσιών/εφαρμογών με υψηλές απαιτήσεις σε εύρος ζώνης. Μεταξύ αυτών περιλαμβάνονται οι υπηρεσίες παροχής υψηλής ανάλυσης τηλεόρασης (π.χ. *high definition television* – HDTV, *extended definition television* – EDTV⁴), ψηφιακού

³ Ως «οπτική ίνα στο πεζοδρόμιο» (*fiber to the curb* – FTTC) ή «οπτική ίνα στη γειτονιά» (*fiber to the neighborhood* – FTTN) ορίζεται η αρχιτεκτονική πρόσβασης για την παροχή ευρείας ζώνης υπηρεσιών στο σπίτι (BTTH), η οποία συνίσταται στην ύπαρξη συνδυασμού φυσικών μέσων συνεστραμμένου ζεύγους χάλκινων καλωδίων και οπτικής ίνας. Το συνεστραμμένο ζεύγος καλωδίων εκτείνεται από τον εξοπλισμό του συνδρομητή μέχρι μία οπτική δικτυακή συσκευή (optical network unit – ONU) η οποία τοπολογικά βρίσκεται στο πεζοδρόμιο των σπιτιών. Κάθε τέτοια ONU εξυπηρετεί μερικές δεκάδες σπίτια συνδρομητών στο επίπεδο της γειτονιάς [2].

⁴ Η *υψηλής ευκρίνειας τηλεόραση* (*high definition television* – HDTV), καθώς και *εκτεταμένης ευκρίνειας τηλεόραση* (*extended definition television* – EDTV) αποτελούν τύπους μετάδοσης τηλεοπτικού σήματος οι οποίοι προσφέρουν καλύτερη ποιότητα εικόνας (μεγαλύτερες αναλύσεις) συγκριτικά με τα συνηθισμένα τηλεόραση. Συνιστούν γενικές έννοιες που αναφέρονται στην επόμενη γενιά της εκπεμπόμενης τηλεόρασης. Για παράδειγμα, η HDTV κατά προσέγγιση παρέχει δύο φορές καλύτερη ανάλυση από το πρότυπο της τηλεόρασης που χρησιμοποιείται σήμερα (*national television standard committee* – NTCS) και οι απαιτήσεις της σε χωρητικότητα μπορεί να κυμαίνονται μεταξύ 90 και 900 Mbps για μετάδοση μη συμπιεσμένου σήματος.

video (switched digital video), διασύνδεσης απομακρυσμένων εταιρικών δικτύων (intranet/extranet VPNs) κ.ά.

Το VDSL εκτός από μία ασυμμετρικού χαρακτήρα τεχνολογία DSL, υλοποιείται **και** σε συμμετρική μορφή.

Εργασία για την προτυποποίηση θεμάτων που αφορούν ειδικά το VDSL πραγματοποιείται από την *VDSL Study Group* ομάδα εργασίας του DSL Forum, από την *TIE1.4* ομάδα εργασίας του ANSI, την *IEEE 802.14* και το ATM Forum.

1.3.2

Τύποι τεχνολογίας DSL συμμετρικού χαρακτήρα

1.3.2.1

IDSLS

Το **IDSLS** (*ISDN-like DSL*) αποτελεί έναν συμμετρικού χαρακτήρα τύπο τεχνολογίας DSL, ο οποίος υλοποιείται πάνω από μοναδικό ζεύγος καλωδίων χαλκού παρέχοντας ρυθμούς μετάδοσης που υπό ιδανικές συνθήκες ανέρχονται μέχρι τα **144 kbps** και για τις δύο κατευθύνσεις ανόδου και καθόδου⁵. Το IDSLS δεν υλοποιεί την δυνατότητα παροχής υπηρεσίας POTS.

Το σύνολο των χαρακτηριστικών του IDSLS συνοψίζεται στον Πίνακα 1.

1.3.2.2

HDSL

Το **HDSL** (*High bit-rate/High-speed DSL*) αποτελεί μία από τις πιο ώριμες τεχνολογίες DSL, βάσει των εγκαταστάσεών της, η οποία παρέχει συμμετρικού

⁵ Στην συγκεκριμένη αυτή τιμή των 144 kbps οφείλει εν μέρει το IDSLS την ονομασία του. Συγκεκριμένα, το IDSLS μπορεί να εκληφθεί ως μία υπηρεσία πρόσβασης με απόδοση ανάλογη με αυτή μίας υπηρεσίας ISDN Basic Rate Interface (ISDN BRI) στην οποία οι ρυθμοί μετάδοσης των επιμέρους καναλιών της αθροίζονται δίνοντας μία υπηρεσία συνολικής χωρητικότητας 144 kbps (128 kbps των δύο B-channels + 16 kbps του D-channel).

χαρακτήρα υπηρεσίες πρόσβασης. Στην περίπτωση υλοποίησης της πάνω από διπλό ζεύγος καλωδίων χαλκού, επιτυγχάνει ρυθμούς μετάδοσης οι οποίοι ανέρχονται στην τιμή των **1,544 Mbps** (T1), ενώ στην περίπτωση χρησιμοποίησης τριπλού ζεύγους καλωδίων επιτυγχάνονται ρυθμοί μετάδοσης μέγιστης τιμής **2,048 Mbps** (E1).

Λόγω των επιδόσεών του καθώς και της συμμετρικότητάς του, το HDSL χρησιμοποιείται από τις τηλεπικοινωνιακές εταιρίες ως μία εναλλακτική λύση των μισθωμένων κυκλωμάτων (local & repeatered T1/E1 leased lines). Η σχετικά περιορισμένη μέγιστη απόσταση συγκριτικά με το ADSL στην οποία το HDSL είναι λειτουργικά ενεργό, αντιμετωπίζεται με την εγκατάσταση επαναληπτών (repeaters). Οι επαναλήπτες συνιστούν μία οικονομικά συμφέρουσα λύση η οποία επεκτείνει τις δυνατότητες του HDSL, συνεπώς και τις δυνατότητες του παροχέα πρόσβασης στο πλαίσιο της παροχής υπηρεσιών μισθωμένων κυκλωμάτων. Έτσι το HDSL μπορεί να χρησιμοποιηθεί ως εναλλακτική λύση των repeatered T1/E1 μισθωμένων γραμμών.

Επιπλέον, η υλοποίηση του HDSL σε φυσικό μέσο δύο ή τριών συνεστραμμένων ζευγών καλωδίων σε συνδυασμό με την συμμετρικότητά του, το καθιστά ιδανικό για εφαρμογές όπως διασύνδεση PBXs, διασύνδεση ψηφιακών τοπικών βρόχων, διασύνδεση σημείων παρουσίας (PoPs) τηλεπικοινωνιακών παροχέων μεγάλης απόστασης (*inter-exchange carriers – IXC*s), καθώς και διασύνδεση δικτύων σε τοπικού χαρακτήρα περιβάλλοντα εκτεταμένης έκτασης (π.χ. campus networks). Επίσης μπορεί να χρησιμοποιηθεί στο πλαίσιο της παροχής υπηρεσιών intranet/extranet VPNs.

Εργασία για την προτυποποίηση θεμάτων που αφορούν στο HDSL πραγματοποιείται από την *T1E1.4* ομάδα εργασίας του ANSI.

1.3.2.3

HDSL2

Το **HDSL 2** (*High bit-rate/High-speed DSL 2*) ή **HDSL II** προτείνεται από το ANSI και το ETSI ως η επόμενη γενιά έκδοσης του HDSL. Παρέχει τις ίδιες συμμετρικού χαρακτήρα επιδόσεις με το HDSL, δηλ. ρυθμούς μετάδοσης οι οποίοι ανέρχονται στην τιμή των **1,544 Mbps** (T1) για την Ευρώπη ή των **2,048 Mbps** για την Β. Αμερική. Η διαφοράς όμως με το HDSL είναι ότι το HDSL 2 παρέχει αυτές τις

επιδόσεις πάνω **μοναδικό** συνεστραμμένο ζεύγος καλωδίων, τη στιγμή που το HDSL χρησιμοποιεί διπλό ή τριπλό ζεύγος καλωδίων. Επίσης το HDSL 2 επιτρέπει μεγαλύτερες αποστάσεις για το τοπικό βρόχο (18.000 ft) σε σχέση με το HDSL (15.000 ft).

Συνεπώς, το HDSL 2 ως μία «βελτιωμένη» έκδοση του HDSL μπορεί να χρησιμοποιηθεί για εφαρμογές αντίστοιχες με αυτές του HDSL που αναφέρθηκαν παραπάνω.

Εργασία για την προτυποποίηση θεμάτων που αφορούν στο HDSL 2, όπως και το HDSL πραγματοποιείται από την *T1E1.4* ομάδα εργασίας του ANSI.

1.3.2.4

SDSL

Το **SDSL** (*Symmetric DSL* ή *single-pair DSL* ή *single-line DSL*) παρέχει συμμετρικού χαρακτήρα υπηρεσίες πρόσβασης με ρυθμούς μετάδοσης ίδιους με αυτούς του HDSL. Η διαφορά του SDSL σε σχέση με το HDSL εντοπίζεται **α)** στο ότι το SDSL χρησιμοποιεί **μοναδικό** ζεύγος καλωδίων σε αντίθεση με το διπλό ή τριπλό ζεύγος καλωδίων του HDSL και **β)** στο ότι το SDSL έχει μία μέγιστη λειτουργική απόσταση που ανέρχεται στα 10.000 ft, η οποία είναι πολύ μικρότερη από αυτή των 15.000 ft του HDSL. Γενικά όμως, το SDSL, λόγω της παροχής ίδιων επιδόσεων με το HDSL/HDSL 2 και της υλοποίησής του πάνω από μοναδικό ζεύγος καλωδίων όπως το HDSL 2, θεωρείται (το SDSL) ως πρόδρομος του HDSL 2.

Δεδομένης της συμμετρικότητας, των ρυθμών μετάδοσης αλλά και του περιορισμού αυτού στην μέγιστη λειτουργική απόσταση, το SDSL μπορεί να χρησιμοποιηθεί για εφαρμογές ανάλογες με αυτές του HDSL, με το δεδομένο βέβαια της μικρότερης μέγιστης απόστασης λειτουργίας του.

Γενικά, εργασία για την προτυποποίηση θεμάτων που αφορούν ειδικά το SDSL, όπως και το HDSL/HDSL 2 πραγματοποιείται από την *T1E1.4* ομάδα εργασίας του ANSI.

1.3.2.5

VDSL

Το *VDSL* (*Very high bit-rate/high-speed DSL*), εκτός από μία ασυμμετρικού χαρακτήρα τεχνολογία DSL, υλοποιείται και σε μία έκδοση παροχής συμμετρικών υπηρεσιών ως προς τους ρυθμούς μετάδοσης. Τα χαρακτηριστικά του στην έκδοση αυτή συνοψίζονται στον Πίνακα 1.

Εκτός από τις εφαρμογές που αναφέρθηκαν προηγούμενα στην περίπτωση των άλλων συμμετρικών DSL τεχνολογιών του HDSL και του SDSL, το VDSL στην συμμετρική του έκδοση, λόγω των υψηλών του επιδόσεων μπορεί να χρησιμοποιηθεί για την παροχή και άλλων υψηλών απαιτήσεων σε εύρος ζώνης συμμετρικών υπηρεσιών/εφαρμογών.

Εργασία για την προτυποποίηση θεμάτων που αφορούν ειδικά το VDSL πραγματοποιείται από την *VDSL Study Group* ομάδα εργασίας του DSL Forum, από την *T1E1.4* ομάδα εργασίας του ANSI, την *IEEE 802.14* και το ATM Forum.

ΚΕΦΑΛΑΙΟ 2

ΣΤΟΙΧΕΙΑ ΕΞΕΛΙΞΗΣ ΤΟΥ VDSL

2.1

Εισαγωγή: Ο συνδυασμός χάλκινων καλωδίων και οπτικών ινών στη μεταφορά πληροφορίας

Η πλειοψηφία των τηλεφωνικών εταιρειών αποφασίζουν να συμπεριλάβουν την ήδη υπάρχουσα υποδομή τοπικών βρόχων του γνωστού συνεστραμμένου-ζευγαριού χαλκού στα ευρυζωνικά δίκτυα πρόσβασης. Μέσα κοινής πρόσβασης, όπως το “Hybrid Fiber Coax-HFC”, το οποίο είναι αποδοτικό τόσο στην αναλογική όσο και στην ψηφιακή μετάδοση, αδυνατεί να μεταφέρει συγχρόνως υπηρεσίες φωνής, “interactive video” και άλλων ψηφιακών δεδομένων. Η προσέγγιση “Fiber all the way to the home” (FTTH) είναι ακόμα απαγορευτικά ακριβή σε μια αγορά που οδηγείται από τον ανταγωνισμό παρά το κόστος. Μια εναλλακτική λύση, που μπορεί να γίνει σύντομα εμπορικά πρακτική, είναι ο συνδυασμός δικτύου οπτικών ινών και υπαρχόντων καλωδίων χαλκού μέσω συσκευών που ονομάζονται οπτικές μονάδες δικτύου (Optical Network Units). Αυτή η τοπολογία, που ονομάζεται “Fiber to the Neighborhood” (FTTN), συνδέει ένα εξωτερικό ευρυζωνικό δίκτυο με τον τοπικό κόμβο πρόσβασης του δικτύου DSL με οπτική ίνα, ενώ η ήδη υπάρχουσα υποδομή καλωδίων χαλκού στους τελικούς χρήστες παραμένει άθικτη.

Μια από τις τεχνολογίες που καθιστά δυνατή την τοπολογία FTTN είναι η τεχνολογία VDSL (Very High Speed Digital Subscriber Line). Το VDSL μεταδίδει πληροφορία με υψηλή ταχύτητα μέσω των τηλεφωνικών γραμμών συνεστραμμένου καλωδίου χαλκού, η οποία κυμαίνεται ανάλογα με το μήκος της γραμμής. Ο μέγιστος προτεινόμενος ρυθμός μετάδοσης προς την κατεύθυνση του παραλήπτη (downstream) είναι μεταξύ 51 και 55 Mbps σε γραμμή μέγιστου μήκους 1000 ποδιών (300 μέτρων). Η τιμή αυτή μπορεί να πέσει στα 13 Mbps, αν το μήκος της γραμμής ξεπεράσει τα 4000 πόδια (1500 μέτρα). Ο ρυθμός μετάδοσης προς την αντίστροφη κατεύθυνση (upstream) προορίζεται, τουλάχιστον στην αρχική υλοποίηση του VDSL

να είναι ασύμμετρος, ακριβώς όπως και στην περίπτωση του ADSL, με ταχύτητες από 1.6 έως 2.3 Mbps.

2.2

Λόγοι ύπαρξης του VDSL

Ως “τεχνολογία πρόσβασης” το VDSL συγκρίνεται με ανταγωνιστικές τεχνολογίες όπως η “Fiber to the Home-FTTH” , τα ασύρματα τοπικά δίκτυα (Wireless Local Loop), και η τεχνολογία “Power Line”. Στο πλαίσιο αυτό, η βιωσιμότητα του VDSL βασίζεται κυρίως στα ακόλουθα σημεία:

- Η ευκολία του παροχέα υπηρεσιών (incumbent service provider-ILEC) να δεσμευτεί για τη χρήση ήδη υπάρχουσας δικτυακής υποδομής, κάτι που απαλλάσσει από μία αρχική οικονομική δέσμευση.
- Η δυνατότητα του VDSL να παρέχει το σύνολο των υπηρεσιών ενός δικτύου ευρείας ζώνης χωρίς συμβιβασμούς στην ταχύτητα μεταφοράς της πληροφορίας.

Σημαντικότερος λόγος ανάπτυξης του VDSL είναι η παροχή υψηλού ρυθμού μεταφοράς δεδομένων περισσότερο στον ιδιώτη παρά σε μια επιχείρηση, χωρίς η δυνατότητες εφαρμογής να αποκλείουν το δεύτερο. Πολλές εταιρείες έχουν προτιμήσει τη χρήση δικτύων οπτικών ινών, καθώς το εύρος φάσματος σε μία οπτική ίνα δίνει τη δυνατότητα επίτευξης πολλαπλάσιων ρυθμών μετάδοσης. Το πλεονέκτημα του VDSL είναι ότι μπορεί να χρησιμοποιήσει ένα ήδη υπάρχον δίκτυο οπτικών ινών σε συνδυασμό με ένα γειτονικό καλωδίων χαλκού, κάτι που μειώνει το συνολικό κόστος και κάνει την τεχνολογία αυτή πιο προσιτή στον ιδιώτη. Η συνεχής πρόοδος στις τεχνικές συμπίεσης και διαμόρφωσης της πληροφορίας μπορεί να οδηγήσει σε ακόμα μεγαλύτερη ταχύτητα μετάδοσης για το VDSL. Το γεγονός αυτό, σε συνδυασμό με την αποκλειστική (dedicated) μορφή χρήσης για κάθε σύνδεση, που πλεονεκτεί έναντι άλλων τεχνολογιών πρόσβασης κοινού μέσου (π.χ. “cable modems”), δίνει το επιπλέον πλεονέκτημα της πλήρους εκμετάλλευσης του διαθέσιμου εύρους φάσματος από κάθε ανεξάρτητο χρήστη.

2.3

Περιοχές εφαρμογής του VDSL

Το VDSL παρέχει τις υπηρεσίες πρόσβασης του “τελευταίου μιλίου” (last-mile) μέχρι τον ιδιώτη. Από τη στιγμή που επιτρέπει την εκμετάλλευση πολύ μεγαλύτερου εύρους φάσματος από συναφείς τεχνολογίες DSL, η χρήση του συνδυάζεται με την παροχή ψηφιακών πακέτων (“bundles”), δηλαδή την ταυτόχρονη παροχή ενός συνόλου υπηρεσιών. Υποστηρίζεται η εφαρμογή του γρήγορου internet (fast internet) αλλά και η συμβατότητα με την παραδοσιακή τηλεφωνία. Προφανώς, είναι δυνατή η ταυτόχρονη υποστήριξη παράλληλων καναλιών φωνής. Άλλη μία δυνατότητα είναι η παράλληλη μεταφορά “MPEG” κωδικοποιημένης πληροφορίας με ρυθμό 6 ως 8 Mbps ώστε να εξασφαλίζεται η υψηλή ποιότητα εικόνας που απαιτεί η υπηρεσία “video on demand”.

Οι υψηλές απαιτήσεις σε εύρος φάσματος που έχει μία εταιρεία ή ένα ερευνητικό ίδρυμα μπορούν να ικανοποιηθούν σε σημαντικό βαθμό από την τεχνολογία VDSL. Η ευελιξία χρήσης του VDSL στο συνδυασμό δικτύων οπτικών ινών και χάλκινων καλωδίων είναι σημαντική σε περιοχές όπως οι παραπάνω, στις οποίες υπάρχουν πολλά κοντινά και ανεξάρτητα κτίρια. Μία επίσης σημαντική εφαρμογή που γίνεται δυνατή με την τεχνολογία VDSL είναι το ιδιωτικό Ethernet (“corporate Ethernet”) που απαιτεί συμμετρικό ρυθμό μεταφοράς 10Mbps, ο οποίος βρίσκεται στις δυνατότητες του VDSL.

2.4

Φορείς και προτάσεις προτυποποίησης της τεχνολογίας VDSL

Όπως συμβαίνει στην περίπτωση πολλών τεχνολογιών φυσικού επιπέδου (physical layer), το *American National Standards Institute* (ANSI), το *European Telecommunications Standards Institute* (ETSI), καθώς και *International Telecommunications Union – Telecommunications Standardization Sector* (ITU-T) εμπλέκονται ενεργά στην προσπάθεια για την διατύπωση προτύπων που αφορούν στους διάφορους τύπους τεχνολογίας DSL.

Επίσης, δεδομένης της μεγάλης δυναμικής που φέρουν οι τεχνολογίες του ADSL και του VDSL στην διαμόρφωση μία πλατφόρμας για την παροχή υπηρεσιών ευρείας ζώνης σε οικιακούς κυρίως χρήστες (BTTH), επιπλέον φορείς από αυτούς που αναφέρθηκαν παραπάνω ασχολούνται με ζητήματα προτυποποίησης και ορισμού προδιαγραφών για τους δύο συγκεκριμένους αυτούς τύπους DSL τεχνολογιών, το ADSL και το VDSL. Στους φορείς αυτούς περιλαμβάνονται το *DSL Forum*, το *Universal ADSL Working Group* (UAWG), το *ATM Forum*, η *Telecommunications Industry Association* (TIA) και το *Digital Audio Visual Council* (DAVIC).

Οι προτάσεις που έχουν γίνει από κάθε οργανισμό παρουσιάζονται αναλυτικά στο Παράρτημα 1.

2.5

Προδιαγραφές της τεχνολογίας VDSL

2.5.1

Εκμεταλλεύσιμο φάσμα συχνοτήτων

Η τεχνολογία του VDSL εφαρμόζοντας ειδικές τεχνικές επεξεργασίας ψηφιακού σήματος (digital signal processing), επιτυγχάνει την εκμετάλλευση ολόκληρου του φάσματος συχνοτήτων που είναι διαθέσιμο για μετάδοση ψηφιακού σήματος στο φυσικό μέσο των χάλκινων καλωδίων του τοπικού βρόχου. Τυπικά, για τα τηλεφωνικά καλώδια χαλκού του τοπικού βρόχου, το φάσμα των συχνοτήτων στο οποίο μπορεί να υπάρξει μετάδοση, κυμαίνεται στην περιοχή των 0 Hz έως 30 MHz, την στιγμή που το εύρος συχνοτήτων που χρησιμοποιεί η τεχνολογία των αναλογικών modems (analog/voiceband modems) είναι της τάξης των 4 kHz στην περιοχή 0-4 kHz. Για το ISDN στην BRI υπηρεσία του το αντίστοιχο εκμεταλλεύσιμο εύρος συχνοτήτων κυμαίνεται στην περιοχή 0-0,1MHz. Αυτή η διαφορά στις εκμεταλλεύσιμες συχνότητες ανάμεσα στις προαναφερθείσες τεχνολογίες modem, ακριβώς εξηγεί και τους πολλαπλάσια μεγαλύτερους ρυθμούς μετάδοσης που παρέχουν οι xDSL υπηρεσίες πρόσβασης, έναντι των παραδοσιακών dial-up υπηρεσιών πρόσβασης που υλοποιούν τα αναλογικά modems (π.χ. V.90 modems⁶) και το ISDN BRI.

2.5.2

Διαχείριση διαθέσιμου φάσματος συχνοτήτων

Το κύκλωμα DSL που υλοποιείται κατά μήκος του φυσικού μέσου χαλκού του τοπικού βρόχου, γενικά συνίσταται σε τρία διαφορετικά πληροφοριακά κανάλια, **α)** ένα κανάλι για την μετάδοση της κυκλοφορίας δεδομένων κατά την κατεύθυνση

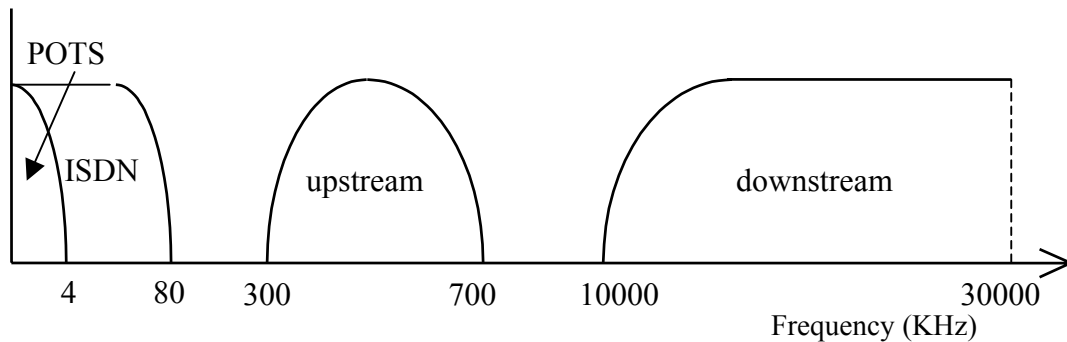
καθόδου (*downstream channel*), **β**) ένα κανάλι για την μετάδοση της κυκλοφορίας δεδομένων κατά την κατεύθυνση ανόδου (*upstream channel*) και **γ**) ένα POTS ή ένα ISDN κανάλι για την μετάδοση τη κυκλοφορίας φωνής της τηλεφωνικής υπηρεσίας (*POTS/ISDN channel*). Το τελευταίο αυτό κανάλι, υφίσταται στην περίπτωση των υπηρεσιών DSL που παρέχουν την δυνατότητα της παραδοσιακής υπηρεσίας τηλεφωνίας πάνω από την γραμμή DSL.

Η δημιουργία των καναλιών αυτών γίνεται με την διαίρεση του διαθέσιμου φάσματος συχνοτήτων του χάλκινου καλωδίου σε ισάριθμα με τα κανάλια τμήματα. Στο POTS/ISDN κανάλι, όταν υλοποιείται, αντιστοιχίζεται το φάσμα συχνοτήτων 0-4 kHz, ενώ η κατανομή του υπόλοιπου φάσματος συχνοτήτων μέχρι τα 30 MHz γίνεται στα δύο άλλα κανάλια ανάλογα με την συμμετρικότητα ή ασυμμετρικότητα⁷ της υπηρεσίας πρόσβασης DSL. Η δημιουργία των καναλιών αυτών από τα DSL modems γίνεται με έναν από τους ακόλουθους δύο τρόπους: την *πολύπλεξη διαίρεσης συχνότητας* (***frequency division multiplexing*** – FDM) και την *απαλοιφή ηχούς* (***echo cancellation***). Οι δύο αυτές μέθοδοι απεικονίζονται στα Σχ. 3(α) και (β) αντίστοιχα.

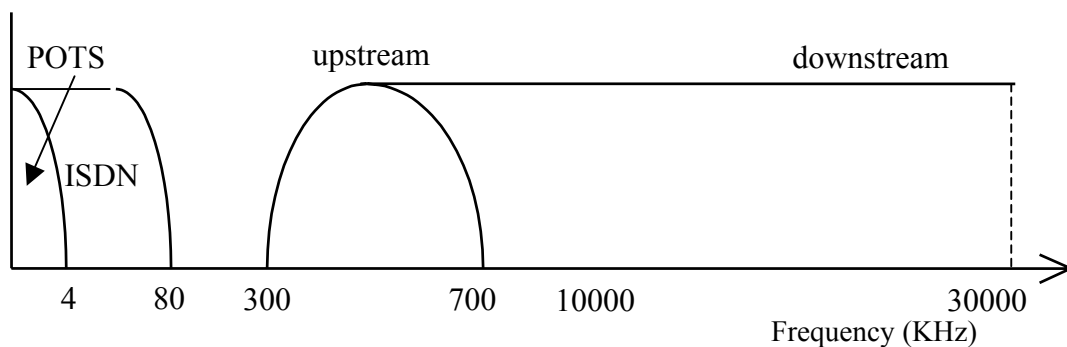
Κατά την τεχνική FDM, ένα φάσμα συχνοτήτων παραχωρείται για την μετάδοση της ροής δεδομένων κατά την κατεύθυνση καθόδου (*downstream band*) και ομοίως ένα άλλο διαφορετικό φάσμα συχνοτήτων για την μετάδοση της ροής των δεδομένων κατά την κατεύθυνση ανόδου (*upstream band*). Το καθένα από τα φάσματα συχνοτήτων αυτά τότε χωρίζονται με χρήση της τεχνικής πολύπλεξης διαίρεσης χρόνου (*time division multiplexing* – TDM) σε ένα ή περισσότερα υψηλής ταχύτητα κανάλια και ένα ή περισσότερα χαμηλής ταχύτητα κανάλια.

⁶ Το V.90 είναι το τελευταίο πρότυπο (standard) της ITU για τα αναλογικά dial-up modems των 56kbps. Προγενέστερα πρότυπα αυτού είναι το V.32 (14,4 kbps), το V.34 (28,8 kbps) και το V.34bis/V.34+ (33,6 kbps).

⁷ Μία υπηρεσία ονομάζεται **ασυμμετρική** (*asymmetrical service*) όταν παρέχει διαφορετικούς ρυθμούς μετάδοσης στις διαφορετικές κατευθύνσεις καθόδου και ανόδου. Συγκεκριμένα, ο παρεχόμενος ρυθμός μετάδοσης καθόδου (*download/ downstream rate*) είναι μεγαλύτερος από τον αντίστοιχο ρυθμό μετάδοσης καθόδου (*upload/ upstream rate*). Αντίθετα, μία υπηρεσία ονομάζεται



Σχήμα 3(α). Διαχείριση του φάσματος VDSL με πολυπλεξία στη συχνότητα (Frequency Division Multiplexing-FDM).



Σχήμα 3(β). Διαχείριση του φάσματος VDSL με την τεχνική της απαλοιφής ηχούς (echo cancellation).

Από την άλλη πλευρά, κατά την τεχνική της απαλοιφής ηχούς, το φάσμα συχνοτήτων που παραχωρείται για την μετάδοση της ροής δεδομένων κατά την κατεύθυνση ανόδου (upstream band) επικαλύπτει αντίστοιχο φάσμα συχνοτήτων (upstream band) που παραχωρείται για την μετάδοση της ροής δεδομένων κατά την κατεύθυνση ανόδου. Ο διαχωρισμός των δύο αυτών υπερ-καλυπτόμενων φασμάτων γίνεται με την εφαρμογή της τεχνικής της απαλοιφής τοπικής ηχούς, μίας τεχνικής που εφαρμόζεται επίσης στα V.32 και V.34 αναλογικά modems για τη εξάλειψη και το φιλτράρισμα ανεπιθύμητης ενέργειας σήματος της ηχούς που προκαλείται από το κύριο μεταδιδόμενο σήμα.

Η τεχνική της απαλοιφής ηχούς (echo cancellation) χρησιμοποιεί το διαθέσιμο εύρος ζώνης κατά πιο αποδοτικό τρόπο συγκριτικά με την τεχνική της πολύπλεξης

συμμετρική (symmetrical service) όταν παρέχει τους ίδιους ρυθμούς μετάδοσης και για τις δύο κατευθύνσεις καθόδου και ανόδου.

διαίρεσης συχνότητας (FDM), με αντίτιμο όμως αυξημένη πολυπλοκότητα και κόστος υλοποίησης. Και για τις δύο τεχνικές, το φάσμα συχνοτήτων 0-4 kHz που αντιστοιχεί στην υπηρεσία POTS, όταν αυτή παρέχεται με το DSL, διαχωρίζεται από τα υπόλοιπα φάσματα συχνοτήτων με εφαρμογή τεχνικών φιλτραρίσματος (filters). Τα φίλτρα υλοποιούνται είτε εσωτερικά στο DSL modem του συνδρομητή είτε στις εξωτερικές συσκευές των POTS splitters (*splitter-based/splittered DSL*). Εναλλακτικά, το φάσμα συχνοτήτων της υπηρεσίας POTS μπορεί να προστατεύεται από αλληλεπιδράσεις με τις συχνότητες των καναλιών δεδομένων μέσα από την υλοποίηση άλλων τεχνικών από το DSL modem εκτός αυτής των φίλτρων (*splitterless DSL*). Παράδειγμα μίας τέτοιας τεχνικής είναι ο αυτόματος περιορισμός του εύρους συχνοτήτων των καναλιών δεδομένων, κάθε φορά που η υπηρεσία POTS τίθεται σε χρήση (π.χ. τηλεφωνική συσκευή off-hook). Ο περιορισμός αυτός των καναλιών δεδομένων σε μία μικρότερη περιοχή του φάσματος συχνοτήτων, γίνεται σε τέτοιο σημείο ώστε να μην υφίστανται προβλήματα αλληλεπίδρασης ανάμεσα στα κανάλια δεδομένων και το κανάλι POTS. Η διαδικασία αυτή ονομάζεται διαδικασία ταχείας προσαρμογής (*fast-retrain procedure*), υλοποιείται στην περίπτωση της τεχνολογίας DSL του τύπου *ADSL Lite* και συνεπάγεται την μείωση των ρυθμών μετάδοσης δεδομένων της γραμμής DSL όταν η υπηρεσία POTS τίθεται σε χρήση.

2.5.3

Τεχνικές διαμόρφωσης σήματος

Οι τεχνικές διαμόρφωσης σήματος (modulation techniques) που χρησιμοποιούνται στα διάφορα είδη του DSL (xDSL) για την κωδικοποίηση της μεταδιδόμενης πληροφορίας, περιορίζονται στις ακόλουθες τρεις:

- *Discrete Multi-tone* (DMT)
- *Carrierless Amplitude Phase* (CAP)
- *Multiple Virtual Line* (MVL)

Η CAP αποτέλεσε το βιομηχανικό πρότυπο κατά την περίοδο των πρώτων υλοποιήσεων του ADSL, ενός συγκεκριμένου τύπου DSL, μέχρι την περίοδο 1996-

1997 οπότε και οι φορείς προτυποποίησης στο χώρο της τεχνολογίας DSL άρχισαν χωρίζονται σε δύο μέρη υποστήριξης της DMT και CAP τεχνικής διαμόρφωσης σήματος. Τον Ιανουάριο του 1998, το ANSI υιοθέτησε το DMT ως standard τεχνική διαμόρφωσης και την ίδια τεχνική ακολούθησαν η ITU-T (2/98) και το ETSI. Έτσι σήμερα η CAP συνεχίζει να υιοθετείται από αρκετούς κατασκευαστές, λόγω της μικρότερης της πολυπλοκότητας άρα και κόστους υλοποίησης συγκριτικά με την DMT τεχνική. Όμως, η DMT συνιστά το υιοθετημένο από την ANSI πρότυπο για τις διάφορες DSL τεχνολογίες (ANSI T1.413 Issue 2), όπως και από την ITU-T (ITU 992 – G.dmt) ως η βασική τεχνική διαμόρφωσης.

Η αναφερόμενη ως τρίτη παραπάνω τεχνική διαμόρφωσης (MVL), αποτελεί μία τρίτη τεχνική διαμόρφωσης η οποία μπορεί να εφαρμοστεί στην υλοποίηση του DSL. Γενικά όμως δεν είναι για τους κατασκευαστές DSL εξοπλισμού τόσο δημοφιλής όσο οι δύο άλλες.

2.5.4

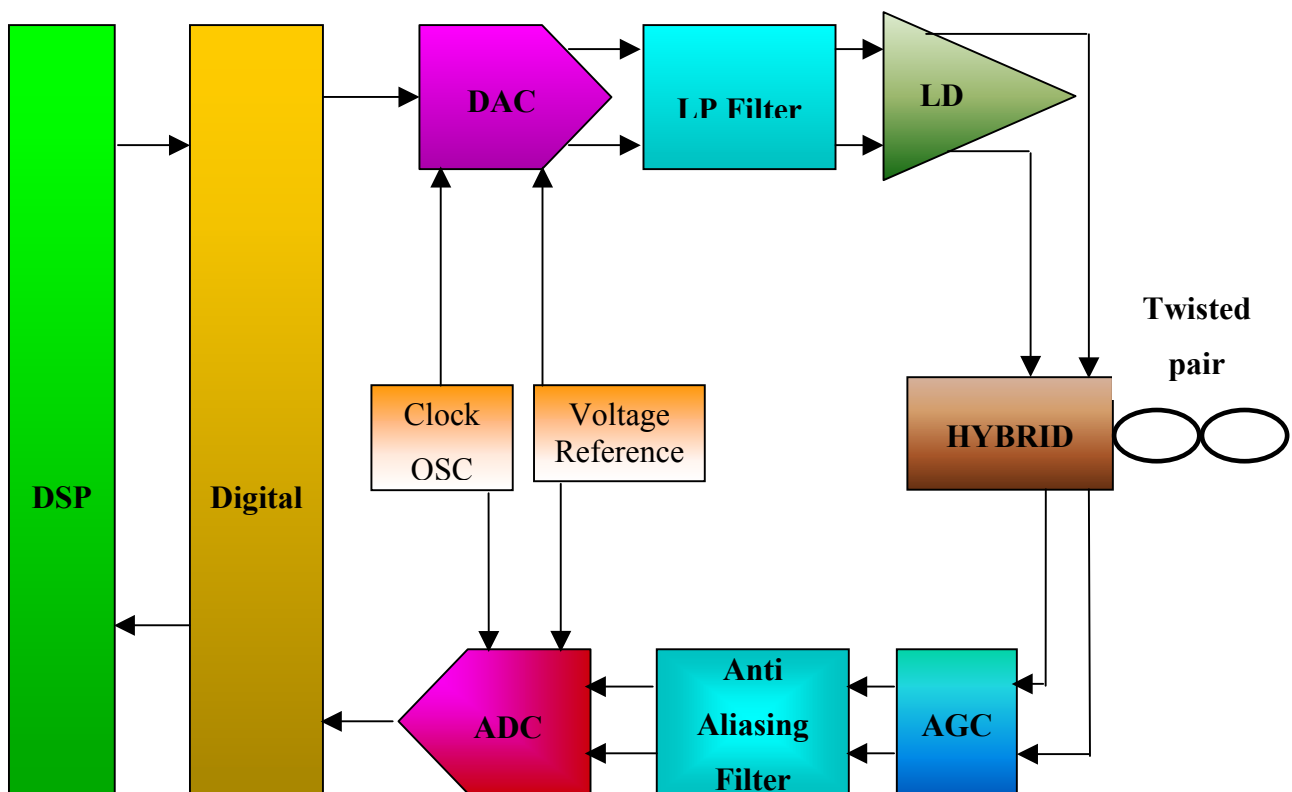
Λοιπές προδιαγραφές μετάδοσης σημάτων VDSL.

Τα υπόλοιπα χαρακτηριστικά των σημάτων που μεταδίδονται βάσει των προτάσεων για την ανάπτυξη του “standard” για το VDSL αναφέρονται αναλυτικά στο Παράρτημα 2.

ΚΕΦΑΛΑΙΟ 3

ΤΟ ΑΝΑΛΟΓΙΚΟ ΜΕΡΟΣ ΜΕΤΑΔΟΣΗΣ ΣΗΜΑΤΟΣ ΤΗΣ ΓΡΑΜΜΗΣ VDSL

Στο Σχ. 4 παρουσιάζεται το σχηματικό διάγραμμα σε επίπεδο μπλοκ του συνόλου των chip που αποτελούν το απαραίτητο υλικό (hardware) υλοποίησης της μετάδοσης σήματος VDSL [11]. Αν υποθεθεί ότι η κωδικοποίηση γραμμής που έχει επιλεγθεί είναι η DMT (Discrete Multitone Transmission), το διαθέσιμο εύρος φάσματος διαιρείται σε ένα σύνολο ισαπέχοντων φερόντων. Η πληροφορία μεταδίδεται σε κάθε φέρον με τη χρήση της ορθογωνικής διαμόρφωσης κατά πλάτος (Quadrature Amplitude Modulation-QAM).



Σχήμα 4. Σχηματικό διάγραμμα μετάδοσης στο VDSL σε επίπεδο διαγράμματος μπλοκ.

3.1

Ψηφιακό μέρος

Ο ρυθμός μετάδοσης μπορεί να αλλάξει με τη ρύθμιση των ρολογιών των ψηφιακών FIR φίλτρων, καθορίζοντας έτσι διαφορετικό τρόπο λειτουργίας. Έτσι, ο ρυθμός μετάδοσης εξαρτάται από την επιλογή του τρόπου λειτουργίας, που είναι, όμως, σε κάθε περίπτωση κάτω από το ήμισυ του ρυθμού μετατροπής. Ο ρυθμός μετάδοσης μεταβάλλεται με την εισαγωγή μηδενικών (interpolation) μέσω μίας σειράς ψηφιακών φίλτρων. Η τακτική αυτή ελαττώνει το υπολογιστικό φορτίο της σχετιζόμενης ψηφιακής επεξεργασίας σήματος (DSP), κάνοντας δυνατή την ύπαρξη ενός συστήματος πολλαπλής συμπίεσης-αποσυμπίεσης (multiple-codec) και ταυτόχρονα απλής ψηφιακής επεξεργασίας σήματος (single-DSP) που συντελεί στη μείωση του ρυθμού διακοπών “I/O”. Η μεταφορά της πλειοψηφίας της πολυπλοκότητας των φίλτρων στο ψηφιακό μέρος επιτρέπει τον αυστηρότερο έλεγχο της απόκρισης των φίλτρων, ελαχιστοποιεί την παραμόρφωση καθυστέρησης μέσω της χρήσης συμμετρικών FIR φίλτρων και χαμηλότερης τάξης αναλογικών φίλτρων. Ακόμη, η μικρότερη επιφάνεια κατάληψης στο ολοκληρωμένο κύκλωμα λόγω ψηφιακών φίλτρων, δικαιολογεί τη μεταφορά πολυπλοκότητας από το αναλογικό στο ψηφιακό μέρος. Επίσης, οι πολλαπλασιασμοί σε αυτού του είδους τα φίλτρα γίνονται μόνο με μεταφορές και προσθέσεις όταν οι συντελεστές παριστάνονται με κανονικά προσημασμένα ψηφία, με κάθε παράγοντα να αποτελεί συνδυασμό αρνητικών δυνάμεων του δύο. Η επιπλέον μείωση της ψηφιακής πολυπλοκότητας απαιτεί την προσαρμογή των συντελεστών έτσι ώστε να ελαχιστοποιηθεί ο αριθμός των αθροιστών.

Η παρεμβολή στο ρυθμό δειγματοληψίας του DAC επιτυγχάνεται μέσω τριών FIR βαθυπερατών φίλτρων, καθένα από τα οποία αυξάνει το ρυθμό δειγματοληψίας στην είσοδό του. Συνήθως, κάθε ένα από τα διαδοχικά βαθυπερατά φίλτρα είναι χαμηλότερης τάξης και μεγαλύτερης ζώνης μετάβασης από το προηγούμενό του. Η μεταβολή του ρυθμού μετάδοσης επιτυγχάνεται μέσω της εισαγωγής μηδενικών και το κέρδος προσαρμόζεται για κάθε τρόπο λειτουργίας έτσι ώστε καθόλο το μήκος του καναλιού το σήμα να έχει τη μέγιστη τιμή του. Η πλειοψηφία των προδιαγραφών επιτυγχάνεται από τα αρχικά στάδια των φίλτρων, με τα επόμενα στάδια να αφαιρούν

τα είδωλα που προκύπτουν σε συγκεκριμένες φασματικές περιοχές από τα προηγούμενα στάδια. Όλα τα FIR φίλτρα έχουν συχνότητες αποκοπής ίσες με το μέγιστη τιμή του εύρους φάσματος που εκμεταλλευόμαστε, σύμφωνα με τον εκάστοτε τρόπο λειτουργίας.

3.2

Αναλογικό Μέρος

3.2.1

Μέρος μετάδοσης του σήματος

3.2.1.1

Ψηφιακός-σε-Αναλογικό Μετατροπέας (DAC)

Ο DAC που βρίσκεται στο μέρος μετάδοσης σήματος είναι ακρίβειας πολλών bit και οδηγείται από ρεύμα, χωριζόμενος σε δύο συμμετρικές διατάξεις, εκείνη των περισσότερο σημαντικών bit (Most Significant Bit-MSB) και εκείνη των λιγότερο σημαντικών bit (Least Significant Bit-LSB), με κάθε μία να αποτελείται από το ήμισυ των συνολικών bit. Για παράδειγμα, ένας DAC από 14 bit φανερώνει ότι η MSB διάταξη αποτελείται από $2^7 = 128$ πηγές ρεύματος, με κάθε πηγή να αποκόπτεται για ακρίβεια τιμής, ενώ αντικαθίσταται από μία άλλη σε σύντομο χρονικό διάστημα. Η επιθυμητή συχνότητα επιλέγεται μεταξύ των φασματικών περιοχών τηλεφωνίας και VDSL για να μην επηρεάζει καμία εκ των δύο.

Η απώλεια επιστροφής ηχούς (Echo return loss-ERL) είναι η μείωση στο μεταδιδόμενο σήμα, μέσω του υβριδικού κυκλώματος (hybrid), που εμφανίζεται στην είσοδο του modem στην πλευρά του αποδέκτη. Το σύνολο των bit που αποτελούν τον DAC bits καθορίζεται από το είδος του διαγράμματος αστερισμού (constellation order) και τη σηματοθορυβική σχέση (Signal-to-Noise ratio, SNR) που πρέπει να

διαθέτει κάθε φέρον. Ακόμη, μία υψηλή τιμή του ERL αυξάνει το συνολικό αριθμό των bits, καθώς επιβάλλει έναν ακόμη χαμηλότερο θόρυβο κβαντισμού του σήματος.

3.2.1.2

Βαθυπερατό φίλτρο μετάδοσης

Από τη στιγμή που τα ψηφιακά φίλτρα ικανοποιούν το σύνολο των προδιαγραφών μετάδοσης, κύριος σκοπός του αναλογικού βαθυπερατού φίλτρου είναι η απομάκρυνση του ειδώλου του σήματος εξόδου του DAC. Ένα φίλτρο Chebyshev ή Butterworth τρίτης τάξης με κυματισμό της τάξης του 1.0-dB είναι συνήθως αρκετό για τον περιορισμό του ειδώλου στην έξοδο του DAC κάτω από τη μάσκα μετάδοσης φασματικής ισχύος, ενώ παράλληλα προκαλεί περιορισμένο κυματισμό ή πτώση στην επιτρεπτή ζώνη μετάδοσης. Η συχνότητα αποκοπής είναι 30MHz και σχεδιάζεται με ενεργές RC τεχνικές για χαμηλότερο θόρυβο και μεγαλύτερη γραμμικότητα. Ακόμη, παρέχει την μετατροπή ρεύματος σε τάση για το διαφορικό σήμα ρεύματος του DAC.

3.2.1.3

Οδηγός γραμμής

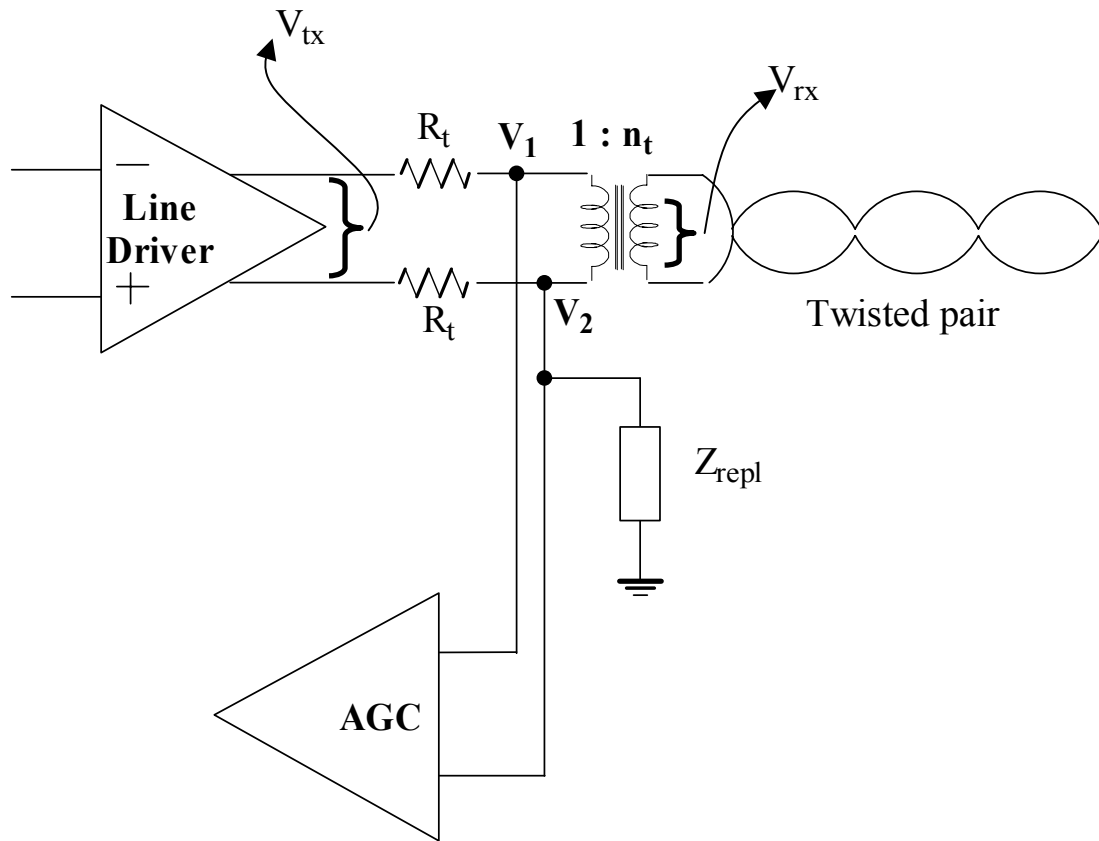
Η απαίτηση του ελέγχου της κατανάλωσης ισχύος αναφέρεται πρωταρχικά στον οδηγό γραμμής, γιατί καταναλώνει πάνω από το μισό της συνολικής ισχύος του αναλογικού μέρους μετάδοσης VDSL. Επίσης, η σημαντικότερη απαίτηση είναι η χαμηλή τιμή της συνολικής αρμονικής παραμόρφωσης (Total Harmonic Distortion - THD), η οποία πρέπει να κρατηθεί κάτω από ένα αρκετά χαμηλό όριο dB, κάτι που επιτυγχάνεται από ένα στάδιο εξόδου τάξης-AB και κατάλληλους βρόχους ανάδρασης. Διαφορετικά, η απόδοση, τόσο του πομπού όσο και του δέκτη, πέφτει σημαντικά λόγω του φαινομένου της μη γραμμικής ηχούς. Συνήθως, πλήρως διαφορετικές δομές επιλέγονται έτσι ώστε ο θόρυβος και η αρμονική παραμόρφωση να περιορίζονται. Επίσης επιθυμητό είναι ένα σήμα εξόδου με μέγιστη τιμή κοντά στη θετική τροφοδοσία και ελάχιστη κοντά στην αρνητική, έτσι ώστε η επιπλέον απαιτήσεις ενίσχυσης από το υβριδικό κύκλωμα που ακολουθεί (“hybrid”) να

ελαχιστοποιούνται. Για το λόγο αυτό επιλέγεται τροφοδοσία σχεδίασης ίση με 3.3 V. Οι λεπτομέρειες της σχεδίασης δίνονται στο κυρίως μέρος της εργασίας.

3.2.1.4

Υβριδικό κύκλωμα (Hybrid)

Η λειτουργία του υβριδικού κυκλώματος έγκειται στην πραγματοποίηση της διεπαφής του συνεστραμμένου ζεύγους (δύο καλωδίων) με τη συσκευή DSL που αποτελείται από 4 καλώδια, έτσι ώστε να είναι δυνατή η πλήρως αμφίδρομη λειτουργία. Αυτό σημαίνει ότι η μετάδοση δεδομένων μπορεί να γίνει και προς τις δύο κατευθύνσεις ταυτόχρονα. Το κύκλωμα αυτό ονομάζεται και συσκευή προ-ακύρωσης αναλογικής ηχούς (analog echo precancellation device). Το ιδανικό υβριδικό κύκλωμα θα επιτύγχανε την πλήρη ακύρωση του μεταδιδόμενου σήματος, V_{tx} . Επίσης, κάνει λιγότερη απαιτητική τη λειτουργία του ADC. Αν υποθεθεί ότι επιτυγχάνουμε μία απορρόφηση A του μεταδιδόμενου σήματος V_{tx} , τότε το σήμα στο μέρος λήψης μπορεί να ενισχυθεί με τη χρήση ενός ενισχυτή (Automatic Gain Control-AGC) κέρδους A έτσι ώστε η λειτουργία του ADC να καλύπτει όλη την κλίμακα. Στο Σχ. 5 φαίνεται η βασική αρχή λειτουργίας ενός υβριδικού κυκλώματος xDSL. Το κανάλι μετάδοσης (tx-transmit path) αποτελείται από τον οδηγό γραμμής LD, την αντίσταση τερματισμού της γραμμής R_t , το μετασχηματιστή ζεύξης γραμμής και το βρόχο μετάδοσης. Το μέρος του κυκλώματος που αποτελείται από τις R_t' και Z_{repl} αποτελεί αντίγραφο του πραγματικού καναλιού μετάδοσης.



Σχήμα 5. Αρχή λειτουργίας του υβριδικού κυκλώματος.

Με $R_t' = R_t$ και ιδανικά $Z_{repl} = Z_{loop}$, η τάση V_1 είναι

$$V_1 = V_{tx} \frac{Z_{loop}}{Z_{loop} + R_t} + V_{rx} \quad (19)$$

Η τάση V_2 αποτελεί το ποσοστό της V_{tx}

$$V_2 = V_{tx} \frac{Z_{repl}}{Z_{repl} + R_t'} \quad (20)$$

Η τάση V_3 στην είσοδο του AGC είναι η διαφορά των V_1 και V_2 . Επειδή $Z_{repl} = Z_{loop}$ θα είναι και

$$V_3 = V_1 - V_2 = V_{rx} \quad (21)$$

Η ικανοποίηση της σχέσης $Z_{\text{repl}} = Z_{\text{loop}}$, απαιτεί τη μελέτη αρκετών διαφορετικών βρόχων μετάδοσης. Καλώδια διαφορετικής διαμέτρου και μήκους αλλά και ατερμάτιστων διακλαδώσεων (bridged taps) μεταβάλλουν σημαντικά την εμπέδηση εισόδου της γραμμής συναρτήσει της συχνότητας.

Απουσία ατερμάτιστων διακλαδώσεων, η Z_{repl} αποτελείται από ένα απλό “RC-ladder” ικανό να απορροφήσει την V_{tx} . Αντίθετα, όταν υπάρχουν ατερμάτιστες διακλαδώσεις, ένα σειριακό δίκτυο RLC συνδέεται παράλληλα στο “RC ladder”. Όλα τα πηνία εντός του chip (on chip) υλοποιούνται ως γυράτορες (gyrators). Η προσαρμογή της Z_{repl} στην Z_{loop} μπορεί να γίνει και με τη χρήση ενεργών φίλτρων ή ακόμα και εντελώς εξωτερικά (modems). Η βέλτιστη επιλογή είναι η χρήση των “gyrators” σε συνδυασμό με παθητικά στοιχεία, κάτι που οδηγεί σε κατάληψη μικρότερης επιφάνειας ολοκληρωμένου κυκλώματος και έχει ως αποτέλεσμα χαμηλότερες τιμές θορύβου από εκείνες που επιφέρει η χρήση ενεργών φίλτρων.

3.2.2

Μέρος λήψης του σήματος

3.2.2.1

Αυτόματος Έλεγχος Κέρδους (Automatic Gain Control-AGC)

Το εύρος λειτουργίας του AGC ρυθμίζεται έτσι ώστε να αξιοποιεί όσο περισσότερο γίνεται το δυναμικό εύρος λειτουργίας του ADC. Είναι δυνατό να παρατηρηθεί ψαλιδισμός στο σήμα εξόδου του φίλτρου αποκοπής στο ψηφιακό μέρος, λόγω ενισχυμένου σήματος από τον ADC. Η παρατήρηση αυτή (σήμα εισόδου που μπορεί να υπερβεί μέχρι και το 70% του μέγιστου επιτρεπτού σήματος) χρησιμοποιείται για τη ρύθμιση της λειτουργίας του AGC. Η ρύθμιση γίνεται κατά το “ψυχρό ξεκίνημα”, παράλληλα και με τη ρύθμιση του υβριδικού κυκλώματος. Ο AGC σχεδιάζεται έτσι ώστε να έχει υψηλότερο SNR αλλά και γραμμικότητα από τον ADC καθώς προηγείται αυτού και επομένως ενισχύει οποιονδήποτε θόρυβο παράγεται από αυτόν. Επομένως, απαιτούνται σχετικά μεγάλων διαστάσεων τρανζίστορ στην κατασκευή του AGC ώστε να επιτυγχάνεται το απαιτούμενο κέρδος

σήματος. Επίσης, χρησιμοποιούνται αντιστάσεις χαμηλής τιμής για τη ρύθμιση του κέρδους μέσω βρόχων ανάδρασης.

3.2.2.2

Φίλτρο αποφυγής διασυμβολικής επικάλυψης

Το φίλτρο αυτό (anti-aliasing filter) είναι ένα βαθυπερατό φίλτρο με τέτοια συχνότητα αποκοπής ώστε να αποκόπτονται σήματα από την είσοδο του ADC ή τουλάχιστον τα απορροφά ώστε να μην επηρεάζουν τη λειτουργία του υπόλοιπου κυκλώματος. Γίνεται απορρόφηση των σημάτων εκείνων που βρίσκονται σε συχνότητες που προκαλούν διασυμβολική επικάλυψη και επομένως απώλεια πληροφορίας.

3.2.2.3

Αναλογικός-σε-ψηφιακό Μετατροπέας (ADC)

Το αναλογικά φιλτραρισμένο σήμα υπερ-δειγματοληπτείται και μετατρέπεται σε ψηφιακό. Η ανάλυση του ADC πρέπει να είναι αντίστοιχη εκείνης του DAC, και επομένως εξαρτάται από τον αριθμό των φερόντων στο συγκεκριμένο εύρος φάσματος αλλά και από τον ρυθμό δειγματοληψίας. Επιπλέον περιθώριο πρέπει να παρέχεται για την ηχώ του σήματος που υπάρχει στην είσοδο του ADC σε ένα modem “Echo Cancellation”, κάτι που σημαίνει ότι απαιτούνται περισσότερα bits ανάλυσης.

ΚΕΦΑΛΑΙΟ 4

Η ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΤΟΥ ΟΔΗΓΟΥ ΤΗΣ ΓΡΑΜΜΗΣ VDSL

Η σχεδίαση του οδηγού γραμμής γίνεται έτσι ώστε να ικανοποιούνται οι προδιαγραφές που θέτουν οι προτάσεις για το “standard” του VDSL. Οι δύο πρώτες παράμετροι που πρέπει να ικανοποιηθούν είναι το πλάτος του μεταδιδόμενου σήματος και η προσαρμογή του στη χαρακτηριστική εμπέδηση της γραμμής.

Τα πλάτος του μεταδιδόμενου σήματος δεν έχει καθοριστεί ακόμη επακριβώς από τις αρμόδιες επιτροπές. Ένα σχετικό κριτήριο αποτελεί η αντίστοιχη τιμή μέγιστης/ελάχιστης τάσης από το “standard” του ADSL, η οποία είναι ορισμένη στα +7/-7 Volt αντίστοιχα. Η χαρακτηριστική εμπέδηση της γραμμής μετάδοσης σημάτων VDSL έχει προταθεί στην τιμή των 100 Ohm. Βάσει των παραπάνω, γίνονται οι εξής επιλογές.

Το γεγονός της συνεχούς μείωσης της τάσης τροφοδοσίας στην τεχνολογία ολοκληρωμένων κυκλωμάτων, καθιστά διαθέσιμες τεχνολογίες με τάση τροφοδοσίας 1.8 Volt. Έτσι, η τεχνολογία που επιλέχθηκε για τη σχεδίαση του ολοκληρωμένου κυκλώματος είναι η UMC 0.18um CMOS, η οποία διατίθεται από την Virtual Silicon. Στην τεχνολογία αυτή διατίθενται μοντέλα τρανζίστορ που λειτουργούν με τάση τροφοδοσίας 1.8 αλλά και 3.3 Volt. Για τη σχεδίαση επιλέχθηκαν τα μοντέλα υψηλής τάσης τροφοδοσίας, έτσι ώστε να προσεγγίσουμε όσο το δυνατό περισσότερο τις τιμές μέγιστης τάσης του σήματος VDSL. Η τιμή πλάτους 2V θα είναι ικανοποιητική, λαμβάνοντας υπόψη το γεγονός ότι στην έξοδο του κυκλώματος ακολουθεί μετασχηματιστής μετατροπής του σήματος με αναλογία 1:n.

Η χαρακτηριστική εμπέδηση 100 Ohm της γραμμής απαιτεί η σύνθετη αντίσταση εξόδου του κυκλώματος να είναι αρκετά χαμηλότερη, ώστε το σήμα να διατηρεί τις μέγιστες τιμές πλάτους. Αυτό θα επιτευχθεί από ένα κατάλληλο στάδιο εξόδου του κυκλώματος.

Οι αμέσως επόμενες προδιαγραφές που πρέπει να καλύπτει το κύκλωμα είναι οι τιμές του ποσοστού απόρριψης κοινού σήματος εισόδου (Common mode Rejection Ratio, CMRR) και της συνολικής αρμονικής παραμόρφωσης (Total Harmonic Distortion, THD). Το CMRR αντιστοιχεί στην ικανότητα του κυκλώματος να διατηρεί σταθερό το κέρδος ανεξάρτητα από τη μεταβολή του κοινού DC σήματος στην είσοδο και πρέπει να υπερβαίνει τα 35dB. Η προδιαγραφή αυτή επιτυγχάνεται με κατάλληλη σχεδίαση του σταδίου εισόδου. Η THD πρέπει να βρίσκεται κάτω από τα 45 με 50 dB για την αποφυγή παρεμβολής με γειτονικά σήματα και επιτυγχάνεται από το στάδιο εξόδου.

Βάσει των παραπάνω, η αρχιτεκτονική του οδηγού γραμμής VDSL ορίζεται ως εξής: επιλέγεται τοπολογία 3 σταδίων, με το πρώτο στάδιο να εξασφαλίζει την τιμή του CMRR, το δεύτερο να δίνει το απαραίτητο κέρδος σήματος, και το τρίτο να επιτυγχάνει τη χαμηλή τιμή της THD και την προσαρμογή εμπέδησης στη χαμηλή αντίσταση της γραμμής.

Άλλο ένα σημαντικό χαρακτηριστικό του κυκλώματος είναι η διαφορική δομή του από την είσοδο μέχρι την έξοδο. Η επιλογή αυτή μειώνει την THD και διπλασιάζει το κέρδος του σήματος στην έξοδο. Το διάγραμμα σε επίπεδο “block” του Σχ. 6 παρουσιάζει την προτεινόμενη αρχιτεκτονική.

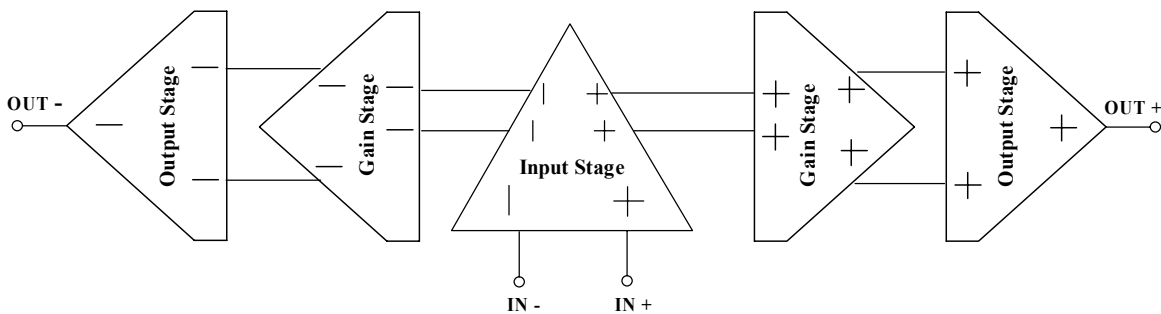


Figure 6. Διάγραμμα σε επίπεδο “block” της προτεινόμενης αρχιτεκτονικής του οδηγού γραμμής VDSL.

4.1

ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΤΟΥ ΣΤΑΔΙΟΥ ΕΙΣΟΔΟΥ

4.1.1

Το στάδιο σταθερής διαγωγιμότητας (g_m)

Σκοπός του σταδίου εισόδου είναι να εξασφαλιστεί σταθερή τιμή της διαγωγιμότητας, ανεξάρτητη από τη μεταβολή της DC στάθμης του σήματος εισόδου. Τελεστικοί ενισχυτές με διαφορικό ζεύγος εισόδου PMOS έχουν ένα εύρος κοινών DC τιμών εισόδου που περιλαμβάνει την αρνητική τροφοδοσία (συνήθως το δυναμικό μηδέν της γείωσης). Το θετικό εύρος τιμών περιορίζεται εντούτοις σε 1.4 έως 1.6 V κάτω από τη θετική τροφοδοσία, όταν αυτή βρίσκεται στα 3.3V [14]. Τελεστικοί ενισχυτές με διαφορικό ζεύγος εισόδου NMOS έχουν τις αντίθετες ιδιότητες. Έχουν ένα εύρος κοινών DC τιμών εισόδου που περιλαμβάνει τη θετική τροφοδοσία, ενώ το αρνητικό εύρος είναι από 1.4 έως 1.6V πάνω από την αρνητική τροφοδοσία. Για τις εφαρμογές όπου κοινές DC τιμές εισόδου υπερβαίνουν ή περιλαμβάνουν τουλάχιστον και τις δύο τροφοδοσίες, ο τελεστικός απαιτεί ένα στάδιο εισόδου με ένα NMOS και ένα PMOS διαφορικό ζευγάρι που συνδέονται παράλληλα. Διαθέσιμες είναι διάφορες δομές τελεστικών ενισχυτών με εύρος DC τιμών εισόδου που εκτείνεται από την αρνητική έως και τη θετική τροφοδοσία [15, 16]. Επιπλέον, η τοπολογία αυτή, που φαίνεται στο Σχ. 7 συντελεί και σε μια υψηλή αναλογία σήματος προς θόρυβο για χαμηλές τροφοδοσίες [17]. Αυτό το στάδιο εισόδου απαιτεί τροφοδοσία τουλάχιστον:

$$V_{\text{sup,min}} = V_{\text{gsp}} + V_{\text{gsn}} + 2V_{\text{dsat}} \quad (4.1)$$

όπου V_{gsp} και V_{gsn} η διαφορά δυναμικού μεταξύ πηγής και πύλης για ένα PMOS και NMOS αντίστοιχα και V_{dsat} η απαραίτητη πτώση τάσης (κορεσμού) στα άκρα μιας πηγής ρεύματος. Τυπικές τιμές για την τεχνολογία που επιλέγουμε είναι οι $V_{\text{gsn}} = 0.6\text{V}$, $V_{\text{gsp}} = -0.7\text{V}$ και $V_{\text{dsat}} = 0.15$. Για να ισχύει η (4.1) πρέπει η τροφοδοσία να είναι μεγαλύτερη από 3.3V, δηλαδή $V_{\text{supply}} = 3.3\text{V}$.

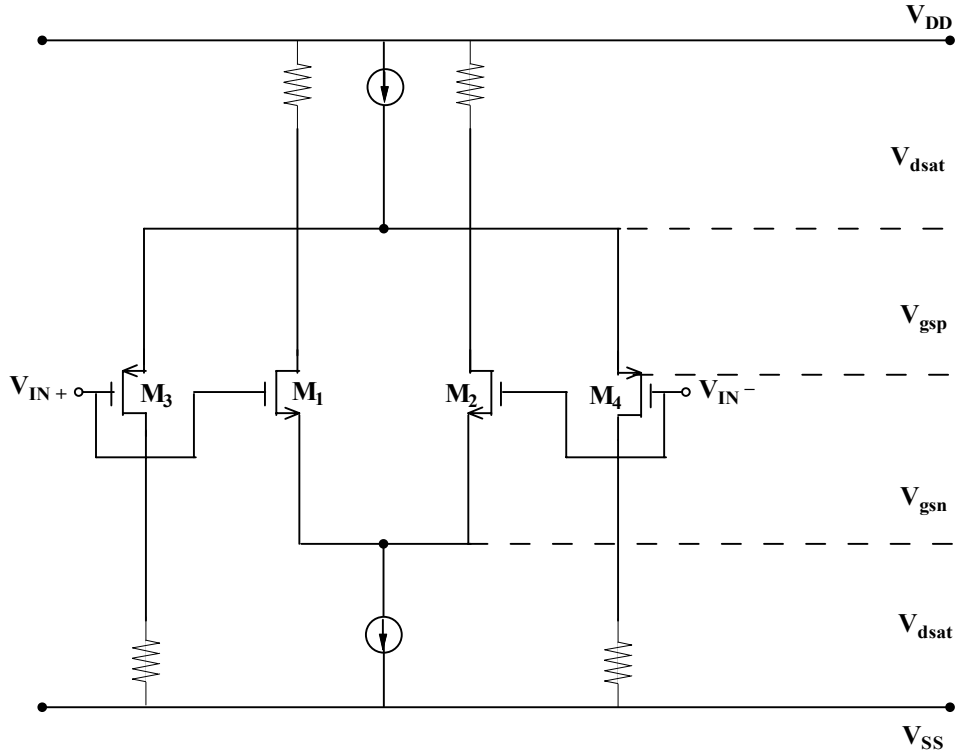


Figure 7. Περιοχή κοινών DC τιμών για το “rail-to-rail” στάδιο εισόδου.

Ένα μειονέκτημα του σταδίου εισόδου του Σχ. 7 αποτελεί το γεγονός ότι η διαγωγιμότητά του διπλασιάζεται για ενδιάμεσες DC τιμές εισόδου, γιατί τότε άγουν και τα δύο διαφορικά ζεύγη εισόδου, ενώ για ακραίες ένα μόνο από αυτά. Η μεταβολή της διαγωγιμότητας, εκτός από το γεγονός ότι μεταβάλλει το κέρδος που θέλουμε να διατηρηθεί σταθερό, εμποδίζει και την αντιστάθμιση συχνότητας. Για να διατηρηθεί σταθερή η τιμή της διαγωγιμότητας g_m πρέπει να αυξηθεί κατά 2 για τις ακραίες τιμές εισόδου. Επειδή το g_m είναι ανάλογο της ρίζας του ρεύματος που το διαρρέει, το ρεύμα πόλωσης κάθε διαφορικού ζεύγους που είναι ανοιχτό πρέπει να αυξηθεί 4 φορές.

Αυτό επιτυγχάνεται με τη μετατροπή του κυκλώματος όπως φαίνεται στο σχήμα 8 [18]. Το κύκλωμα ελέγχου της διαγωγιμότητας υλοποιείται με δύο διακόπτες ρεύματος, M_5 και M_8 , και δύο καθρέπτες ρεύματος, $M_6 - M_7$ και $M_9 - M_{10}$, καθένας από τους οποίους έχει κέρδος 3.

Έτσι, για χαμηλές κοινές DC τιμές εισόδου, δηλαδή τιμές μεταξύ V_{SS} και $V_{SS} + 1$, λειτουργεί μόνο το διαφορικό ζεύγος PMOS. Ο διακόπτης ρεύματος M_5 είναι ανοιχτός,

περνάει όλο το ρεύμα I_{ref1} στον καθρέπτη $M_6 - M_7$ από τον οποίο εξέρχεται πολλαπλασιασμένο κατά 3. Στη συνέχεια προστίθεται στο I_{ref2} . Αφού τα I_{ref1} και I_{ref2} είναι ίσα, το ρεύμα πόλωσης του διαφορικού ζεύγους PMOS είναι ίσο με $4I_{ref}$.

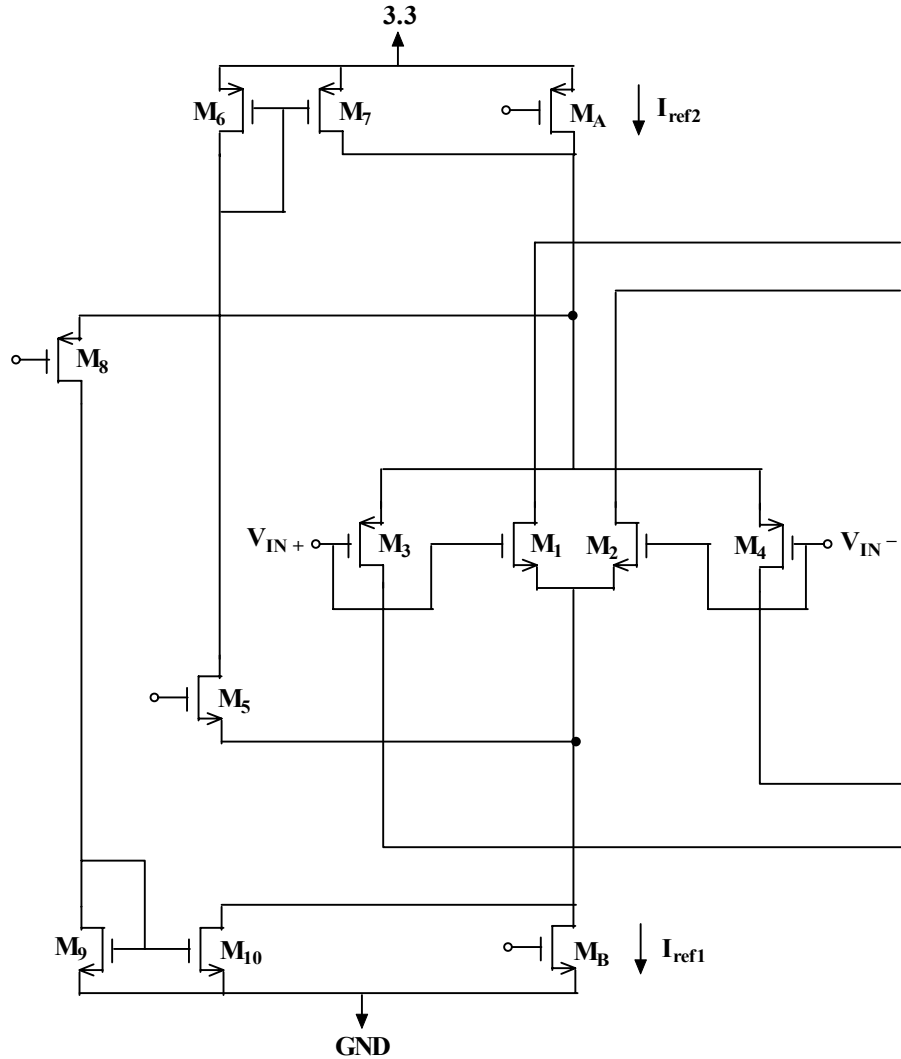


Figure 8. Στάδιο εισόδου “rail-to-rail” στο οποίο η διαγωγιμότητα g_m ελέγχεται με καθρέπτες αναλογίας 1:3.

Για εφαρμογή ενδιάμεσων κοινών DC τιμών εισόδου, δηλαδή τιμές μεταξύ $V_{SS} + 1.3V$ και $V_{DD} - 1.3$, και τα δύο διαφορικά ζεύγη άγουν. Στην περιοχή αυτή και οι δύο διακόπτες ρεύματος M_5 και M_8 είναι κλειστοί και κάθε διαφορικό ζεύγος πολώνεται με ρεύμα ίσο με I_{ref} .

Για υψηλές κοινές DC τιμές εισόδου, δηλαδή τιμές μεταξύ V_{DD} και $V_{DD} - 1$, λειτουργεί μόνο το διαφορικό ζεύγος NMOS. Ο διακόπτης ρεύματος M_8 είναι ανοιχτός, (ενώ ο M_5 κλειστός) περνάει όλο το ρεύμα I_{ref2} στον καθρέπτη $M_9 - M_{10}$ από τον οποίο εξέρχεται πολλαπλασιασμένο κατά 3. Στη συνέχεια προστίθεται στο I_{ref1} . Αφού τα I_{ref1} και I_{ref2} είναι ίσα, το ρεύμα πόλωσης του διαφορικού ζεύγους PMOS είναι ίσο με $4I_{ref}$.

Για κάθε περιοχή DC τιμών εισόδου το g_m δίνεται από τη σχέση

$$g_m = \sqrt{KI_{ref}} \quad (4.2)$$

όπου

$$K = \mu_p C_{ox} \left(\frac{W}{L} \right)_p = \mu_n C_{ox} \left(\frac{W}{L} \right)_n \quad (4.3)$$

και μ την ευκινησία των φορέων, C_{ox} τη χωρητικότητα του οξειδίου της πύλης, W και L το πλάτος και το μήκος του καναλιού του τρανζίστορ αντίστοιχα. Από τη σχέση (4.3) παρατηρούμε ότι για να είναι η ίση η αγωγιμότητα του P-διαφορικού ζεύγους με εκείνη του N-διαφορικού ζεύγους, πρέπει να ισχύει η σχέση

$$\frac{\mu_n}{\mu_p} = \frac{\left(\frac{W}{L} \right)_p}{\left(\frac{W}{L} \right)_n} \quad (4.4)$$

Επομένως, η διαγωγιμότητα g_m διατηρείται σταθερή για όλο το εύρος των κοινών DC τιμών εισόδου, εκτός από τις δύο μικρές περιοχές επικάλυψης των μεσαίων DC τιμών εισόδου με τις χαμηλές ή τις ψηλές τιμές, οι οποίες είναι οι $(V_{SS} + 1, V_{SS} + 1.3)$ και $(V_{DD} - 1.3, V_{DD} - 1)$ αντίστοιχα. Στις περιοχές αυτές το ρεύμα που διέρχεται από κάθε διακόπτη ρεύματος (M_5, M_8) μεταβάλλεται από 0 σε I_{ref} και αντίστροφα.

4.1.2

Η παροχή κέρδους από ένα στάδιο τοπολογίας “folded-cascode”

Σκοπός του σταδίου κέρδους είναι η επιπλέον ενίσχυση του σταθερού κέρδους σήματος που εξασφαλίσαμε από το στάδιο εισόδου μέσω της σταθεροποίησης της τιμής του g_m . Η απαίτηση αυτή πρέπει να συνδυαστεί με το γεγονός της μορφοποίησης ενός σήματος που η μέγιστη τιμή του θα πλησιάζει κατά το δυνατό τη θετική τροφοδοσία, ενώ η ελάχιστη την αρνητική τροφοδοσία (“rail-to-rail swing”). Η τοπολογία ενισχυτή που ικανοποιεί τις δύο παραπάνω απαιτήσεις ονομάζεται “folded-cascode” (αναδιπλωμένος “cascode”), δηλώνοντας τη διαφορά με την τοπολογία του απλού “cascode” που πραγματοποιείται από ένα τρανζίστορ που έχει ως ενεργό φορτίο στην έξοδό του ένα ακόμη τρανζίστορ. Οι απλούστερες των υλοποιήσεων για τις δύο ατές τοπολογίες φαίνονται στο ακόλουθο σχήμα[12].

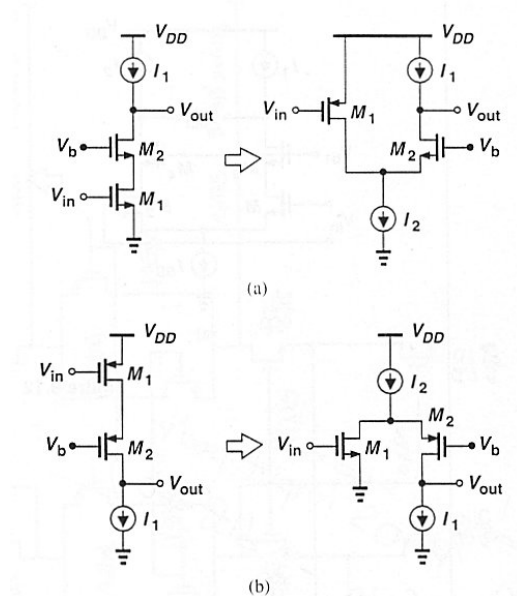


Figure 9. Κυκλώματα “Folded cascode”.

Βασικότερο πλεονέκτημα της τοπολογίας “folded-cascode” αποτελεί το γεγονός ότι διαθέτει μεγαλύτερη γραμμική περιοχή τάσης εξόδου (“dynamic linearity range”). Το χαρακτηριστικό της αυτό, καθώς και το κέρδος που παρέχει, αλλά και οι συνθήκες πόλωσης των τρανζίστορ που την αποτελούν περιγράφονται στο Παράρτημα Γ.

Η επιλογή της τοπολογίας “folded-cascode” για το στάδιο κέρδους προσαρμόζεται στη δομή του προηγούμενου σταδίου του κυκλώματος, το οποίο έχει διπλή διαφορική έξοδο. Όπως φαίνεται στο Σχ. 10, η έξοδος από το διαφορικό ζεύγος NMOS εισόδου, εισέρχεται στις πηγές των M_{13} , M_{14} που τοποθετούνται σε συνδεσμολογία “folded-cascode” και πολώνονται από τις πηγές ρεύματος M_{11} - M_{12} . Έτσι, το άνω ήμισυ του σταδίου αυτού δίνει στον κόμβο εξόδου ένα σήμα με DC τιμή πολύ κοντά στη θετική τροφοδοσία. Η συμπληρωματική τοπολογία του κάτω ημίσεως του εν λόγω σταδίου έχει ως αποτέλεσμα την παροχή στον κόμβο εξόδου ενός σήματος με DC τιμή πολύ κοντά στη αρνητική τροφοδοσία. Το αποτέλεσμα είναι ένα συνολικό σήμα εξόδου που αποτελεί το άθροισμα των δύο παραπάνω και άρα μεταβάλλεται μεταξύ μέγιστων τιμών που προσεγγίζουν τη θετική τροφοδοσία και ελάχιστων που προσεγγίζουν την αρνητική (“rail-to-rail swing”).

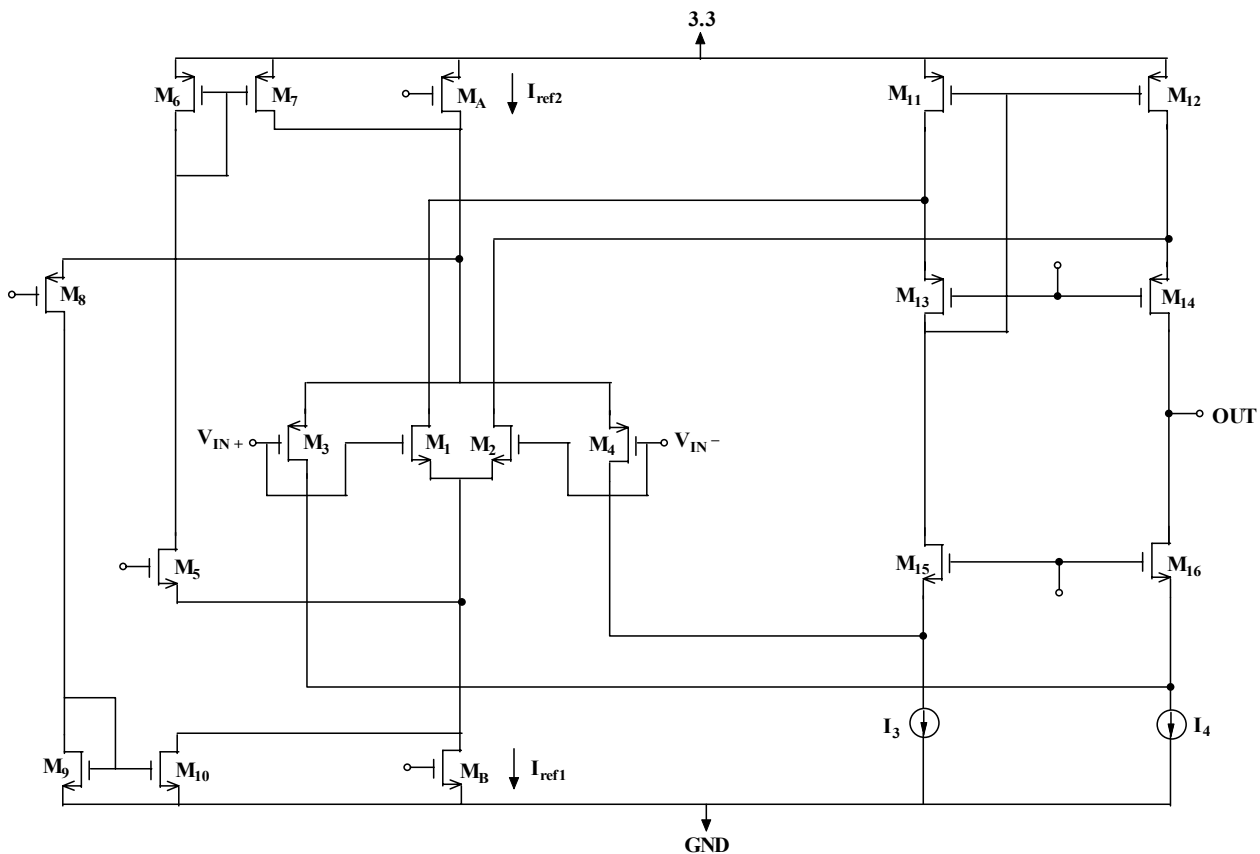


Figure 10. Στάδιο κέρδους τοπολογίας “folded-cascode” .

4.2

Το στάδιο εξόδου

4.2.1

Εισαγωγή στη θεωρία των σταδίων εξόδου.

Βασικός στόχος του σταδίου εξόδου ενός τελεστικού ενισχυτή είναι η ικανότητα οδήγησης μιας μεγάλης χωρητικότητας (μέχρι τιμές τάξης των nF) και/ή μικρής αντίστασης (τάξης δεκάδων Ohm) ώστε το σήμα εξόδου να έχει χαμηλή τιμή αρμονικής παραμόρφωσης. Άλλον ένα στόχο αποτελεί η δυνατότητα λήψης σήματος εξόδου με μέγιστες/ελάχιστες τιμές που πλησιάζουν τις δύο τροφοδοσίες αντίστοιχα. Για το λόγο αυτό, εάν επιλέξουμε ένα NMOS και ένα PMOS για το στάδιο εξόδου, αυτά θα τοποθετηθούν σε συνδεσμολογία κοινής πηγής, ώστε η πτώση τάσης από την έξοδο μέχρι κάθε τροφοδοσία να είναι V_{ds} , δηλαδή αρκετά μικρή. Τα παραπάνω χαρακτηριστικά οδηγούν στην επιλογή ενός “push-pull” σταδίου εξόδου, όπως φαίνεται στο Σχ. 11 και περιγράφεται αναλυτικά στο Παράρτημα Δ.

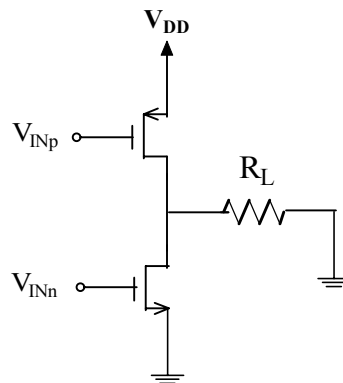


Figure 11. “Push-pull” CMOS στάδιο εξόδου με μεταβολή του σήματος “rail-to-rail”.

4.2.2

Αρχιτεκτονική του σταδίου εξόδου.

Το στάδιο εξόδου λειτουργεί σε τάξη AB και παρουσιάζεται στο Σχ. 12. Αποτελείται από τα τρανζίστορ M_{25} και M_{26} , τα οποία τοποθετούνται σε συνδεσμολογία κοινής πηγής, τα οποία οδηγούνται από δύο συμπασικά σήματα I_{in1} και I_{in2} αντίστοιχα. Το κύκλωμα ελέγχου πόλωσης των M_{25} και M_{26} αποτελείται από τα M_{19} και M_{20} . Τα $M_{23} - M_{24}$ και $M_{21} - M_{22}$ σε συνδεσμολογία διόδου πολώνουν τις πύλες των M_{19} και M_{20} αντίστοιχα.

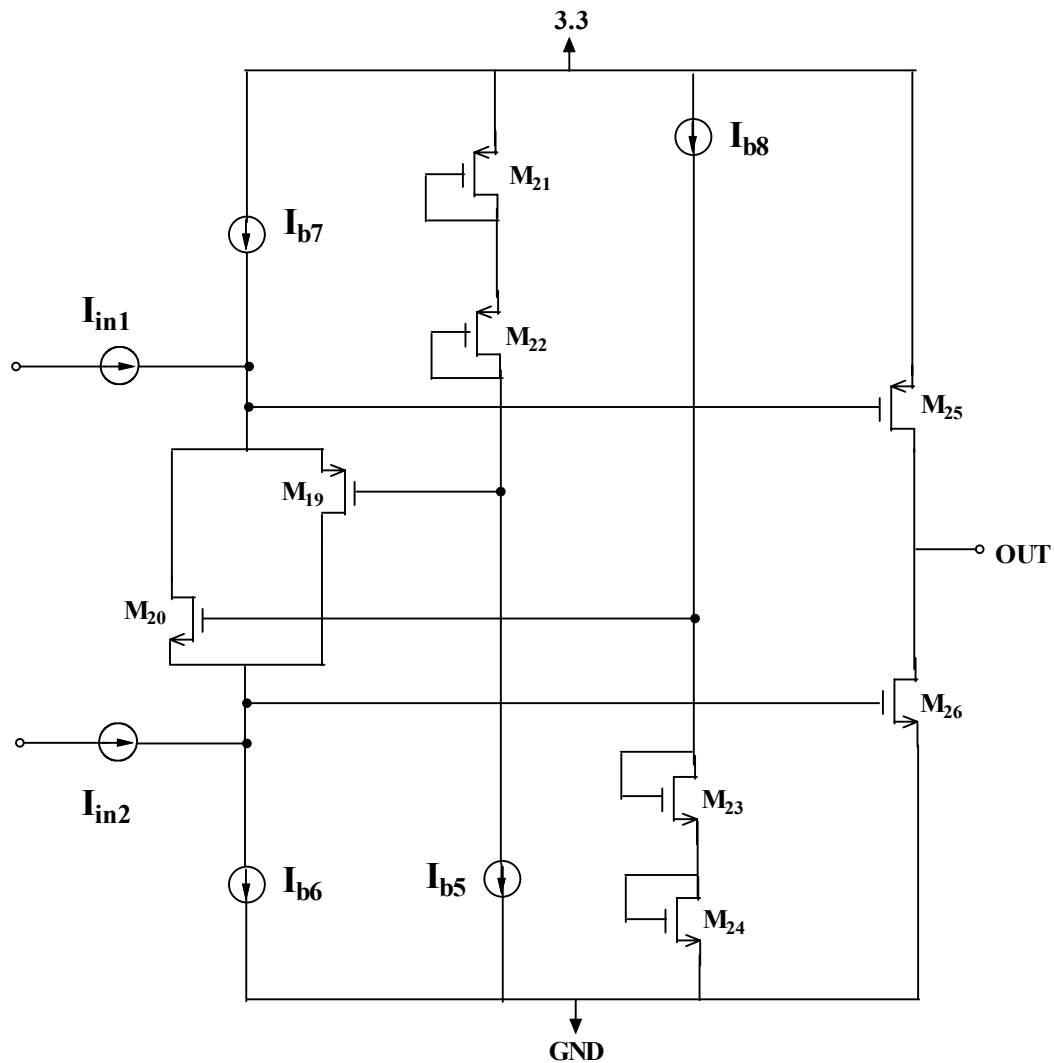


Figure 12. Στάδιο εξόδου “rail-to-rail” σε λειτουργία τάξης AB.

Το ρεύμα ηρεμίας του σταδίου εξόδου καθορίζεται σε κάθε φάση αγωγής από δύο βρόχους που αποτελούνται από τα τρανζίστορ M_{20} , M_{21} , M_{22} και M_{25} και M_{19} , M_{23} , M_{24} και M_{26} . Η λειτουργία σε τάξη AB εξασφαλίζεται κρατώντας σταθερή τη διαφορά δυναμικού μεταξύ των δύο πυλών των τρανζίστορ εξόδου. Καθώς τα ρεύματα I_{in1} και I_{in2} εισέρχονται στα τρανζίστορ M_{26} και M_{25} αντίστοιχα. Όταν εισέρχονται στο κύκλωμα ελέγχου $M_{19} - M_{20}$, το ρεύμα του M_{20} αυξάνεται, ενώ το ρεύμα που περνάει από το M_{20} αυξάνεται κατά το ίδιο ποσό. Κατά αυτό τον τρόπο, το δυναμικό στις πύλες των τρανζίστορ εξόδου αυξάνεται. Άρα, το στάδιο εξόδου τραβάει ρεύμα από το φορτίο του, κάτι που συνεχίζεται μέχρι το ρεύμα που διέρχεται από το M_{19} γίνει ίσο με I_{b7} . Αντίστοιχα ισχύουν για τη περίπτωση που το στάδιο στέλνει ρεύμα προς το φορτίο του.

Ένα μειονέκτημα του σταδίου τάξης AB είναι το γεγονός ότι το ρεύμα ηρεμίας του σταδίου εξόδου εξαρτάται από μεταβολές της τάσης τροφοδοσίας που μεταφέρονται στο σήμα εξόδου μέσω της μεταβολής των διαφορών δυναμικού μεταξύ της πύλης και της πηγής τους.

4.3

Συνολική τοπολογία του VDSL Driver

Ο συνήθης τρόπος σχεδίασης ενός ενισχυτή 2 σταδίων, είναι η σύνδεση σε σειρά του σταδίου εισόδου, αποτελούμενου από τα M_1-M_4 και $M_{11}-M_{16}$ και του σταδίου εξόδου τάξης-AB, το οποίο αποτελείται από τα $M_{19}-M_{26}$, όπως φαίνεται στο σχήμα 13. Για λόγους απλότητας έχει αγνοηθεί το κύκλωμα ελέγχου της διαγωγιμότητας g_m του σταδίου εισόδου. Αν και έχουμε επιτύχει μία πιο συμπαγή τοπολογία, η προσέγγιση αυτή έχει σημαντικά μειονεκτήματα. Το πρώτο από αυτά είναι ότι το κέρδος σήματος μειώνεται γιατί οι πηγές ρεύματος I_{b6} και I_{b7} που πολώνουν το στάδιο εξόδου συνδέονται παράλληλα με τα M_{14} και M_{16} . Ακόμη, εκτός από τα τρανζίστορ εισόδου M_1-M_4 και $M_{11}-M_{12}$, αλλά και τις πηγές ρεύματος I_{b3} και I_{b4} , στο θόρυβο και την απόκλιση εισόδου συντελούν και οι πηγές ρεύματος I_{b6} και I_{b7} . Αυτό συμβαίνει γιατί το κέρδος ρεύματος μεταξύ των πηγών ρεύματος που πολώνουν το κύκλωμα ελέγχου του σταδίου εξόδου και των πηγών ρεύματος που πολώνουν το στάδιο εισόδου είναι ίσο με 1.

Τα μειονεκτήματα αυτά μπορούν να ξεπεραστούν αν προστεθεί ένα ενδιάμεσο στάδιο μεταξύ των δύο που αποτελούν τον ενισχυτή. Αυτό το ενδιάμεσο στάδιο που αποτελείται από τα τρανζίστορ M_{31} και M_{32} , αυξάνει το κέρδος ρεύματος μεταξύ του σταδίου εισόδου και των I_{b6} και I_{b7} . Κατά αυτό τον τρόπο μειώνεται ο θόρυβος που προέρχεται από τις I_{b6} και I_{b7} , αλλά αυξάνεται η επιφάνεια κατάληψης του ολοκληρωμένου κυκλώματος μειώνεται η συχνότητα μοναδιαίου κέρδους του κυκλώματος. Αν εφαρμοστεί αντιστάθμιση Miller, τότε η συχνότητα μοναδιαίου κέρδους του κυκλώματος μειώνεται κατά 2 [17].

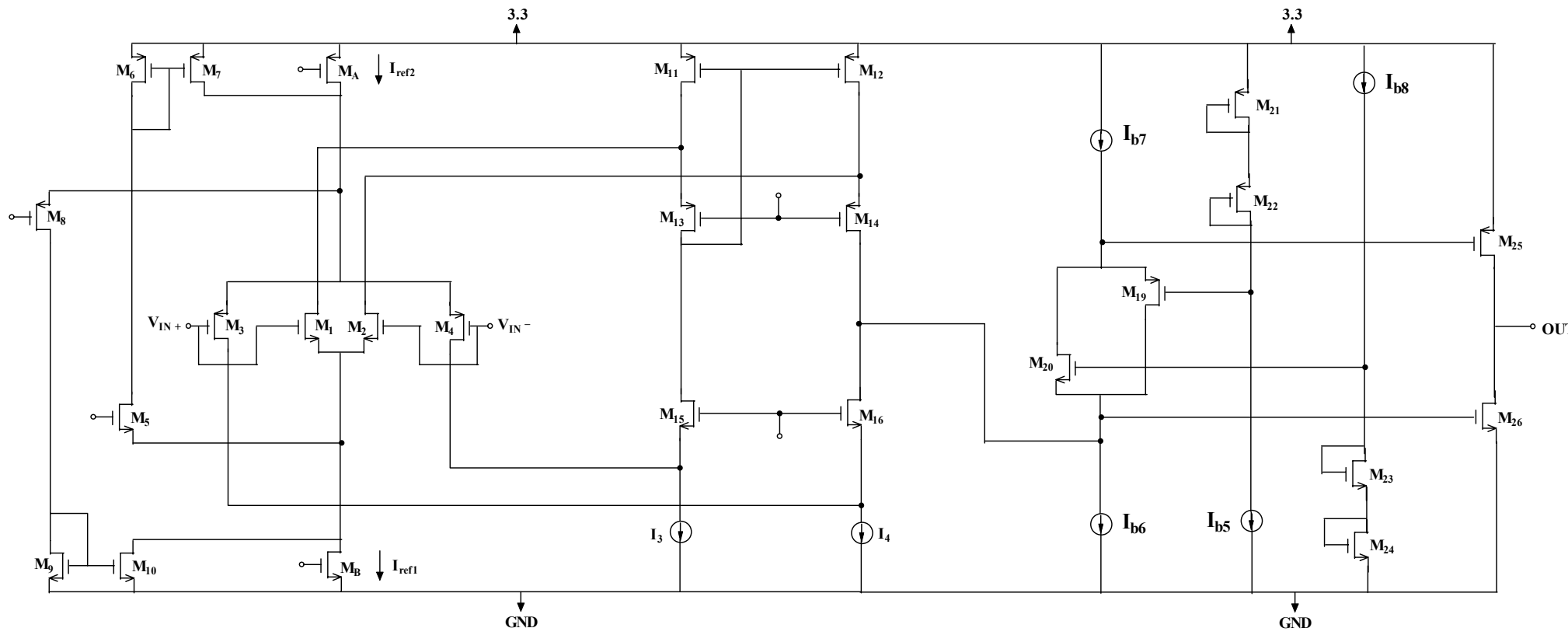


Figure 13. Τοπολογία δύο σειριακά συνδεδεμένων σταδίων.

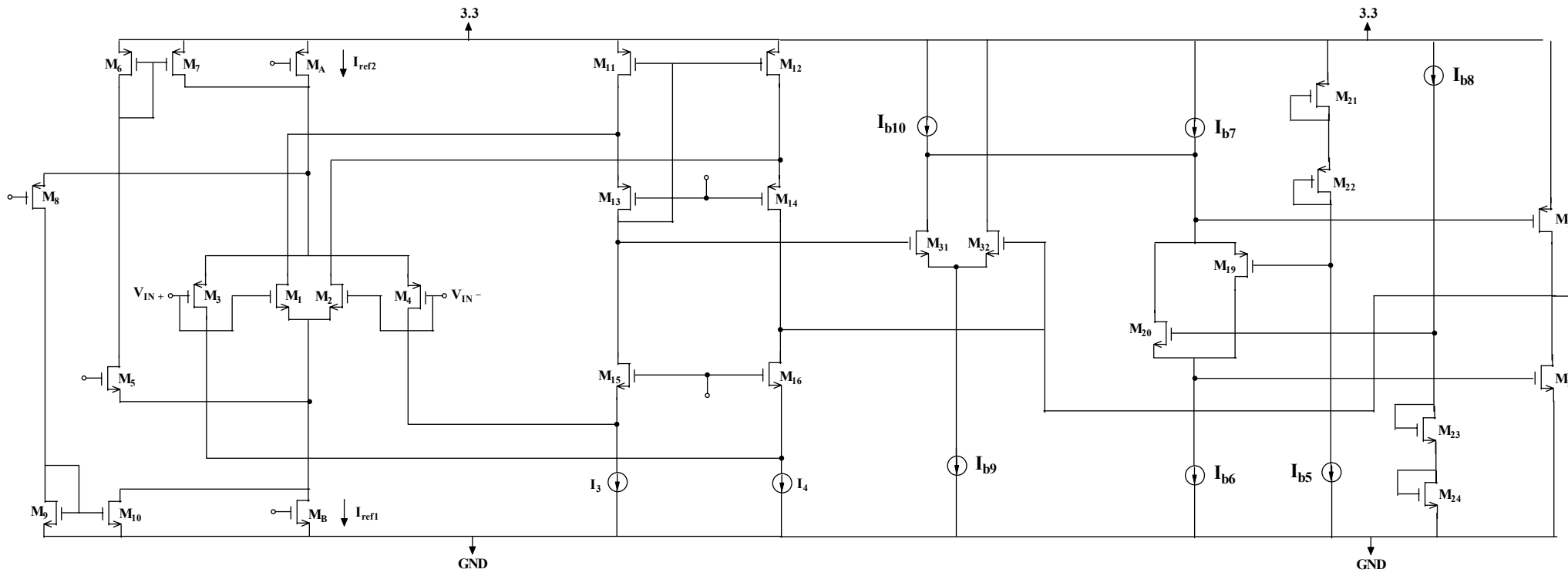


Figure 14. Τοπολογία τριών σειρικά συνδεόμενων σταδίων.

Ένας διαφορετικός τρόπος να μειώσουμε το θόρυβο και την απόκλιση εισόδου που προκαλεί το στάδιο ελέγχου τάξης-AB, χωρίς το κόστος της αύξησης επιφάνειας του ολοκληρωμένου κυκλώματος και τη μείωση της συχνότητας μοναδιαίου κέρδους, είναι η μεταφορά των $M_{19} - M_{20}$ στο προηγούμενο στάδιο των $M_{11}-M_{16}$, όπως φαίνεται στο σχήμα 15. Κατά αυτό τον τρόπο, το κύκλωμα ελέγχου τάξης AB πολώνεται από τα φορτία του σταδίου κέρδους. Έτσι, ο θόρυβος καθορίζεται κυρίως από τα τρανζίστορ εισόδου και το στάδιο κέρδους.

Ένα μειονέκτημα που έχει η ενσωμάτωση του σταδίου ελέγχου τάξης AB στο προηγούμενο, είναι το γεγονός ότι το σταθερό ρεύμα πόλωσης του σταδίου εξόδου ($I_{quiescent}$) εξαρτάται από τις μεταβολές της DC στάθμης του σήματος εισόδου. Αυτό συμβαίνει γιατί η μεταβολή της DC τιμής στο σήμα εισόδου έχει ως αποτέλεσμα την αλλαγή στην τιμή του ρεύματος που διαρρέει τα τρανζίστορ εισόδου, άρα και στο ρεύμα που διαρρέει τα ενεργά φορτία τους. Έτσι, το ρεύμα πόλωσης του σταδίου ελέγχου AB και επομένως και του ρεύματος που πολώνει τα τρανζίστορ εξόδου αλλάζει. Η λύση σε αυτό το πρόβλημα δίνεται αν τα $M_{11}-M_{14}$ και $M_{15}-M_{18}$ συνδεθούν σε τοπολογία καθρέπτη ρεύματος. Καθένας από αυτούς τους καθρέπτες πολώνεται από δύο ανεξάρτητες πηγές I_{b3} και I_{b4} , όπως φαίνεται στο Σχ. 16. Και οι δύο πλευρές κάθε καθρέπτη πολώνονται από ίσα DC ρεύματα προερχόμενα από το στάδιο εισόδου M_1-M_4 . Επειδή τα I_{b3} και I_{b4} είναι ίσα, το ρεύμα εξόδου κάθε καθρέπτη είναι ίσο με I_{b3} .

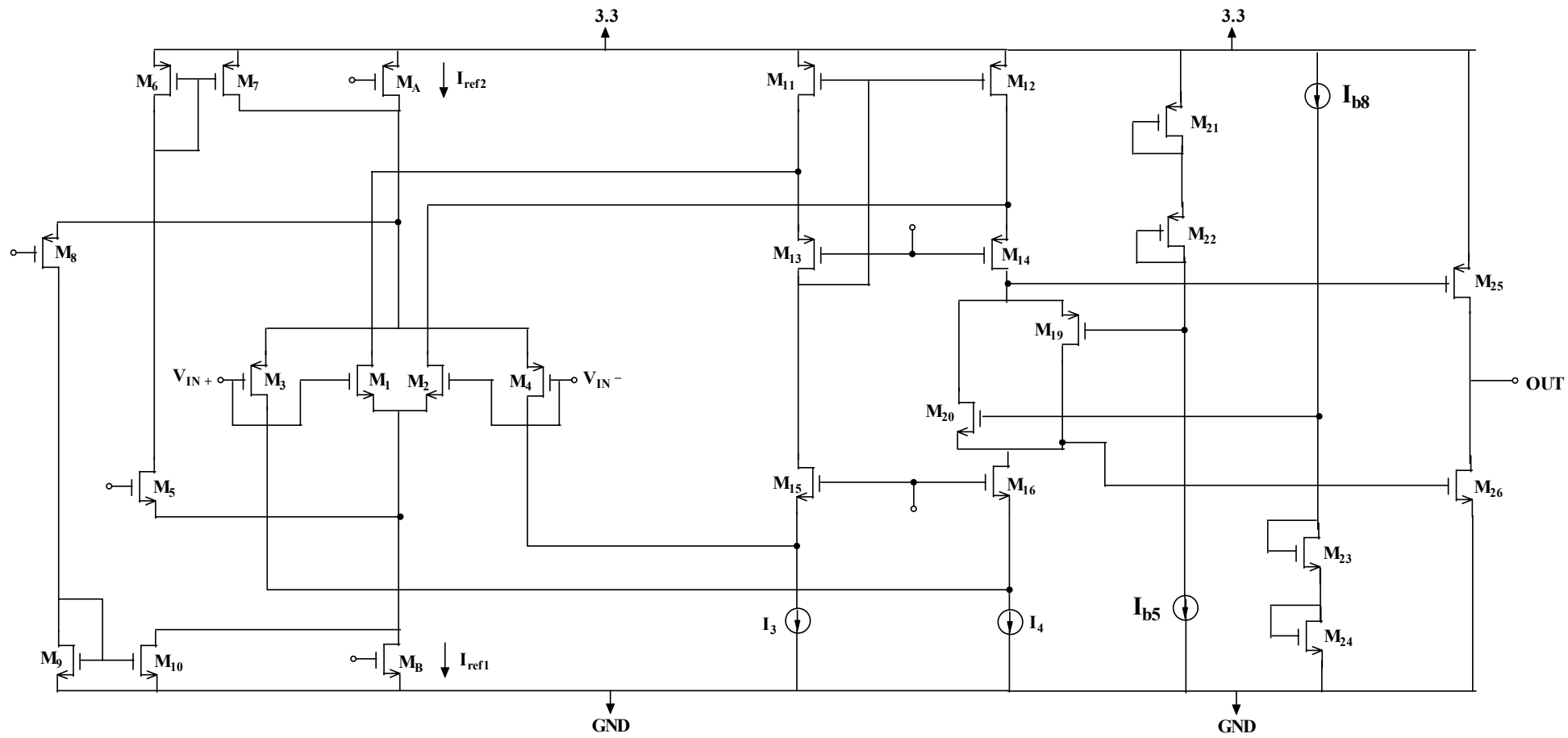


Figure 15. Τοπολογία δύο σταδίων με ενσωμάτωση του κυκλώματος ελέγχου τάξης AB στο προηγούμενο στάδιο.

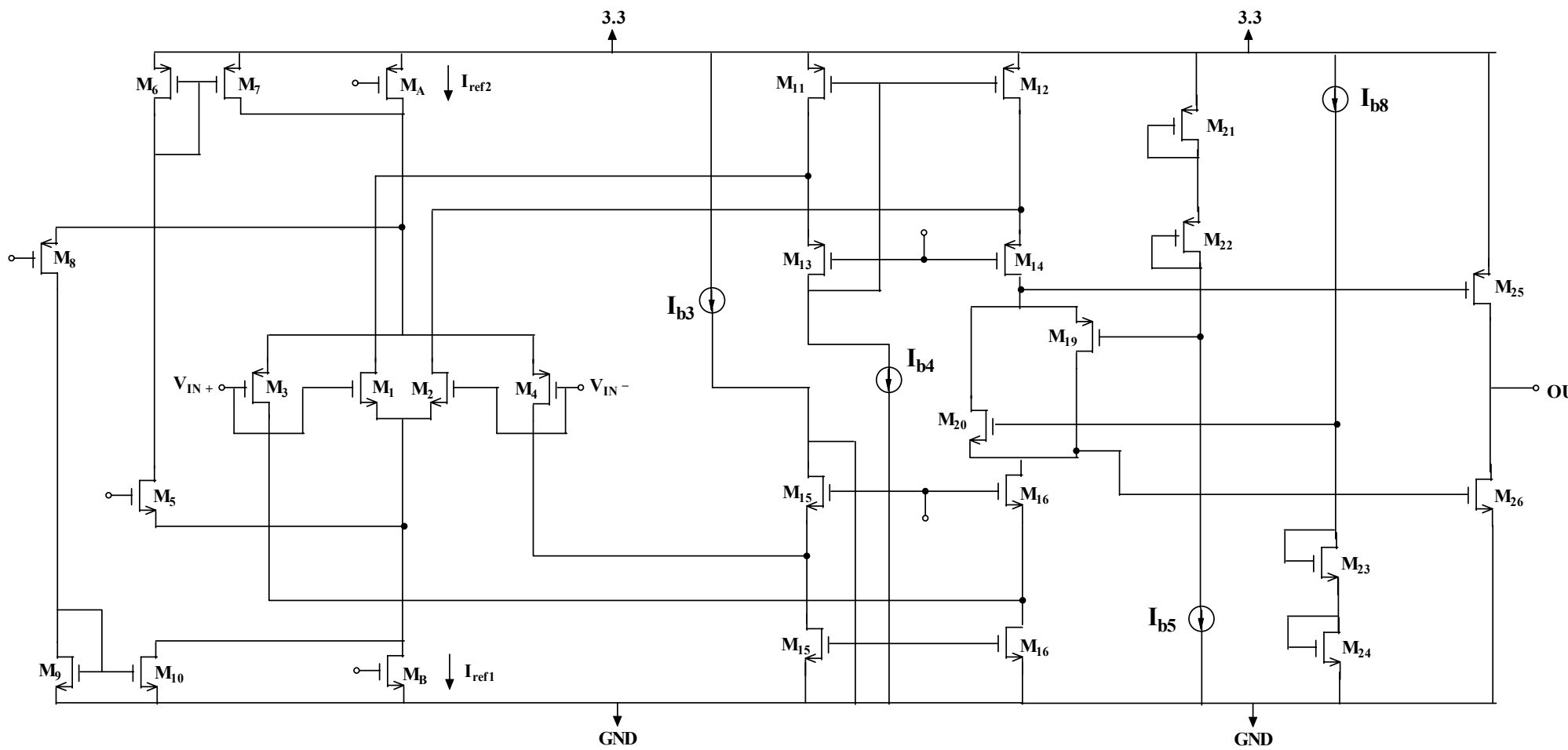


Figure 16. Τοπολογία δύο σταδίων. Το αθροιστικό κύκλωμα κέρδους πολώνεται από δύο ανεξάρτητες πηγές ρεύματος, τις I_{b3} και I_{b4} .

Ένα μειονέκτημα των ανεξάρτητα πολωμένων καθρεπτών ρεύματος είναι ότι οι πηγές που πολώνουν με ρεύμα τους καθρέπτες συνεισφέρουν στο θόρυβο του ενισχυτή. Αυτό συμβαίνει γιατί το κέρδος ρεύματος μεταξύ αυτών των πηγών ρεύματος και του ρεύματος των τρανζίστορ εισόδου είναι ίσο με 1. Για να ξεπεράσουμε αυτό το πρόβλημα, οι καθρέπτες ρεύματος πολώνονται με μία πηγή ρεύματος I_{b3} , όπως φαίνεται στο Σχ. 17, η οποία δεν επιφέρει επιπλέον αύξηση του θορύβου [24], [25].

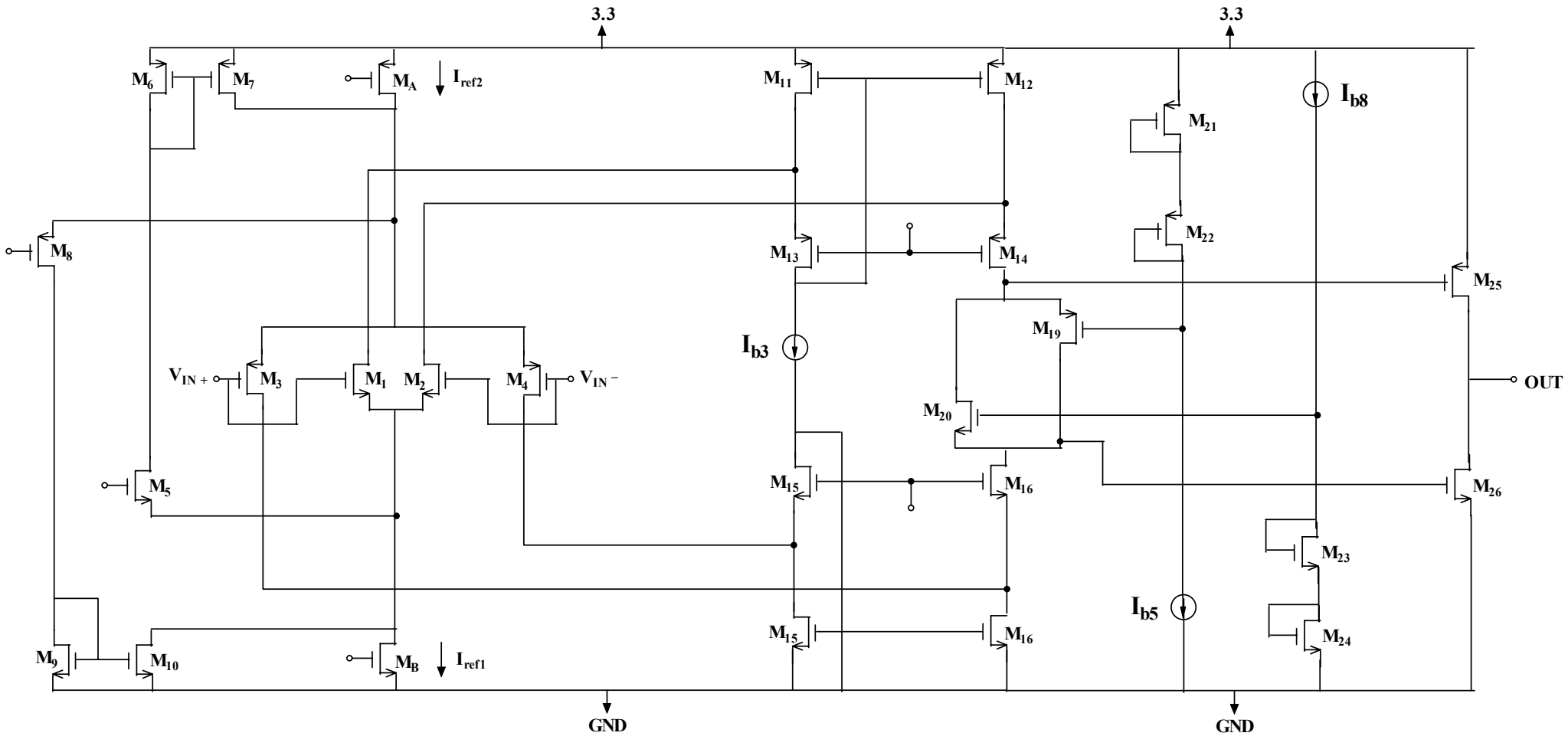


Figure 17. Τοπολογία δύο σταδίων. Το αθροιστικό κύκλωμα κέρδους περιέχει δύο καθρέπτες ρεύματος που πολώνονται από μία πηγή ρεύματος (I_{b3}).

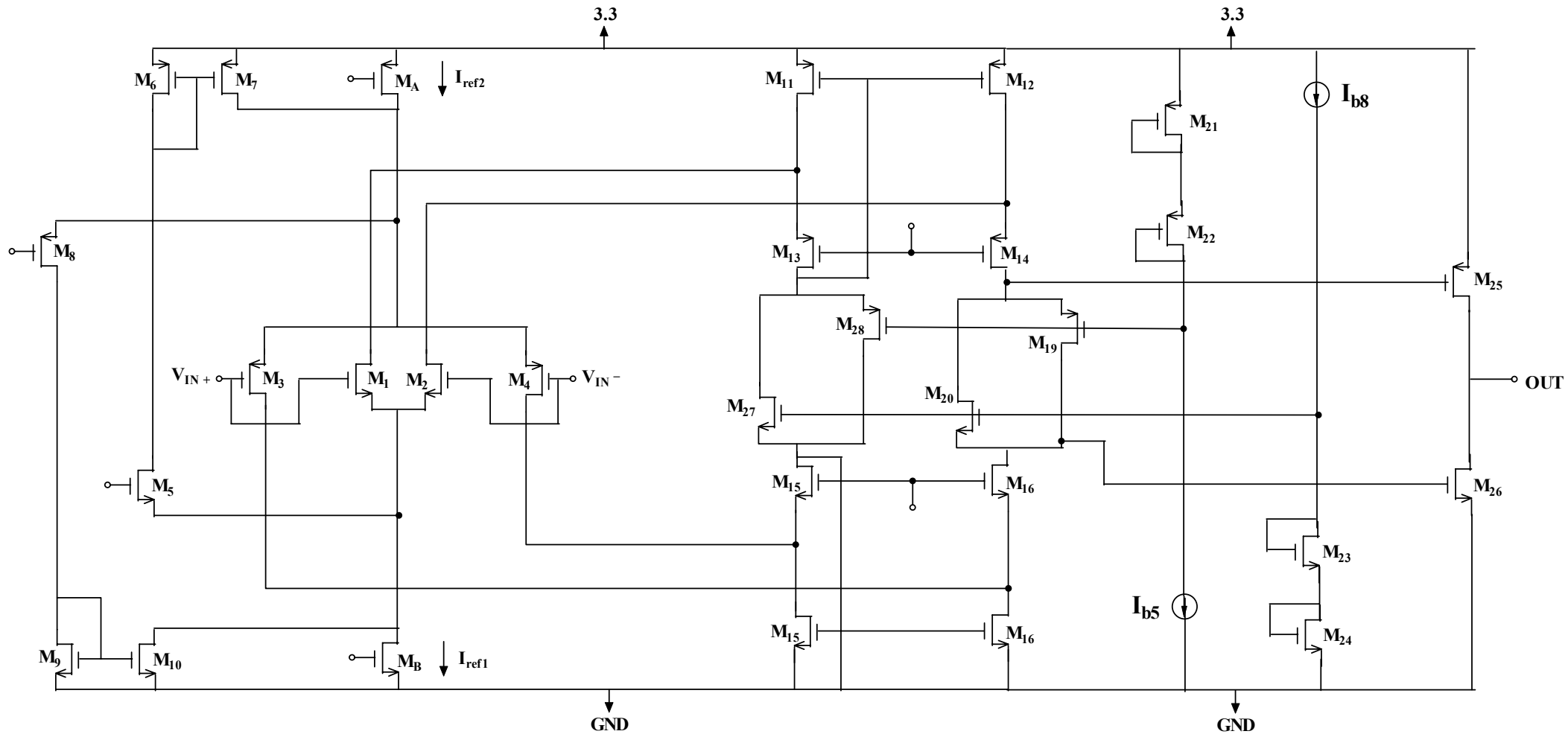


Figure 18. Τοπολογία δύο σταδίων. Η πηγή ρεύματος I_{b5} υλοποιείται από τα τρανζίστορ M_{27} , M_{28} .

Το στάδιο ελέγχου τάξης AB και επομένως και το ρεύμα ηρεμίας των τρανζίστορ εξόδου εξαρτάται από μεταβολές της τάσης τροφοδοσίας. Για να το αποφύγουμε αυτό πρέπει η πηγή ρεύματος να εξαρτάται με τον ίδιο τρόπο από τις μεταβολές της τροφοδοσίας, όπως και το κύκλωμα ελέγχου τάξης AB. Στο Σχ. 18 φαίνεται αυτή η υλοποίηση με την πηγή ρεύματος να αποτελείται από τα τρανζίστορ M_{27} - M_{28} και να έχει υλοποιηθεί με τον ίδιο τρόπο όπως και το κύκλωμα ελέγχου του ρεύματος πόλωσης του σταδίου εξόδου. Η τιμή του ρεύματος πόλωσης καθορίζεται από το βρόχο των τρανζίστορ M_{11} , M_{21} , M_{22} , M_{28} αλλά και από το βρόχο που αποτελείται από τα M_{17} , M_{23} , M_{24} , M_{27} . Οι καθρέπτες ρεύματος M_{11} - M_{14} και M_{15} - M_{18} μεταφέρουν το ρεύμα των διαφορικών ζευγών εισόδου M_1 - M_2 και M_3 - M_4 αντίστοιχα. Η τιμή καθενός από αυτά τα ρεύματα και επομένως και η διαφορά δυναμικού V_{gs} στα M_{11} και M_{17} αλλάζει με τη μεταβολή της DC τιμής του σήματος εισόδου. Όταν αυτή η τιμή πλησιάζει τη θετική τροφοδοσία, το κύκλωμα ελέγχου της διαγωγιμότητας g_m θα αυξήσει το ρεύμα I_{b1} , ενώ ταυτόχρονα θα μειώσει το ρεύμα I_{b2} . Επομένως, η τάση V_{gs} στο M_{11} μειώνεται, ενώ στο M_{17} αυξάνεται. Όμως, αυτό δεν μεταβάλλει την τιμή του ρεύματος που δίνει η πηγή που έχει υλοποιηθεί από τα M_{27} - M_{28} , γιατί μία αύξηση της τάσης V_{gs} σε έναν από τους καθρέπτες ρεύματος αντισταθμίζεται από μία αντίστοιχη μείωση στον άλλο.

Από τη στιγμή που η πηγή ρεύματος που υλοποιείται από τα M_{27} - M_{28} έχει όμοια δομή με εκείνη του κυκλώματος ελέγχου του σταδίου εξόδου, που αποτελείται από τα M_{19} - M_{20} , η μεταβολή στο ρεύμα του ενός κυκλώματος από τις αλλαγές στην τάση τροφοδοσίας αντισταθμίζεται από τη μεταβολή του άλλου. Το αποτέλεσμα είναι το ρεύμα ηρεμίας στο στάδιο εξόδου να είναι ανεξάρτητο των μεταβολών της τάσης τροφοδοσίας.

4.4

Υλοποίηση των προτάσεων σχεδίασης

4.4.1

Το στάδιο εισόδου σταθερής διαγωγιμότητας g_m

Το σήμα που μεταδίδει ο VDSL Driver πρέπει τελικά να προσαρμοστεί σε χαρακτηριστική εμπέδηση που έχει τιμή 100 Ohm. Το γεγονός αυτό, σε συνδυασμό με την απαίτηση μεταβολής του σήματος κοντά στις δύο τροφοδοσίες (που η επιλογή τους είναι στα 3.3 V και 0) θέτει σε πρώτη προσέγγιση την τάξη μεγέθους του ρεύματος πόλωσης κάθε διαφορικού ζεύγους του σταδίου εισόδου στην τιμή του 1mA. Η λειτουργία των τρανζίστορ στην περιοχή κορεσμού (περιοχή σταθερού κέρδους σήματος) επιβάλλει την κατάλληλη τιμή του λόγου W/L (aspect ratio), όπου W το πλάτος του καναλιού του τρανζίστορ και L το μήκος του. Οι παραπάνω απαιτήσεις οδηγούν στην επιλογή του W/L στην τιμή 50μm/0.25μm για τα M₁-M₂ του NMOS διαφορικού ζεύγους εισόδου.

Η επιλογή της τιμής του L (μήκος του καναλιού) γίνεται έτσι ώστε: (α) οι διαστάσεις των τρανζίστορ και επομένως ολόκληρου του κυκλώματος να είναι κατά το δυνατό μικρές, με στόχο την κατάληψη μικρότερης επιφάνειας ολοκληρωμένου κυκλώματος, (β) τα μειονεκτήματα των τρανζίστορ καναλιού μικρού μήκους (“short channel”) (βλ. Κεφ. 2) να αποφεύγονται και (γ) η παρασιτική χωρητικότητα των τρανζίστορ μεγάλου L να μην είναι τόσο μεγάλη ώστε να κάνει αδύνατη τη μετάδοση του σήματος συχνότητας 30MHz. Μετά την επιλογή του L, η τιμή του W επιλέγεται έτσι ώστε το τρανζίστορ που μας ενδιαφέρει να λειτουργεί στην περιοχή κορεσμού.

Η τιμή πόλωσης ρεύματος 1mA των τρανζίστορ που αποτελούν τα δύο διαφορικά ζεύγη εισόδου επιτυγχάνεται με τα τρανζίστορ M_A και M_B που λειτουργούν ως πηγές ρεύματος και έχουν W/L με τιμές (40μm/0.5μm) και (25μm/0.5μm) αντίστοιχα. Οι τιμές αυτές απαιτούν πόλωση της πύλης του M_A στα 1.71V και του M_B στα 1.21V, ώστε καθένα από αυτά να δίνει 1mA στο αντίστοιχο διαφορικό ζεύγος.

Η επιλογή όλων των παραπάνω παραμέτρων έχει καθορίσει την τιμή της διαγωγιμότητας g_m για το NMOS διαφορικό ζεύγος εισόδου από τη σχέση

$$g_{m_n} = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_n I_{bias}} = 6.325 \text{ mA/V}$$

$$\text{με } \mu_n C_{ox} = 100 \text{ } \mu\text{A/V}^2$$

Ο λόγος W/L για το συμπληρωματικό διαφορικό ζεύγος PMOS πρέπει να ικανοποιεί την απαίτηση κοινού g_m . Επειδή για τα PMOS της συγκεκριμένης τεχνολογίας ισχύει ότι $\mu_p C_{ox} = 35 \text{ } \mu\text{A/V}^2$ και άρα $\mu_n/\mu_p = 2.86$, η ισότητα $g_{m_n} = g_{m_p}$ θα ισχύει αν $(W/L)_p / (W/L)_n = 2.86$. Επομένως, $(W/L) = (143\mu\text{m}/0.25\mu\text{m})$, κρατώντας το ίδιο μήκος καναλιού για να αποφύγουμε το πρόβλημα της απώλειας προσαρμογής (“mismatch”). Αν λάβουμε υπόψη το γεγονός ότι η τιμή του g_{mp} θα είναι λίγο διαφορετική από την θεωρητικά υπολογιζόμενη τιμή της λόγω του φαινομένου σώματος (“body effect”), η τιμή του $(W/L)_p$ θα αλλάξει και αυτή με τη σειρά της έτσι ώστε να εξακολουθήσει να ικανοποιείται η ισότητα των g_m . Η προσομοίωση του κυκλώματος κατέδειξε ότι πρέπει $(W/L)_p = (140\mu\text{m}/0.25\mu\text{m})$ έτσι ώστε για ίσα φορτία στην έξοδο κάθε διαφορικού ζεύγους, το σήμα να έχει το ίδιο πλάτος (κάτι που σημαίνει κοινό g_m για τα δύο ζεύγη).

Η συνολική τιμή του g_m του σταδίου εισόδου δίνεται από το άθροισμα της διαγωγιμότητας κάθε διαφορικού ζεύγους που το αποτελεί, αφού τα δύο ζεύγη συνδέονται παράλληλα. Η πραγματική τιμή για το g_m κάθε ζεύγους υπολογίζεται από τη σχέση που δίνει το κέρδος τάσης του σταδίου εισόδου

$$A = g_{mn} r_o \Rightarrow \frac{\text{output amplitude}}{\text{input amplitude}} = g_{mn} \cdot 100 \Rightarrow \frac{5\text{mV}}{10\text{mV}} = g_{mn} \cdot 100 \Rightarrow g_{mn} = 5 \text{ mA/V}$$

Η τιμή του πλάτους στην έξοδο είναι το αποτέλεσμα της προσομοίωσης του σταδίου εισόδου με πλάτος σήματος εισόδου 5mV και ίσες αντιστάσεις 100 Ohm σε κάθε διαφορική έξοδο. Η τιμή των 5mA είναι πολύ κοντά στο θεωρητικό υπολογισμό των 6.325mA . Η μείωση οφείλεται στο φαινόμενο σώματος (που μειώνει το κέρδος τάσης μέσω της ισοδύναμης διαγωγιμότητάς του g_{mb}). Επομένως, η συνολική διαγωγιμότητα του σταδίου εισόδου είναι

$$g_{m \text{ total}} = g_{mn} + g_{mp} = (5 + 5) \text{ mA/V} = 10 \text{ mA/V}$$

Η τιμή αυτή πρέπει να κρατηθεί σταθερή ανεξάρτητα από μεταβολές της DC στάθμης του σήματος εισόδου. Αυτό το πετυχαίνουμε με τα δύο συμπληρωματικά κυκλώματα που περιλαμβάνουν τους καθρέπτες αναλογίας 1:3 και τους αντίστοιχους διακόπτες ρεύματος. Ο λόγος W/L για αυτά τα τρανζίστορ καθορίζεται από το ότι πρέπει να μπορούν να παρέχουν μέγιστο ρεύμα ίσο με 3mA. Οι καθρέπτες ρεύματος γίνονται πιο ακριβείς στην ικανοποίηση της ισότητας ρεύματος εισόδου-εξόδου, όταν το μήκος καναλιού των τρανζίστορ τους είναι μεγαλύτερο. Έτσι, επιλέγουμε $L = 0.5\mu\text{m}$ αντί για $0.25\mu\text{m}$ και οι προκύπτουσες τιμές για το πλάτος W κάθε τρανζίστορ φαίνονται στο Σχ. 19.

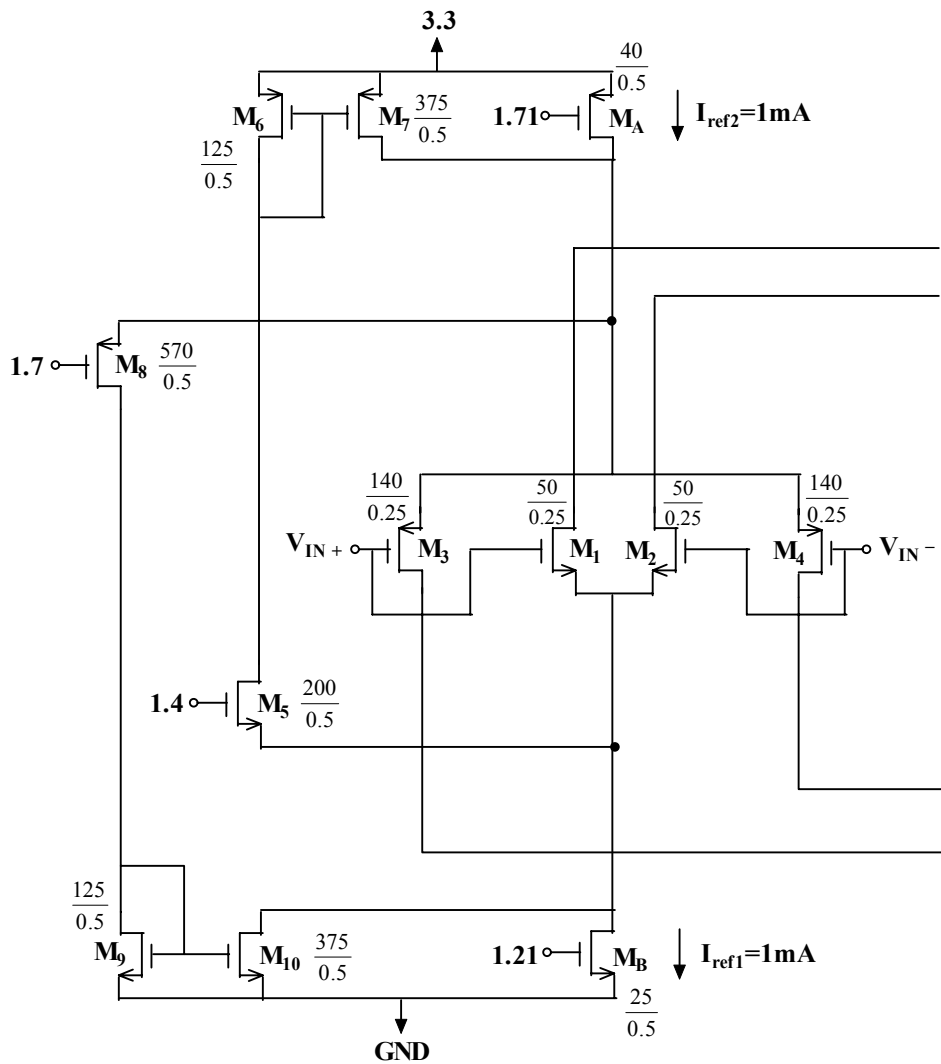


Figure 19. Επιλογή των W/L για το στάδιο εισόδου.

Στο Σχ. 19 αναφέρονται και οι πολώσεις στις πύλες των M_8 και M_5 , οι οποίες επιτρέπουν ή όχι τη διαρροή τους από ρεύμα, σύμφωνα με τη χαμηλή ή υψηλή τιμή τάσης εισόδου. Η απαίτηση αυτή ικανοποιείται από τιμές πόλωσης 1.7 και 1.4V στην πύλη του M_8 και M_5 αντίστοιχα.

4.4.2

Η υλοποίηση της τοπολογίας αναδιπλωμένου “cascode” (“folded-cascode”)

Βασικός στόχος της σχεδίασης είναι η επίτευξη υψηλού κέρδους σήματος σε συνδυασμό με τιμές πλάτους σήματος που πλησιάζουν τις δύο τροφοδοσίες. Μία τοπολογία που συνδυάζει αυτά τα δύο πλεονεκτήματα, ονομάζεται “folded-cascode”. Λόγω της διπλής διαφορικής εξόδου των δύο διαφορικών ζευγών ($M_1 - M_2$), ($M_3 - M_4$), δύο αντίστοιχα ζεύγη δομής “folded-cascode”, τα ($M_{13} - M_{14}$), ($M_{15} - M_{16}$), συνδέονται σε κάθε μία από αυτές τις εξόδους αντίστοιχα. Η προτεινόμενη συνδεσμολογία απαιτεί των ($M_{11} - M_{12}$), ($M_{17} - M_{18}$) ως πηγών ρεύματος που πολώνουν με το απαραίτητο ρεύμα τα ($M_{13} - M_{14}$), ($M_{15} - M_{16}$), ώστε αυτά να δίνουν το μέγιστο δυνατό κέρδος τάσης στο σήμα. Η τιμή του ρεύματος πόλωσης που επιλέγουμε είναι 1.5mA. Έτσι, οι “folded-cascodes” ($M_{13} - M_{14}$), ($M_{15} - M_{16}$) πολώνονται με 1mA, αφού 0.5mA απορροφά κάθε διαφορική είσοδος, όταν η DC τιμή του κοινού σήματος εισόδου είναι 1.65V. Για χαμηλές ή υψηλές DC τιμές εισόδου, κάθε διαφορική είσοδος απορροφά 2mA, κι έτσι μένει 1mA για την πόλωση των “folded-cascodes”, καθώς πλέον οι καθρέπτες ρεύματος ($M_{11} - M_{12}$) οι ($M_{17} - M_{18}$) δίνουν 3mA καθένας στην αντίστοιχη περιοχή χαμηλών ή υψηλών DC τιμών εισόδου. Επομένως, το (W/L) για τα M_{11} , M_{12} επιλέγεται στην τιμή (110um/0.25um) και για τα M_{17} , M_{18} σε (50um/0.25um) ώστε να παρέχονται οι επιθυμητές τιμές ρεύματος πόλωσης.

Επίσης, οι λόγοι (W/L) των M_{13} , M_{14} είναι (200um/0.25um) ώστε να εξασφαλίζεται συμμετρική διαφορική λειτουργία και η πόλωση στην πύλη καθενός 2.2V ώστε να παρέχουν 0.5mA το καθένα. Βάσει της ίδιας λογικής, οι λόγοι (W/L) των M_{15} , M_{16} είναι (60um/0.25um) ενώ η τάση στις πύλες τους 1.2V. Οι παραπάνω συνδυασμοί λόγων και πολώσεων εξασφαλίζουν και τη λειτουργία των M_{13} - M_{16} στην περιοχή κορεσμού τους.

Τα δύο ζεύγη των “folded-cascodes” M_{13} - M_{14} και M_{15} - M_{16} , συνδέονται σε ένα κοινό κύκλωμα μέσω των ($M_{19} - M_{20}$), ($M_{27} - M_{28}$). Η συνδεσμολογία αυτή ενισχύει το κέρδος και των δύο “folded-cascodes”, αφού το υπόλοιπο ήμισυ του κυκλώματος προς τα πάνω ή προς τα κάτω αποτελεί ενεργό φορτίο για κάθε ζεύγος M_{13} , M_{14} ή M_{15} , M_{16} , που αυξάνει την αντίσταση εξόδου καθενός από αυτά. Οι διαστάσεις του M_{19} είναι (75um/0.25um), ενώ για το M_{20} (25um/0.25um). Η πόλωση της πύλης είναι

1.5V για το M_{19} and 1.4V για το M_{20} , έτσι ώστε να διατηρείται η ισορροπία ρεύματος που εξασφαλίζουν οι καθρέπτες ρεύματος που πολώνουν τους “folded-cascodes”. Οι διαστάσεις των M_{27} και M_{28} είναι $(25\mu\text{m}/0.25\mu\text{m})$ και $(60\mu\text{m}/0.25\mu\text{m})$ αντίστοιχα για να εξασφαλίσουν ίσο ρεύμα πόλωσης και στο δεύτερο βρόχο του κυκλώματος. Στο Σχ. 20 παρουσιάζεται το κύκλωμα που περιγράφηκε.

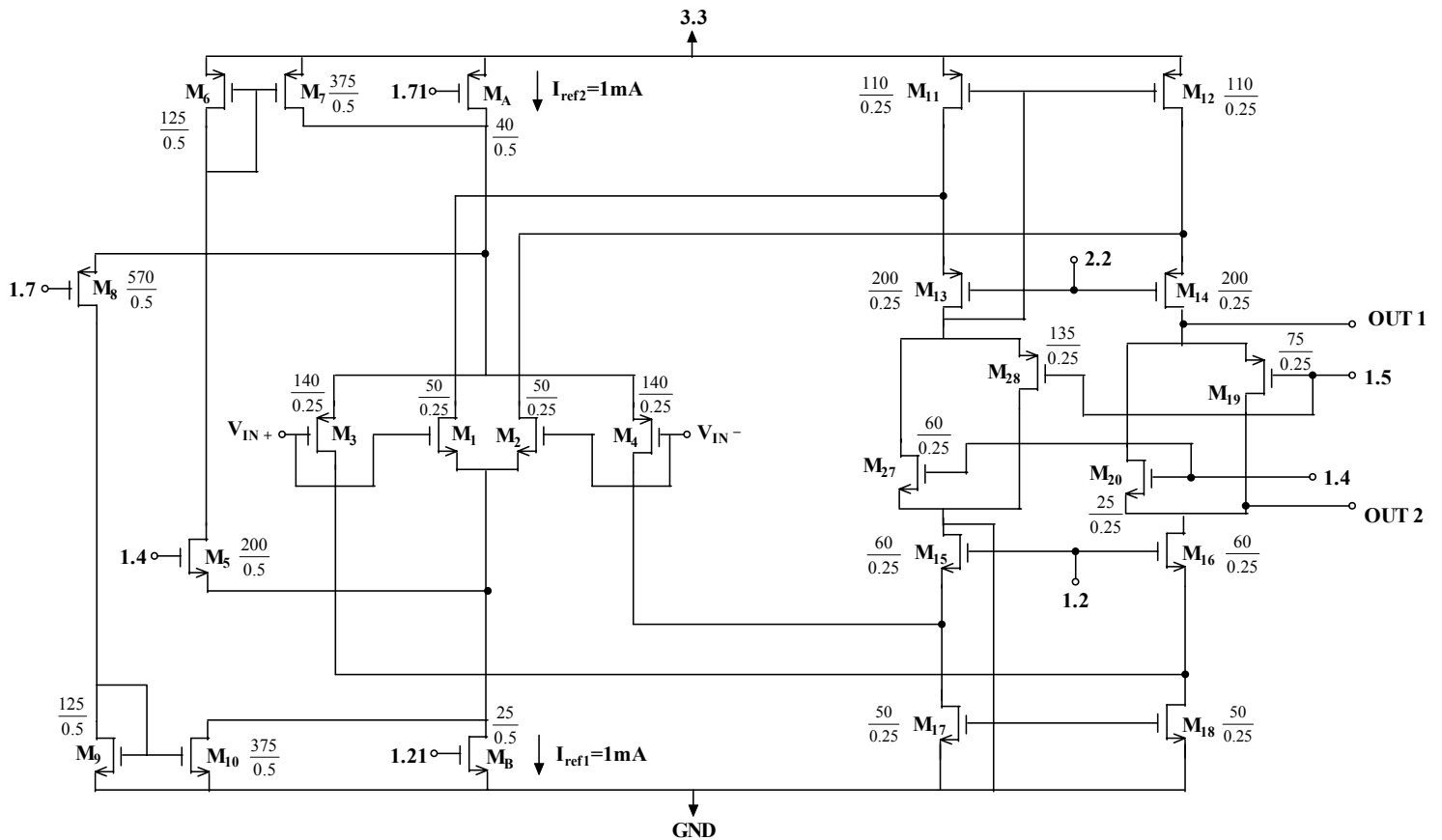


Figure 20. Υλοποίηση της τοπολογίας των “folded-cascodes”.

Οι διαστάσεις και οι πολώσεις των τρανζίστορ σε συνδυασμό με την επιλεγόμενη συνδεσμολογία στοχεύουν στην συμμετρική ενίσχυση του σήματος στις εξόδους των M_{14} και M_{16} έτσι ώστε η μεταβολή του σήματος να είναι συμμετρική όταν πλησιάζει κάθε τροφοδοσία. Για ενδιάμεσες DC τιμές στην είσοδο του κυκλώματος, δηλαδή για τιμές μεταξύ 1 και 2V, η διακύμανση σε κάθε έξοδο είναι ίση με 250mV. Για την τιμή 1.65V, το σήμα σε κάθε μία από αυτές τις εξόδους φαίνεται στα σχήματα 21 και 22 αντίστοιχα.

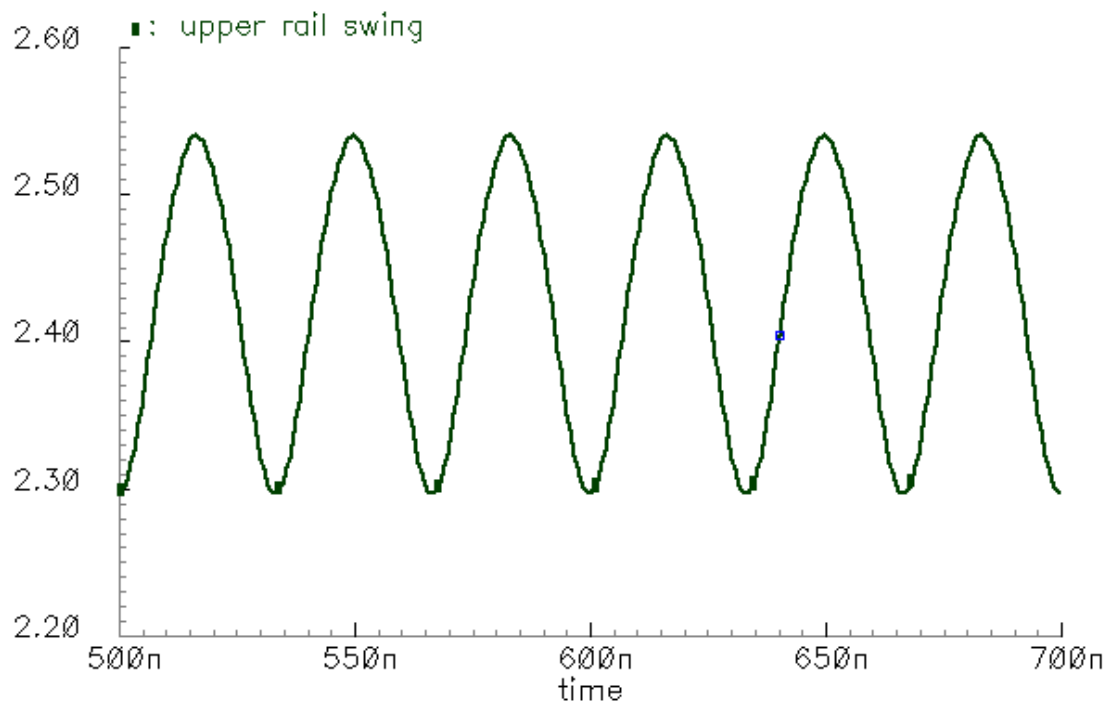


Figure 21. Διακύμανση του σήματος στην έξοδο του M_{14} συναρτήσεως του χρόνου.

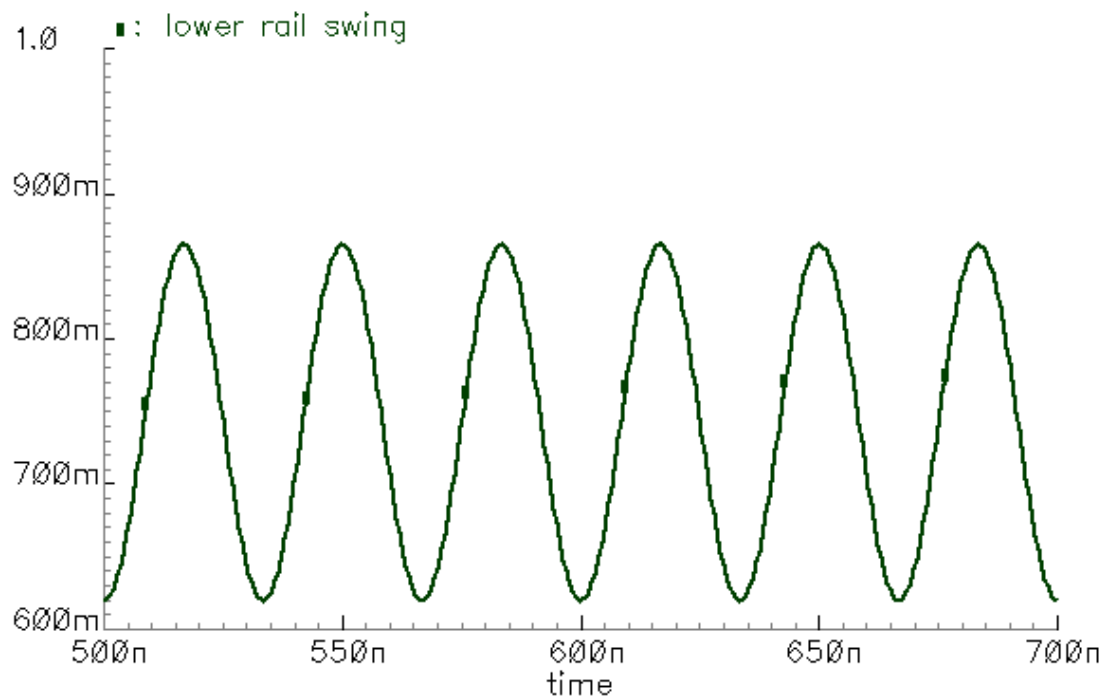


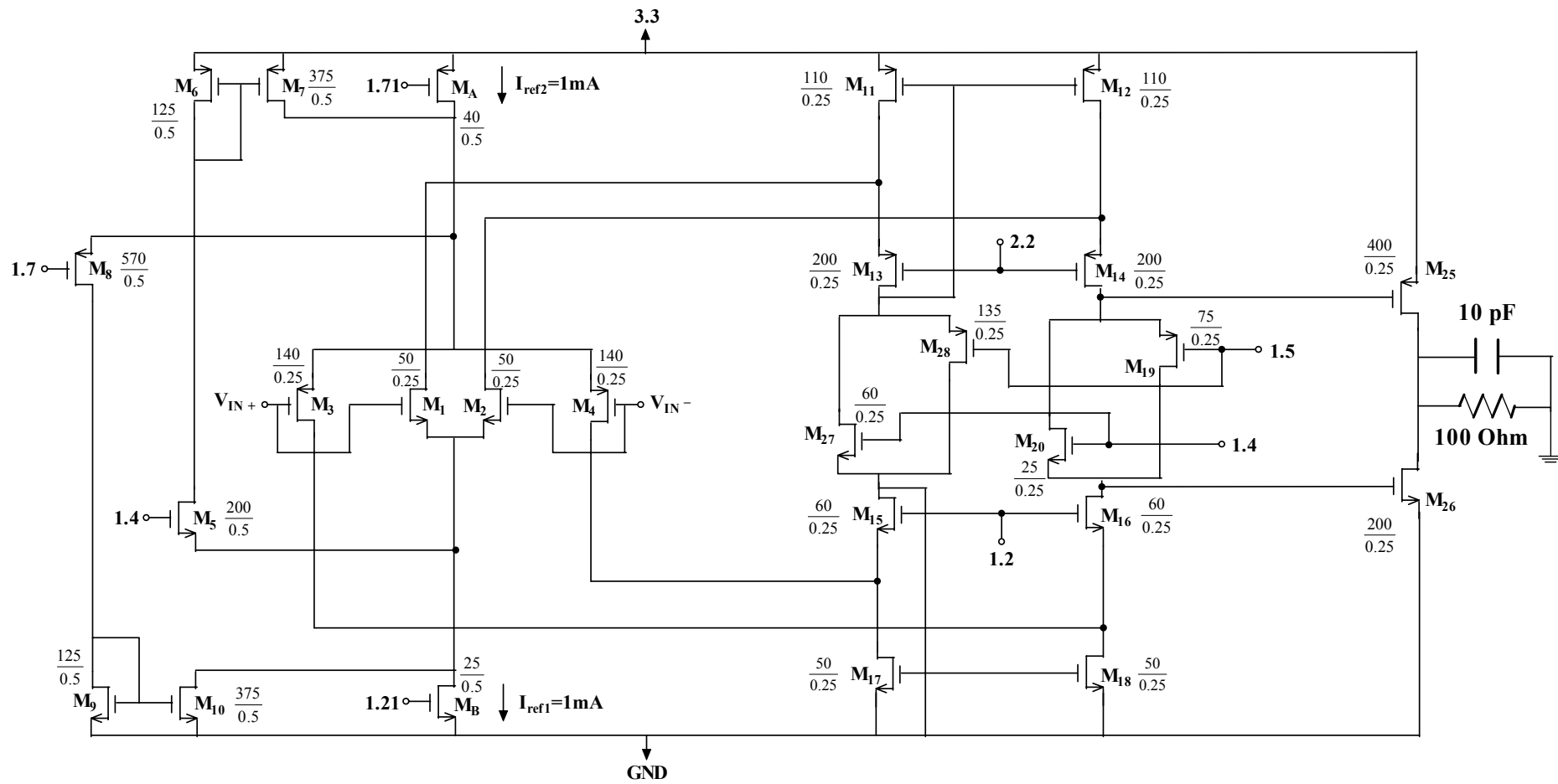
Figure 22. Διακύμανση του σήματος στην έξοδο του M_{16} συναρτήσεως του χρόνου.

4.4.3

Το στάδιο εξόδου

Όπως αναφέρθηκε παραπάνω, τα τρανζίστορ $M_{19} - M_{20}$ που αποτελούν ενεργά φορτία στους “folded-cascodes” $M_{13} - M_{14}$ και $M_{15} - M_{16}$, αποτελούν το κύκλωμα ελέγχου πόλωσης του σταδίου εξόδου τάξης AB. Βάσει των επιλογών στις διαστάσεις και την πόλωση κάθε τρανζίστορ, οι πύλες των τρανζίστορ εξόδου M_{25} και M_{26} διατηρούνται σταθερά πάνω από 2.15V and 0.6V αντίστοιχα, για όλη την περιοχή κοινών DC τιμών εισόδου. Επομένως, η διαφορά δυναμικού μεταξύ των πυλών των $M_{25} - M_{26}$ διατηρείται σταθερά πάνω από την τιμή των 1.55V προκαλώντας ένα σταθερό ρεύμα πόλωσης ηρεμίας στην έξοδο ίσο με 1mA, ανεξάρτητα από τις DC τιμές εισόδου.

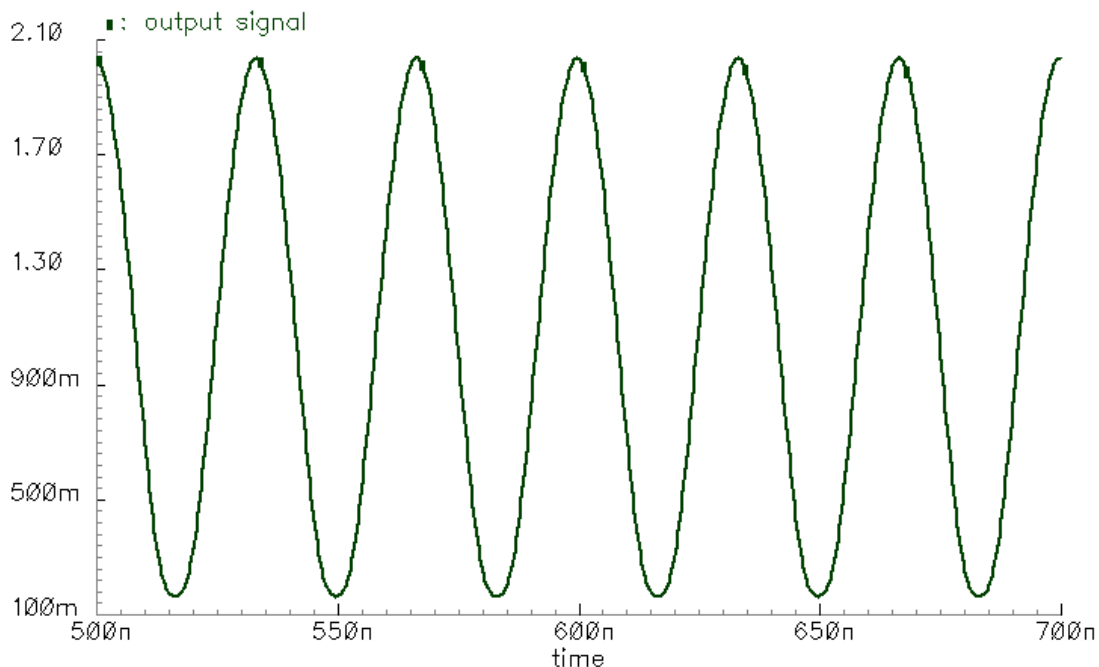
Τα σήματα που φαίνονται στα Σχ. 21, 22 εισέρχονται στις πύλες των M_{25} , M_{26} αντίστοιχα. Η συνδεσμολογία του σταδίου εξόδου αποτελεί κύκλωμα άθροισης του σήματος που κυμαίνεται κοντά στη θετική τάση τροφοδοσίας και του αντίστοιχου της αρνητικής σε ένα συνολικό σήμα που μεταβάλλεται από τη μία τροφοδοσία μέχρι την άλλη. Κάθε σήμα δέχεται μία επιπλέον ενίσχυση από τα τρανζίστορ εξόδου, αποκτώντας έτσι την τελική του διακύμανση. Κατά αυτό τον τρόπο, ενδεχόμενη ασυμμετρία των σημάτων που εισέρχονται στα δύο τρανζίστορ εξόδου, δεν επηρεάζει το τελικό σήμα, λόγω της άθροισής τους σε αυτό. Το τελικό κέρδος σε συνδυασμό με την προσαρμογή εμπέδησης του σταδίου εξόδου δίνουν την επιθυμητή μορφή του σήματος εξόδου. Η επιλογή των διαστάσεων για τα M_{25} , M_{26} είναι (400μm/0.25μm) και (200μm/0.25μm) αντίστοιχα. Κατά αυτό τον τρόπο γίνεται η προσαρμογή εμπέδησης εξόδου στη χαρακτηριστική τιμή εμπέδησης της γραμμής των 100 Ohm. Η τελική μορφή του κυκλώματος που δίνει την μία από τις δύο εξόδους του κυκλώματος (μία απλή έξοδος που σε συνδυασμό με τη συμμετρική της δίνει τη διαφορική έξοδο) παρουσιάζεται στο Σχ. 23. Η χαρακτηριστική εμπέδηση της γραμμής που φορτώνεται στην έξοδο του κυκλώματος είναι 100 Ohm ενώ η χωρητικότητά της παριστάνεται από έναν πυκνωτή τιμής 10pF που συνδέεται παράλληλα με αυτή την αντίσταση. Το σήμα στην έξοδο φαίνεται στο Σχ. 24 για κοινή DC τιμή του σήματος εισόδου ίση με 1.65V.



Σχήμα 23. Συνολική τοπολογία απλής εξόδου.

4.4.4

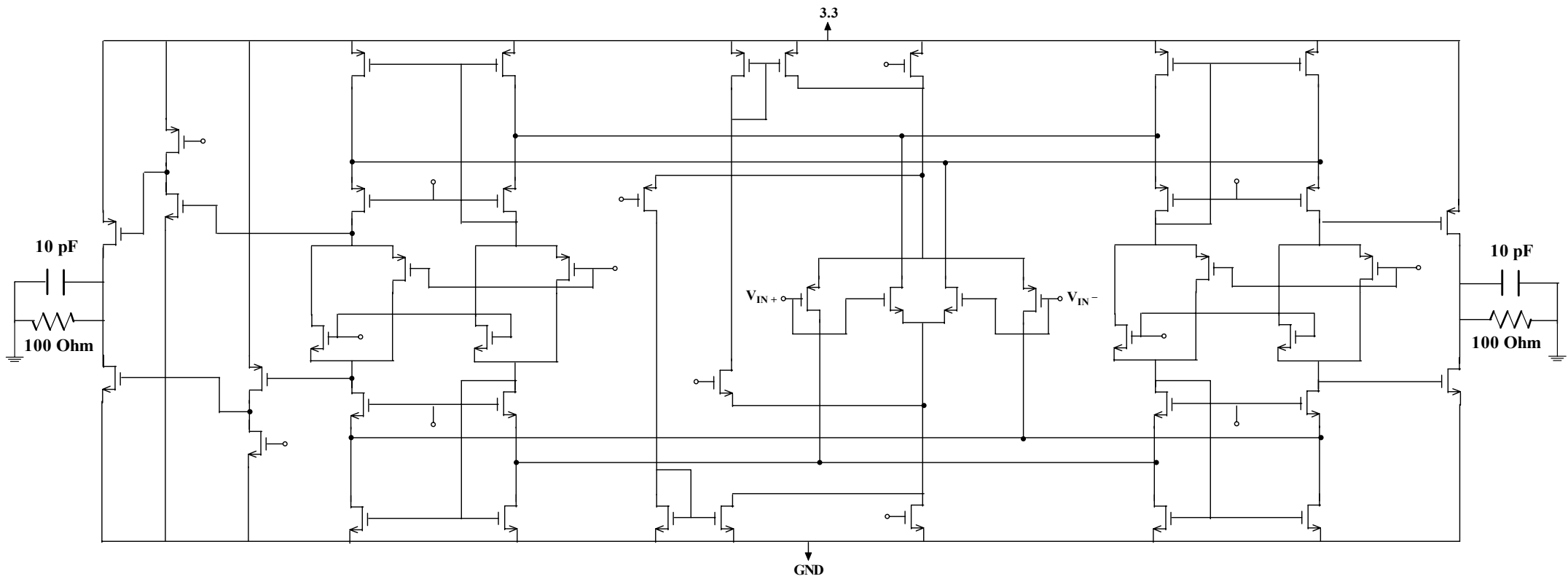
AC κέρδος σήματος



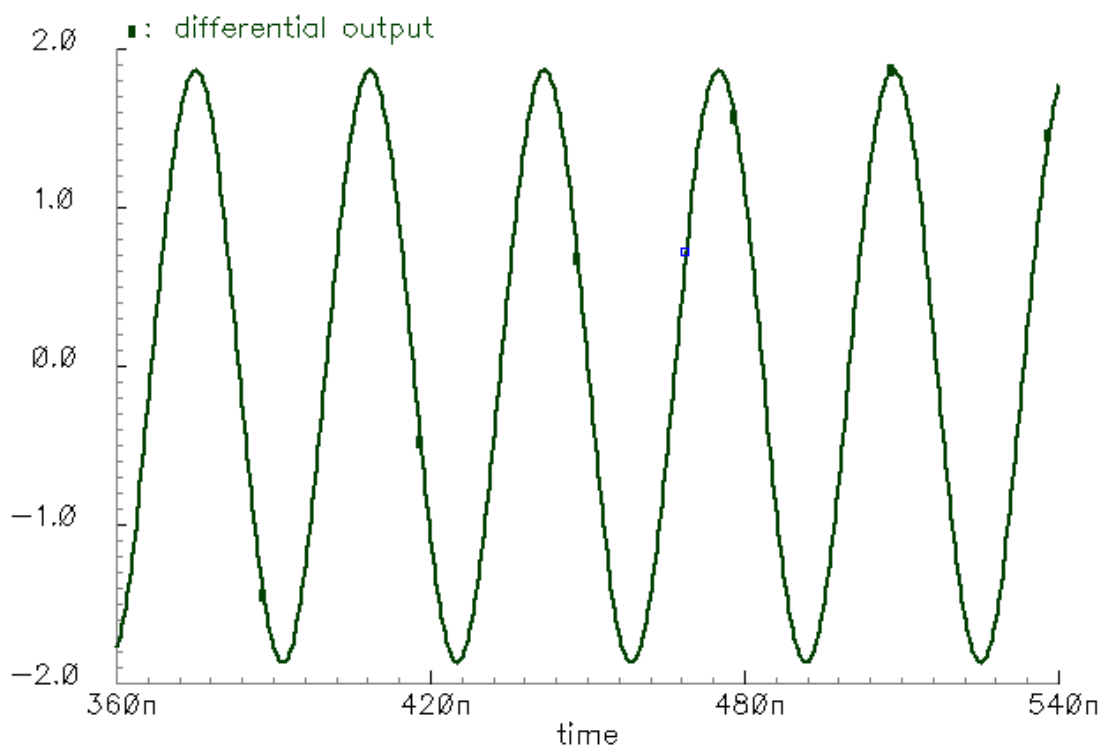
Σχήμα 24. Σήμα απλής εξόδου.

Η διακύμανση του σήματος εξόδου από κορυφή σε κορυφή στην τοπολογία απλής εξόδου είναι ίση με 1.87V. Παίρνοντας την συμπληρωματική της εξόδου αυτής και τελικά μία διαφορική έξοδο, η διακύμανση του σήματος εξόδου φτάνει τα 3.74V. Η τοπολογία διαφορικής εξόδου φαίνεται στο Σχ. 25, στο οποίο παρατηρούμε ότι στο αριστερό ημικύκλωμα έχουν προστεθεί δύο επιπλέον αντιστροφείς για να δημιουργηθεί η διαφορά φάσης 180° μεταξύ των δύο εξόδων. Το διαφορικό σήμα εξόδου φαίνεται στο Σχ. 26, και πάλι για την DC τιμή εισόδου 1.65V. Επομένως, δεδομένου ότι το σήμα εισόδου έχει διακύμανση από κορυφή σε κορυφή ίση με 20mV, το κέρδος τάσης είναι ίσο με $\frac{3740\text{mV}}{20\text{mV}} = 187$ ή 45.41 dB. Οι τιμές του

κέρδους σήματος για διάφορες DC τιμές εισόδου αναφέρονται στον Πίνακα 2. Οποιαδήποτε επιπλέον ενίσχυση σήματος απαραίτητη για τη μετάδοση στη γραμμή VDSL γίνεται από τον μετασχηματιστή κατάλληλης αναλογίας (ενίσχυσης σήματος 1:n).



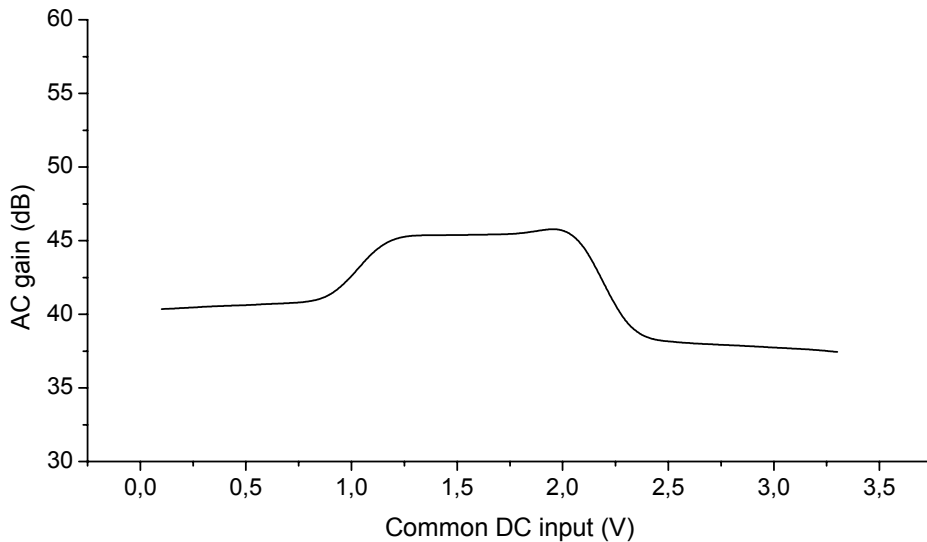
Σχήμα 25. Τοπολογία διαφορικής εξόδου.



Σχήμα 26. Διαφορικό σήμα εξόδου.

DC ΕΙΣΟΔΟΣ (V)	AC ΕΞΟΔΟΣ (V)	AC ΚΕΡΔΟΣ (dB)
0.0	2,08	40,34
0.1	2,1	40,42
0.2	2,12	40,51
0.3	2,136	40,57
0.4	2,146	40,61
0.5	2,166	40,69
0.6	2,18	40,75
0.7	2,2	40,83
0.8	2,298	41,21
0.9	2,674	42,53
1.0	3,286	44,31
1.1	3,638	45,2
1.2	3,708	45,36
1.3	3,706	45,36
1.4	3,716	45,38
1.5	3,724	45,4
1.6	3,728	45,41
1.7	3,756	45,47
1.8	3,862	45,72
1.9	3,938	45,88
2.0	3,49	44,84
2.1	2,488	41,9
2.2	1,838	39,27
2.3	1,646	38,31
2.4	1,61	38,16
2.5	1,594	38,03
2.6	1,584	37,97
2.7	1,57	37,9
2.8	1,558	37,83
2.9	1,542	37,74
3.0	1,528	37,66
3.1	1,512	37,57
3.2	1,49	37,44
3.3	1,47	37,33

Πίνακας 2. Τιμές του AC κέρδους για ολόκληρη την περιοχή DC τιμών εισόδου.



Σχήμα 27. Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt.

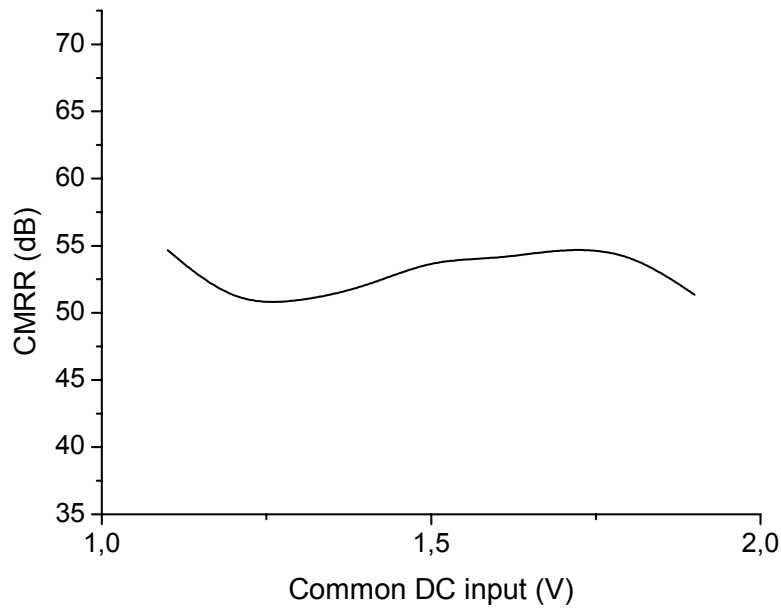
4.4.5

Λόγος απόρριψης κοινού σήματος (Common Mode rejection Ratio - CMRR)

Η ενίσχυση κοινού σήματος από το στάδιο εισόδου μεταβάλλεται συναρτήσει των DC τιμών κοινού σήματος εισόδου, γιατί τα NMOS έχουν διαφορετικό συντελεστή ενίσχυσης κοινού σήματος απ' ότι τα PMOS. Το γεγονός αυτό περιορίζει το CMRR του σταδίου εισόδου. Η μεγιστοποίηση του CMRR επιτυγχάνεται με τη σταθεροποίηση σε χαμηλές τιμές του κέρδους κοινού σήματος για τη συνολική περιοχή κοινών DC τιμών εισόδου, κάτι που καταφέρνουμε με το κύκλωμα ελέγχου του g_m . Μετρήσεις του CMRR συναρτήσει των DC τιμών εισόδου αναφέρονται στον Πίνακα 3 και παρουσιάζονται γραφικά για την περιοχή σταθερού (και μέγιστου) κέρδους (1 – 2V), στο Σχ. 28.

DC ΕΙΣΟΔΟΣ (V)	DC ΚΕΡΔΟΣ	CMRR (DB)
0.0	1,53	36,73
0.1	0,765	45,33
0.2	0,513	52,17
0.3	0,385	57,19
0.4	0,308	61,15
0.5	0,258	63,86
0.6	0,22	67,13
0.7	0,195	69,61
0.8	0,206	56,25
0.9	0,309	64,71
1.0	0,580	54,66
1.1	0,738	50,64
1.2	0,730	50,82
1.3	0,687	51,9
1.4	0,61	53,99
1.5	0,61	54
1.6	0,584	54,82
1.7	0,6	54,59
1.8	0,730	51,35
1.9	0,974	45,29
2.0	1,190	38,87
2.1	1,370	33,8
2.2	1,220	34,85
2.3	1,170	35,39
2.4	1,128	35,94
2.5	1,086	36,54
2.6	1,047	37,41
2.7	1,01	37,66
2.8	0,978	38,13
2.9	0,947	38,61
3.0	0,918	39,06
3.1	0,89	39,47
3.2	0,86	39,95
3.3	1,53	36,73

Πίνακας 3. Τιμές του DC κέρδους και του CMRR για ολόκληρη την περιοχή DC τιμών εισόδου.



Σχήμα 28. CMRR σε dB συναρτήσει DC τιμών εισόδου (1V – 2V).

4.4.6

Συνολική Αρμονική Παραμόρφωση (Total Harmonic Distortion-THD)

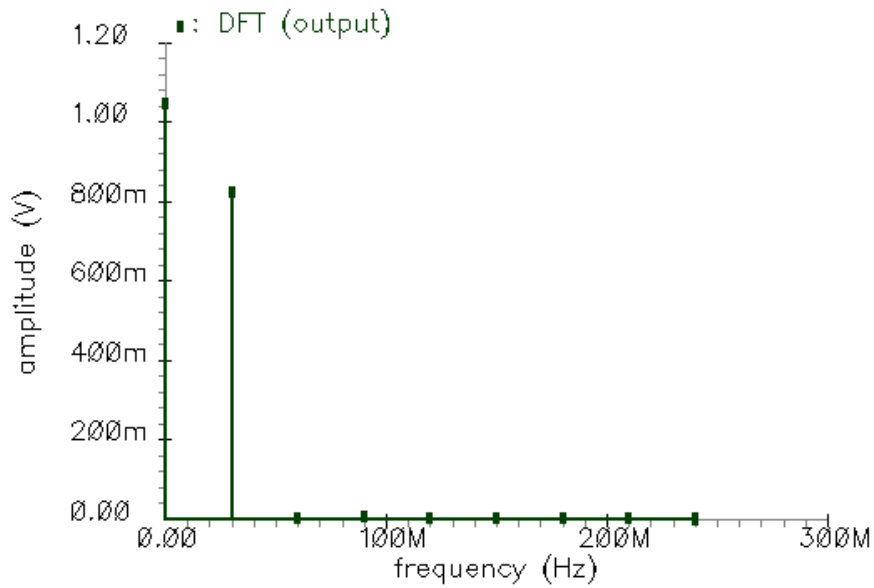
Η συνολική αρμονική παραμόρφωση αποτελεί έναν τύπο παραμόρφωσης που παράγει υψηλότερες αρμονικές (σήματα συχνότητας που είναι ακέραιο πολλαπλάσιο της συχνότητας του αρχικού σήματος). Ορίζεται ως ο λόγος της ενέργειας των υψηλότερων αρμονικών προς αυτήν της θεμελιώδους και υπολογίζεται από τη σχέση

$$\frac{\sqrt{|A_2|^2 + |A_3|^2 + |A_4|^2 + \dots + |A_n|^2}}{|A_1|} \quad (*)$$

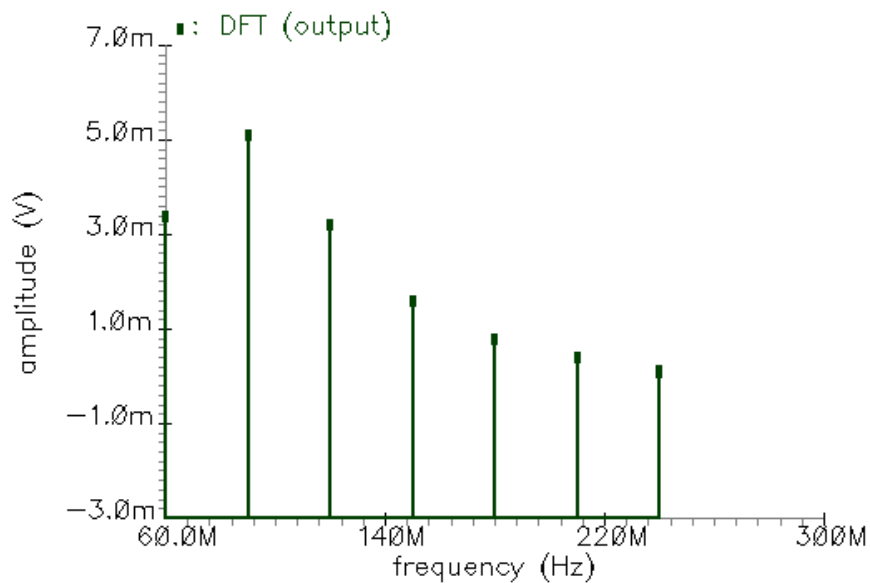
όπου A_i της i -τάξης αρμονικής. Επομένως, το A_1 είναι το πλάτος της θεμελιώδους αρμονικής συχνότητας. Ο υπολογισμός της THD απαιτεί τη γνώση του συνόλου των υψηλότερων αρμονικών που περιέχει το σήμα. Η αρμονική παραμόρφωση αναφέρεται και ως %THD, που ορίζεται ως η THD επί 100.

Το πλάτος των υψηλότερων της θεμελιώδους αρμονικών υπολογίζεται από τον Διακριτό Μετασχηματισμό Fourier (Discrete Fourier Transform - DFT), με ρυθμό

δειγματοληψίας (ο οποίος είναι συνήθως δύναμη του 2) που είναι τουλάχιστον διπλάσιος από την υψηλότερη συχνότητα που περιέχεται στον υπολογισμό (ρυθμός Nyquist). Η επιλογή ενός υψηλού ρυθμού δειγματοληψίας επιτρέπει το διαχωρισμό συχνοτήτων που απέχουν ελάχιστα η μία από την άλλη. Τα αποτελέσματα του DFT για το σήμα εξόδου στο κύκλωμα του Σχ. 25 παρουσιάζονται στα Σχ. 29, 30, για DC τιμή εισόδου 1.65V.



Σχήμα 29. Πλάτη υψηλότερων αρμονικών μετά την εφαρμογή του DFT στο σήμα εξόδου.

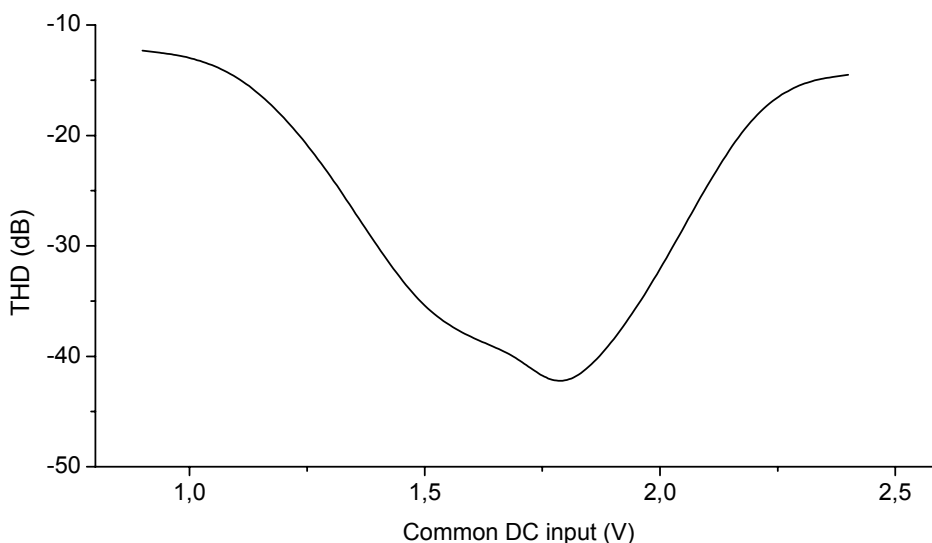


Σχήμα 30. Μεγένθυση της περιοχής πλατών των υψηλότερων αρμονικών.

Η διαφορική έξοδος του κυκλώματος έχει ως αποτέλεσμα τα πλάτη των περιττής τάξης υψηλότερων αρμονικών να αλληλοακυρώνονται. Οι υπολογισμοί της THD βάσει της (*) παρουσιάζονται στον Πίνακα XV για επιλεγμένες DC τιμές εισόδου. Άρα, τα πλάτη $|A_3|$, $|A_5|$, ...των αρμονικών περιττής τάξης (90MHz, 150MHz, ...) εξαιρούνται των υπολογισμών. Ακόμη, τα πλάτη των αρμονικών που είναι υψηλότερες της έκτης, δεν περιλαμβάνονται στους υπολογισμούς λόγω της πολύ μικρής τιμής τους. Τα αποτελέσματα των υπολογισμών φαίνονται στον Πίνακα 4 και παρουσιάζονται γραφικά στο Σχ. 31.

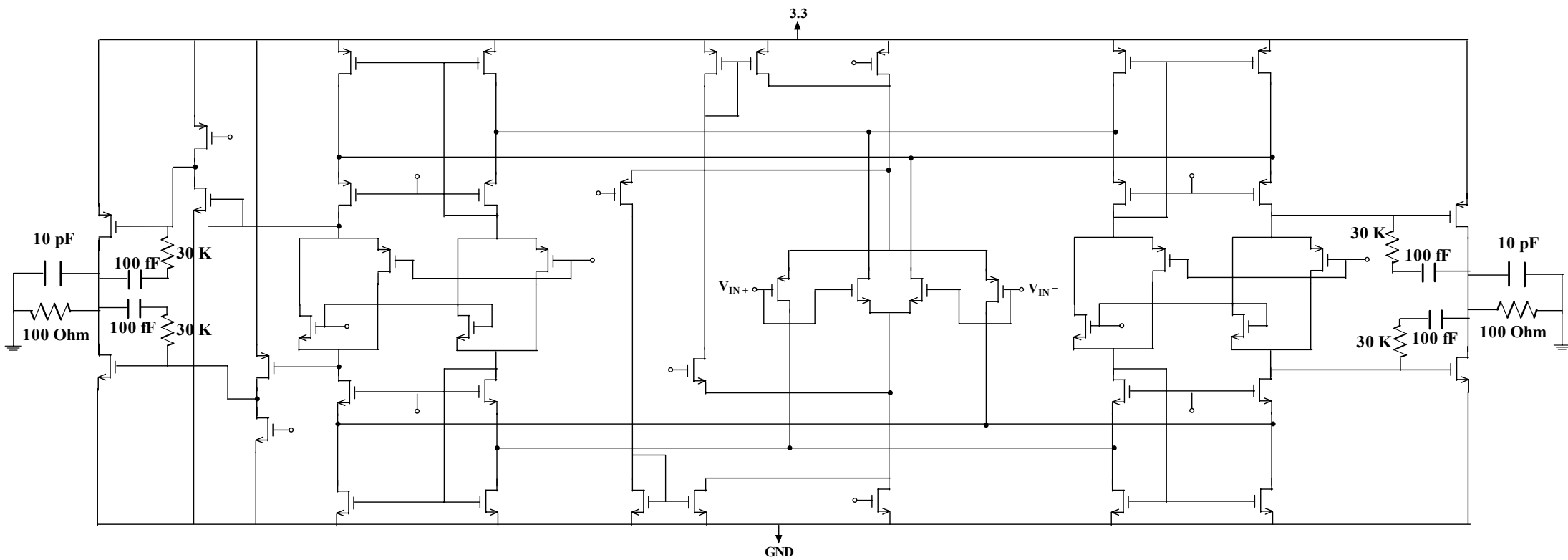
DC ΕΙΣΟΔΟΣ (V)	Πλάτος σήματος άρτιων αρμονικών (mV)			THD (dB)
	30MHz	60MHz	120MHz	
0.0	539	133	15	-12,1
0.2	550	135	15	-12,15
0.4	560	136	15	-12,24
0.7	570	137	15	-12,33
0.9	675	145	10	-13,34
1.1	957,3	65,91	19,76	-22,87
1.3	948,4	8,72	9	-37,58
1.5	951,4	6,57	8	-39,27
1.8	963,5	0,7	5,5	-44,8
2.0	918	20	4,5	-33
2.2	473	77	2	-15,76
2.4	409	77	4	-14,5
2.6	402	78	4,8	-14,23
2.9	394	78	5	-14,05
3.1	384	78	5	-13,83
3.3	372	77	5,6	-13,66

Πίνακας 4. Πλάτη άρτιων αρμονικών και THD για επιλεγμένες DC τιμές εισόδου.

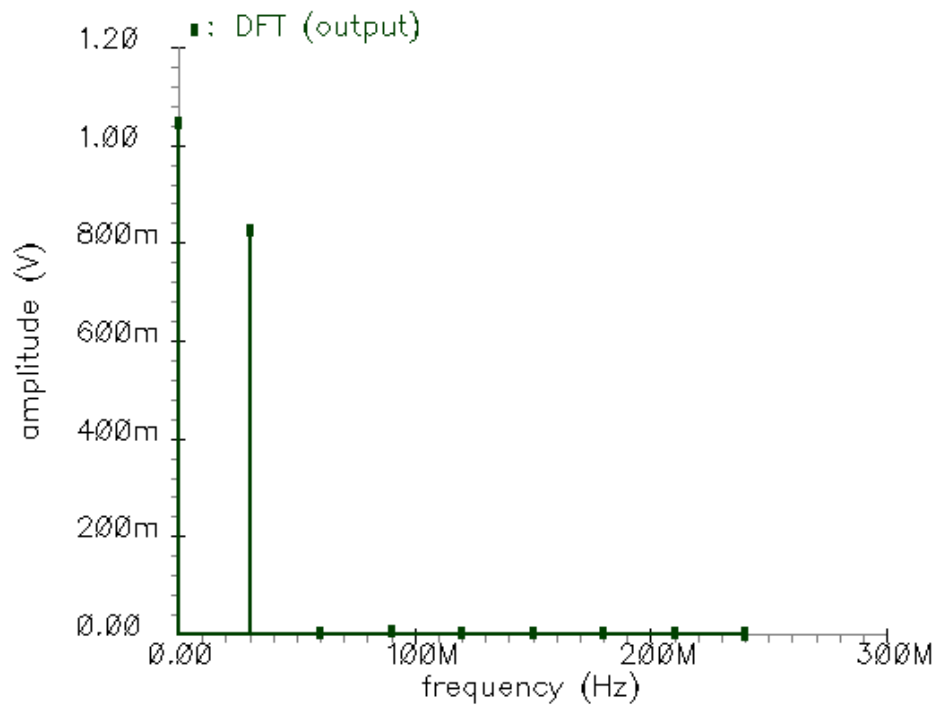


Σχήμα 31. THD σε dB συναρτήσει του κοινού σήματος εισόδου.

Οι τιμές της THD μπορούν να βελτιωθούν με την εφαρμογή αρνητικής ανάδρασης μεταξύ του σταδίου εξόδου και του προηγούμενου σταδίου. Το δίκτυο ανάδρασης αποτελείται από ένα βαθυπερατό RC φίλτρο με το οποίο επιτυγχάνεται αντιστάθμιση Miller [13]. Η THD βελτιώνεται ενώ το κέρδος σήματος θα μειωθεί ελαφρά. Οι τιμές της αντίστασης και του πυκνωτή είναι 30KΩ και 100pF αντίστοιχα, έτσι ώστε η συχνότητα αποκοπής του φίλτρου να βρίσκεται λίγο πάνω από τη θεμελιώδη των 30MHz. Η νέα μορφή του κυκλώματος φαίνεται στο Σχ. 32 και τα αποτελέσματα του DFT στα Σχ. 33, 34. Οι τιμές της THD και οι καινούργιες τιμές του κέρδους αναφέρονται στον Πίνακα 5 και παρουσιάζονται γραφικά στα Σχ. 35, 36 αντίστοιχα για την DC είσοδο 1.65V.



Σχήμα 32. Τελική μορφή του κυκλώματος με εφαρμογή αρνητικής ανάδρασης.



Σχήμα 33. Πλάτη υψηλότερων αρμονικών μετά την εφαρμογή του DFT στο σήμα εξόδου.

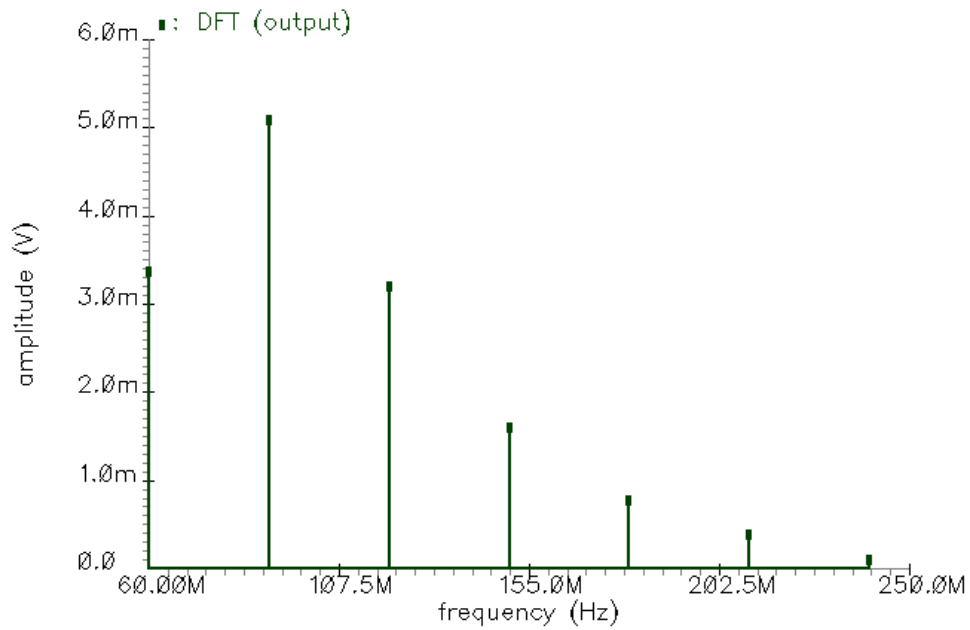
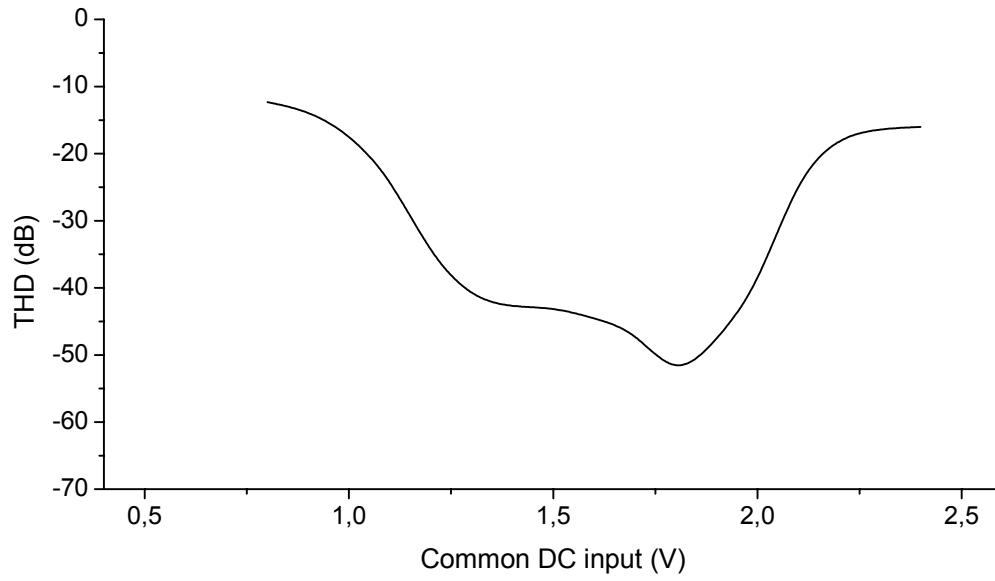


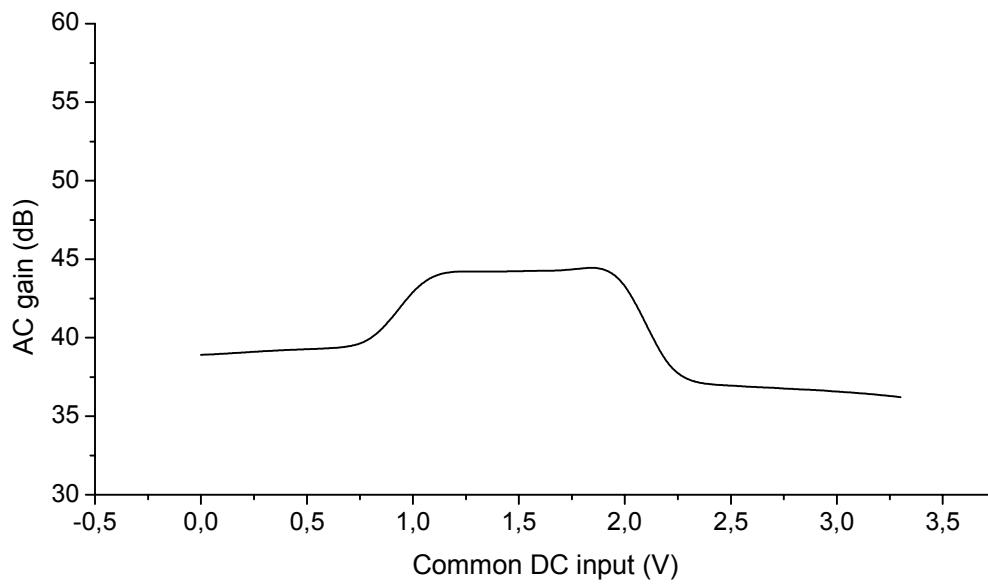
Figure 34. Μεγένθυση της περιοχής πλατών των υψηλότερων αρμονικών.

DC ΕΙΣΟΔΟΣ (V)	Πλάτος σήματος άρτιων αρμονικών (mV)				AC ΚΕΡΔΟΣ (dB)
	30MHz	60MHz	120MHz	THD (dB)	
0.0	455,1	116	13,3	-11,82	38,9
0.1	459,5	116,8	13,36	-12,5	38,98
0.2	463,9	117,5	13,46	-11,87	39,06
0.3	467,9	118,1	13,35	-11,9	39,15
0.4	472	118,8	13,3	-11,93	39,2
0.5	475,2	119,3	13,35	-11,95	39,26
0.6	478,7	119,7	13,41	-11,99	39,3
0.7	484,3	120,4	13,37	-12	39,4
0.8	507,7	122,5	13,02	-12,3	39,8
0.9	600,5	125,3	9,2	-13,59	41,19
1.0	750,2	105,7	6,08	-17	43,046
1.1	833,2	53,71	15,15	-23,5	44,044
1.2	830,6	12,71	7,28	-35,1	44,23
1.3	821,2	5,5	4,12	-41,55	44,217
1.4	821,4	4,6	3,68	-42,89	44,217
1.5	821,4	4,6	3,68	-42,89	44,238
1.6	822,8	3,67	3,26	-44,5	44,26
1.7	824	2,78	2,83	-46,35	44,27
1.8	836,2	0,73	1,565	-53,7	44,43
1.9	840,9	3,367	0,31	-47,91	44,51
2.0	760	7,57	1,27	-39,91	43,58
2.1	569,1	39,08	5,348	-23,2	40,867
2.2	418	55,96	1,154	-17,46	38,16
2.3	373	57,38	3	-16,25	37,23
2.4	364	57,82	3,41	-16	37,03
2.5	360,5	58,21	3,63	-15,8	36,95
2.6	358	58,6	3,8	-15,7	36,86
2.7	355	58,9	3,94	-15,58	36,82
2.8	351,8	59,17	4,11	-15,46	36,73
2.9	348,4	59,4	4,3	-15,34	36,67
3.0	344,6	59,59	4,437	-15,22	36,56
3.1	340,8	59,5	4,484	-15,14	36,48
3.2	336,3	59,38	4,64	-15,04	36,36
3.3	330,7	58,89	4,64	-14,96	36,21

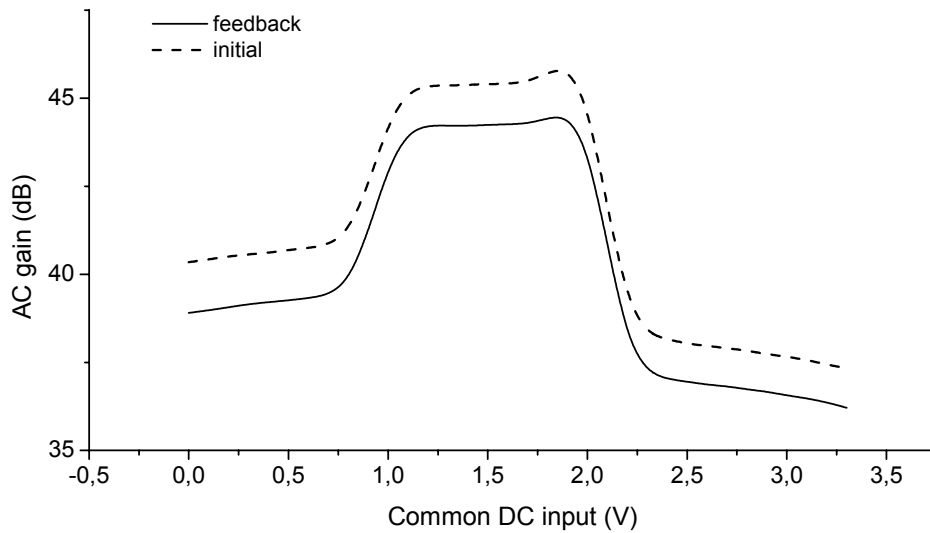
Πίνακας 5. Πλάτη άρτιων αρμονικών, THD και AC κέρδος για επιλεγμένες DC τιμές εισόδου.



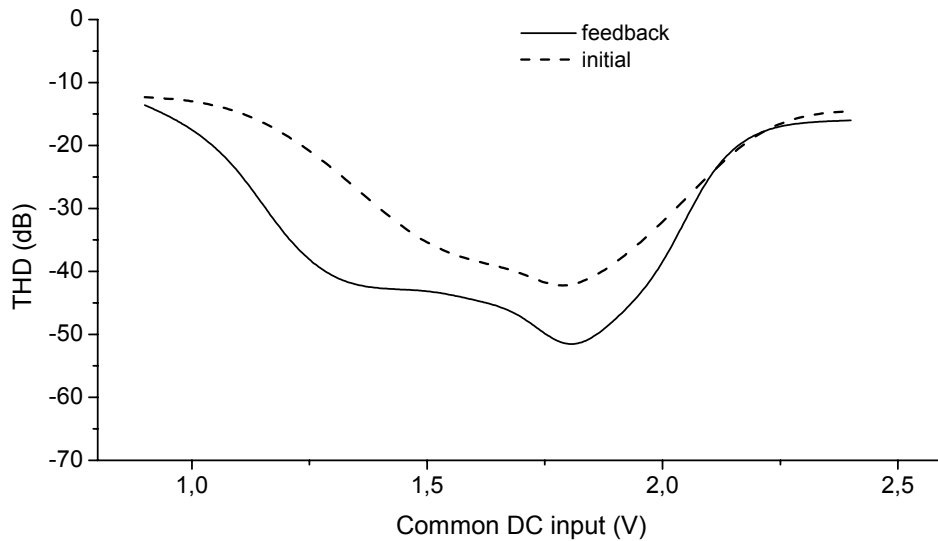
Σχήμα 35. THD σε dB συναρτήσει του κοινού σήματος εισόδου.



Σχήμα 36. Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt.



Σχήμα 37. Κέρδος τάσης σήματος συναρτήσει της DC εισόδου μετά την εφαρμογή αρνητικής ανάδρασης.



Σχήμα 38. THD συναρτήσει της DC εισόδου μετά την εφαρμογή αρνητικής ανάδρασης.

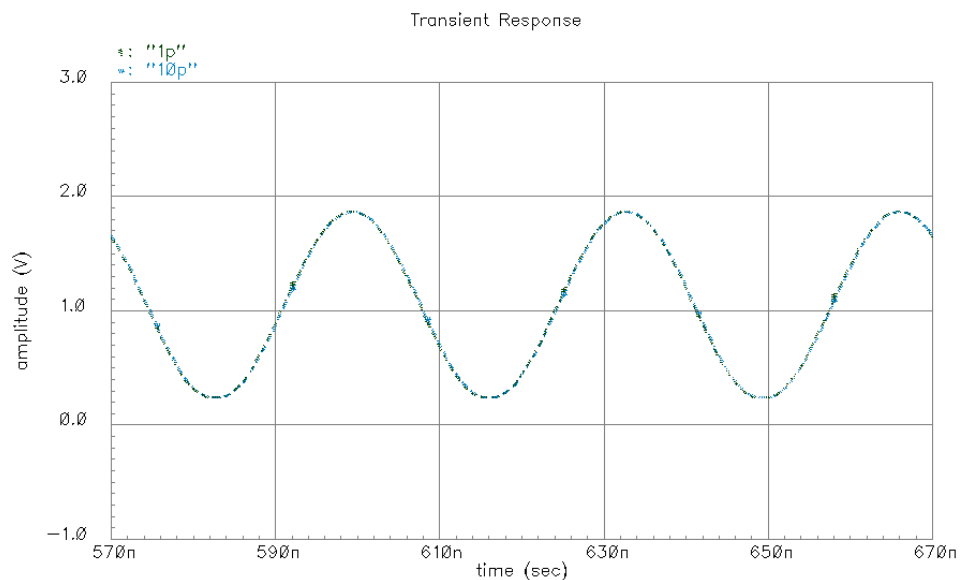
Το συμπέρασμα που προκύπτει είναι ότι το κέρδος 4 dB στην τιμή της THD κόστισε την απώλεια 1.2dB στο κέρδος τάσης σήματος μετά την εφαρμογή της αρνητικής ανάδρασης. Μία συνολική εκτίμηση των αποτελεσμάτων που έχουν παρουσιαστεί ως το σημείο αυτό, καταλήγει στο ότι η χρήσιμη (μέγιστο κέρδος και

CMRR, ελάχιστη αρμονική παραμόρφωση) περιοχή DC τιμών σήματος εισόδου κυμαίνεται από 1 ως 2 Volt. Μία προσαρμογή της DC στάθμης εισόδου στην περιοχή αυτή με τεχνικές όπως η “AC coupling” μπορεί να εξασφαλίσει τη λειτουργία του VDSL Driver στην περιοχή βέλτιστης απόδοσης.

4.4.7

Μεταβολή του κέρδους τάσης συναρτήσει του χωρητικού φορτίου εξόδου

Μελετάμε το πλάτος του σήματος εξόδου συναρτήσει της χωρητικότητας που φορτώνεται στην έξοδό του. Στο Σχ. 39 φαίνεται το σήμα στο κύκλωμα απλής εξόδου για τιμές χωρητικότητας εξόδου 1pF και 10pF. Οι δύο καμπύλες σχεδόν συμπίπτουν και δεν είναι δυνατό να διαχωριστεί η μία από την άλλη σε αυτήν την κλίμακα.

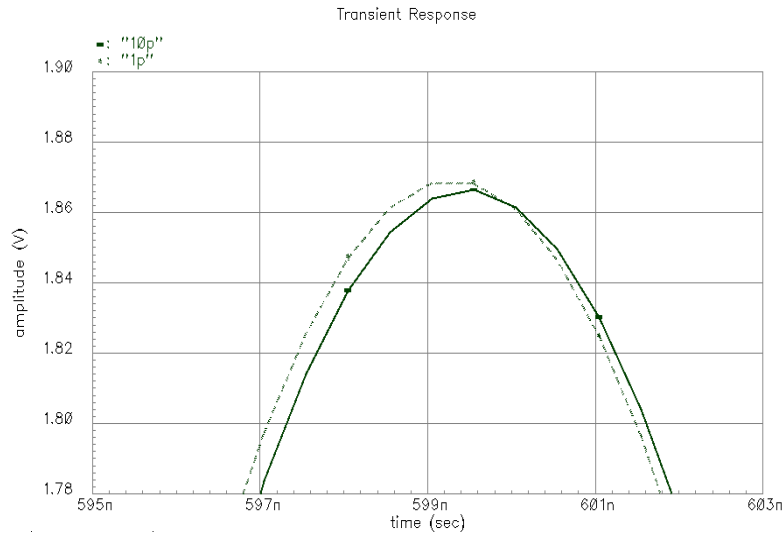


Σχήμα 39. Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 10pF.

Η μεταβολή του σήματος εξόδου από κορυφή σε κορυφή (peak-to-peak value) είναι 1.633V και για τα δύο παραπάνω χωρητικά φορτία. Τα διαγράμματα προέρχονται από την τοπολογία απλής εξόδου. Στη διαφορική τοπολογία, η παραπάνω διακύμανση

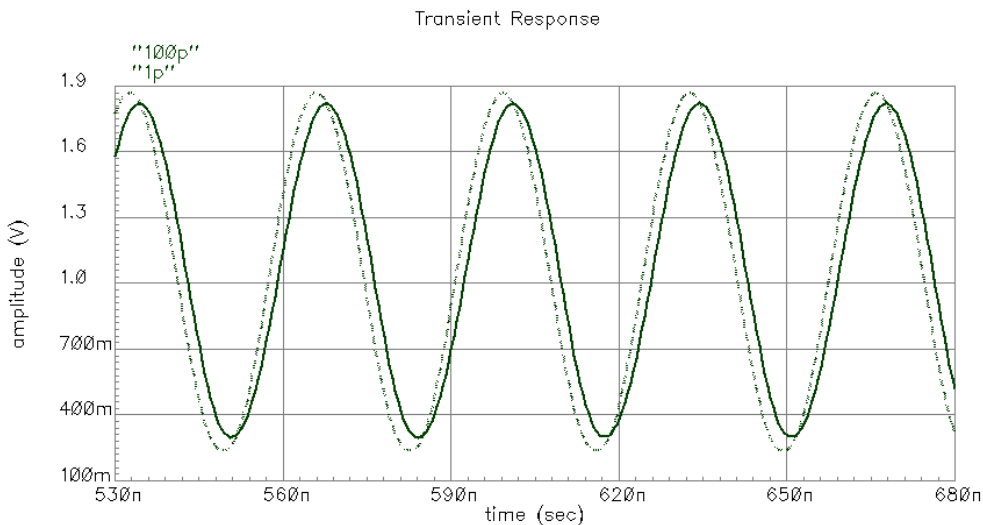
σήματος αντιστοιχεί σε κέρδος τάσης 44.26dB για πλάτος σήματος εισόδου ίσο με 10mV.

Μία μεγέθυνση κοντά στην κορυφή των διαγραμμάτων φανερώνει καθυστέρηση φάσης στην περίπτωση που το χωρητικό φορτίο εξόδου είναι 10pF, όπως φαίνεται στο Σχ. 40. Έτσι, η καθυστέρηση σήματος είναι 256pF, άρα $(0.256\text{nsec})/(33.33\text{nsec}) = 0.0077$, επομένως λιγότερο από 1% μιας περιόδου του παλμού.



Σχήμα 40. Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 10pF.

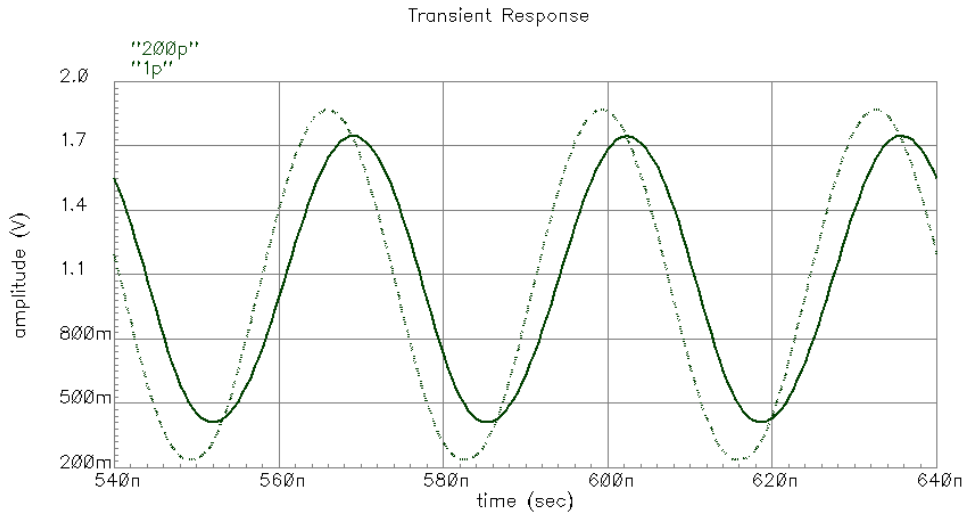
Η σύγκριση αυτή επαναλαμβάνεται και για την περίπτωση που η χωρητικότητα εξόδου είναι 100pF. Το αποτέλεσμα παρουσιάζεται στο Σχ. 41.



Σχήμα 41. Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 100pF.

Η διακύμανση στο σήμα απλής εξόδου με φορτίο 100pF είναι 1.51V, τιμή που συνεπάγεται ένα διαφορικό AC κέρδος 43.58 dB. Άρα, η απώλεια ενίσχυσης είναι 0.68 dB. Η καθυστέρηση σήματος είναι 1.8nsec, άρα 5% της περιόδου.

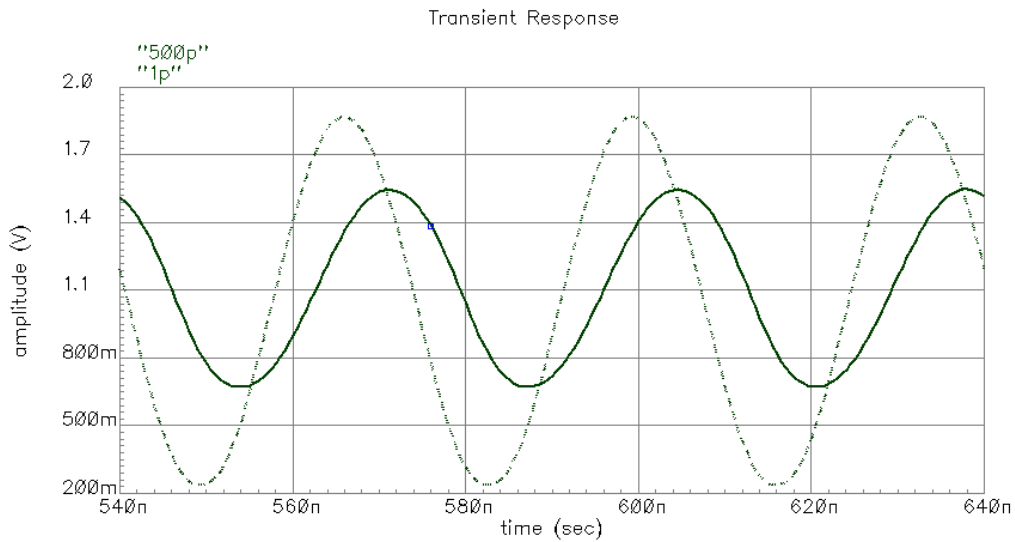
Οι παραπάνω υπολογισμοί επαναλαμβάνονται όταν η χωρητικότητα εξόδου γίνει 200pF. Το σήμα εξόδου συγκρίνεται με εκείνο της περίπτωσης του 1pF στο Σχ.42.



Σχήμα 42. Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 200pF.

Η διακύμανση στο σήμα απλής εξόδου με φορτίο 200pF είναι 1.35V, τιμή που συνεπάγεται ένα διαφορικό AC κέρδος 42.61 dB. Άρα, η απώλεια ενίσχυσης είναι 1.65 dB. Η καθυστέρηση του παλμού είναι 3.1nsec, άρα 9% μίας περιόδου του.

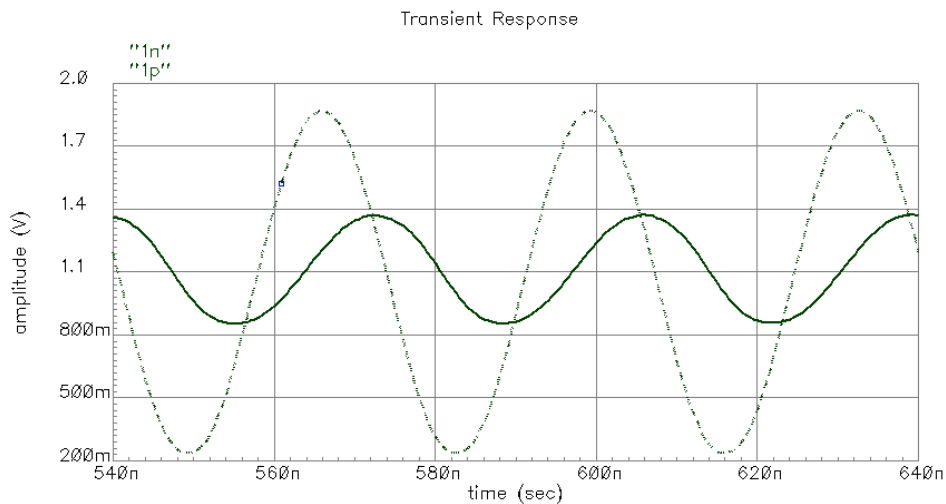
Ακόμα και όταν η χωρητικότητα εξόδου γίνει 500pF, η διακύμανση στο σήμα εξόδου δεν είναι πολύ χαμηλότερη του 1V, όπως φαίνεται στο Σχ. 43.



Σχήμα 43. Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 500pF.

Η διακύμανση στο σήμα απλής εξόδου με φορτίο 500pF είναι 0.875V, τιμή που συνεπάγεται ένα διαφορικό AC κέρδος 38.84 dB. Άρα, η απώλεια ενίσχυσης είναι 5.42 dB. Η καθυστέρηση του παλμού είναι 5.4nsec, άρα 16% μίας περιόδου.

Η διακύμανση του σήματος εξόδου ελέγχεται τέλος για την τιμή χωρητικότητας εξόδου 1nF και το αποτέλεσμα παρουσιάζεται στο Σχ.44.



Σχήμα 44. Σύγκριση σήματος εξόδου για χωρητικά φορτία των 1pF, 1nF.

Η διακύμανση στο σήμα απλής εξόδου με φορτίο 1nF είναι 0.55V, τιμή που συνεπάγεται ένα διαφορικό AC κέρδος 34.8 dB. Άρα, η απώλεια ενίσχυσης είναι 9.45 dB. Η καθυστέρηση του παλμού είναι 6.94nsec, άρα 21% μίας περιόδου του παλμού.

Το συμπέρασμα από την ανάλυση αυτή είναι ότι το κύκλωμα είναι ικανό να οδηγήσει χωρητικά φορτία της τάξης του nF, αρκεί το κέρδος τάσης να ενισχυθεί περισσότερο. Μία τυπική λύση για αυτό είναι η αύξηση της διαγωγιμότητας g_m μέσω της αύξησης των διαστάσεων των τρανζίστορ του σταδίου εισόδου αλλά και του ρεύματος πόλωσής τους. Το κόστος της αύξησης του κέρδους είναι μία αύξηση στην κατανάλωση ισχύος του κυκλώματος.

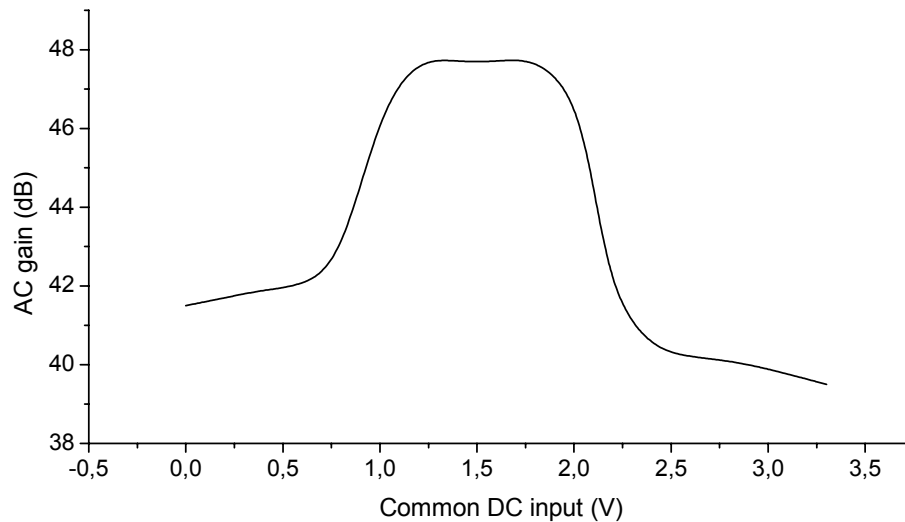
4.4.8

Λειτουργία του VDSL Driver με σήμα εισόδου 20MHz

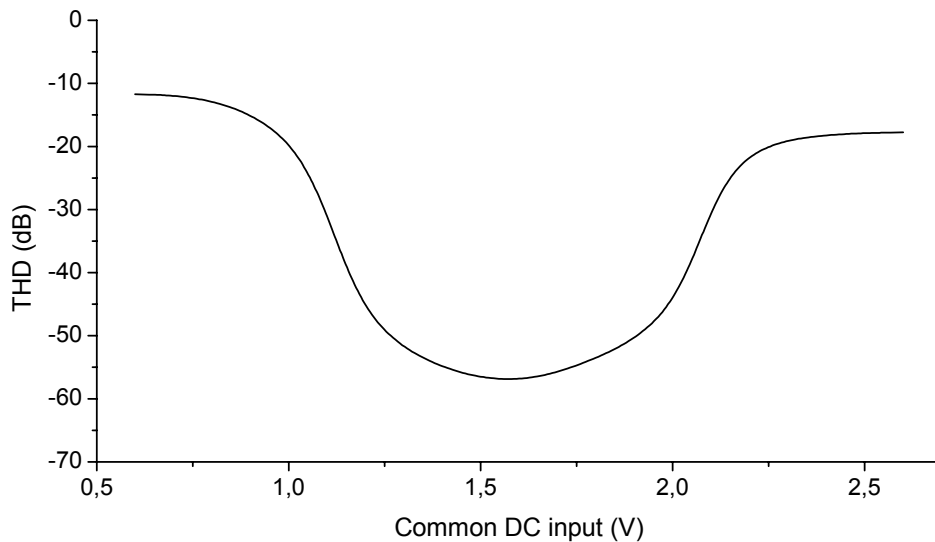
Το κύκλωμα έχει σχεδιαστεί έτσι ώστε η βέλτιστη απόδοσή του να επιτυγχάνεται για τη μέγιστη συχνότητα μετάδοσης του VDSL, δηλαδή αυτή των 30MHz. Όμως, τα μεταδιδόμενα σήματα του VDSL φτάνουν μέχρι και τα 1.1MHz (στην περίπτωση του “downstream” της ασύμμετρης υλοποίησης), τιμή που αποτελεί το άνω όριο του φάσματος μετάδοσης στο ADSL. Επομένως, είναι χρήσιμο να ελεγχθεί η απόκριση του κυκλώματος σε σήματα εισόδου χαμηλότερων συχνοτήτων. Όπως φαίνεται στη συνέχεια, τα χαρακτηριστικά που ελέγχονται είναι πολύ καλύτερα σε χαμηλότερες συχνότητες, καθώς το περιθώριο που αφήνει στο κέρδος το σταθερό γινόμενο κέρδους-εύρους ζώνης είναι μεγαλύτερο. Οι μετρήσεις της THD και του κέρδους τάσης σήματος για σήμα εισόδου 20MHz παρουσιάζονται στη συνέχεια.

DC INPUT (V)	Signal amplitude at (mV)				AC GAIN (dB)
	20MHz	40MHz	80MHz	THD (dB)	
0.0	300	79	8,5	-11,54	41,5
0.2	307	80,5	8,8	-11,58	41,7
0.4	313	81,5	8,9	-11,64	41,9
0.6	320	82,5	9,15	-11,72	42,0
0.8	343	85	9,15	-12,1	42,6
1.0	551	73	3,2	-17,6	46,5
1.2	624	2	1,2	-48,5	47,8
1.4	607	0,8	0,6	-55,7	47,7
1.6	611	0,58	0,53	-57,8	47,7
1.8	624	1,22	0,28	-54,0	47,8
2.0	558	2,37	0,26	-47,4	46,9
2.1	431	15	2	-29,1	44,6
2.2	312	31,7	0,31	-19,9	41,7
2.4	269	34	1,35	-18,0	40,4
2.6	263	34	1,5	-17,8	40,2
2.8	258	35,7	1,9	-17,2	40,1
3.0	252	36	2	-16,9	39,9
3.3	240	36	2,25	-16,5	39,5

Πίνακας 6. Τιμές του DC κέρδους και του CMRR για ολόκληρη την περιοχή DC τιμών εισόδου και θεμελιώδη συχνότητα μετάδοσης 20MHz.



Σχήμα 45. Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt.



Σχήμα 46. THD σε dB συναρτήσει του κοινού σήματος εισόδου.

Τα διαγράμματα των σχημάτων 45, 46 φανερώνουν μία βελτίωση 3-dB στην ενίσχυση σήματος και μία μείωση 10-dB στη συνολική αρμονική παραμόρφωση, σε σύγκριση με τα αντίστοιχα αποτελέσματα της περίπτωσης του σήματος 30MHz.

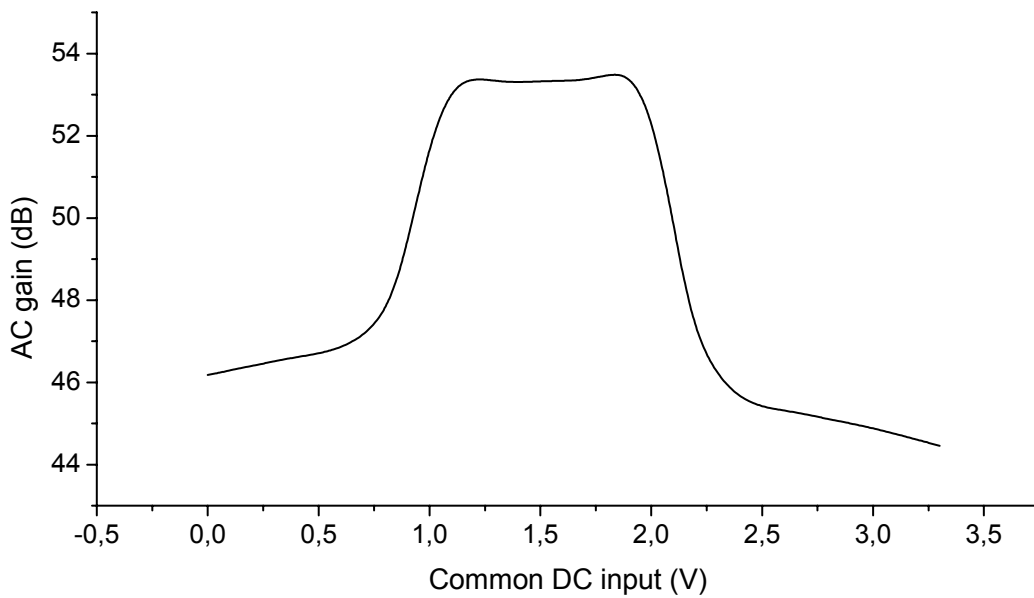
4.4.9

Λειτουργία του VDSL Driver με σήμα εισόδου 10MHz

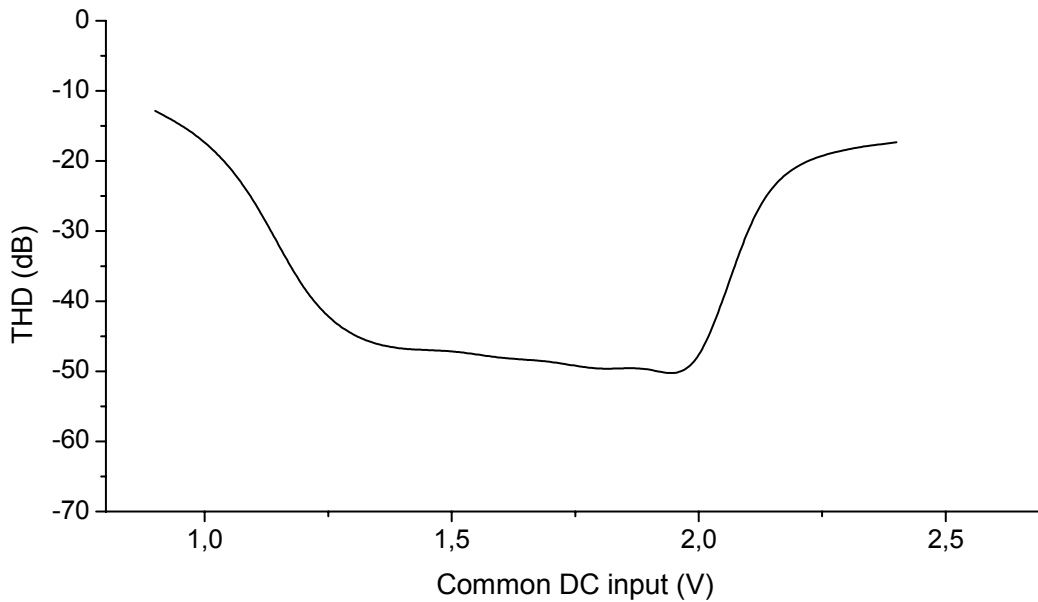
Η απόκριση του κυκλώματος εξετάζεται και στην περίπτωση που το σήμα εισόδου έχει συχνότητα 10MHz. Τα αποτελέσματα των προσομοιώσεων αναφέρονται στον Πίνακα 7 και παρουσιάζονται γραφικά στα σχήματα 47, 48.

DC INPUT (V)	Signal amplitude at (mV)				AC GAIN (dB)
	10MHz	20MHz	40MHz	THD (dB)	
0.0	306	86	9,5	-11,0	46,2
0.2	313	88	9,8	-11,0	46,4
0.4	320	89,7	10	-11,0	46,6
0.6	331	91	10	-11,1	46,8
0.8	359	95	11	-11,5	47,5
0.9	454	103	10,3	-12,8	49,3
1.0	616	90,7	5,2	-16,6	51,8
1.1	713	40	11,1	-24,7	53,2
1.2	711	7	3	-39,4	53,4
1.3	701	3,36	1,67	-45,4	53,3
1.4	700	2,78	1,4	-47,0	53,3
1.5	701	2,89	1,3	-46,9	53,3
1.6	701	2,46	1,13	-48,3	53,3
1.7	702	2,36	1,23	-48,4	53,4
1.8	711	2,15	0,61	-50,1	53,5
1.9	712	2,52	0,07	-49,0	53,5
2.0	638	0,48	0,04	-52,4	52,6
2.1	479	20,94	3	-27,1	49,9
2.2	338	37,35	0,7	-19,1	46,8
2.4	289	39,4	1,7	-17,3	45,5
2.6	282	40,1	2	-16,9	45,3
2.8	276	40,56	2,3	-16,6	45,1
3.0	269	40,8	2,5	-16,4	44,9
3.3	255	40,24	2,6	-16,0	44,5

Πίνακας 7. Τιμές του DC κέρδους και του CMRR για ολόκληρη την περιοχή DC τιμών εισόδου και θεμελιώδη συχνότητα μετάδοσης 10MHz.



Σχήμα 47. Κέρδος σήματος τάσης σε dB συναρτήσει των DC τιμών εισόδου σε Volt.



Σχήμα 48. THD σε dB συναρτήσει του κοινού σήματος εισόδου.

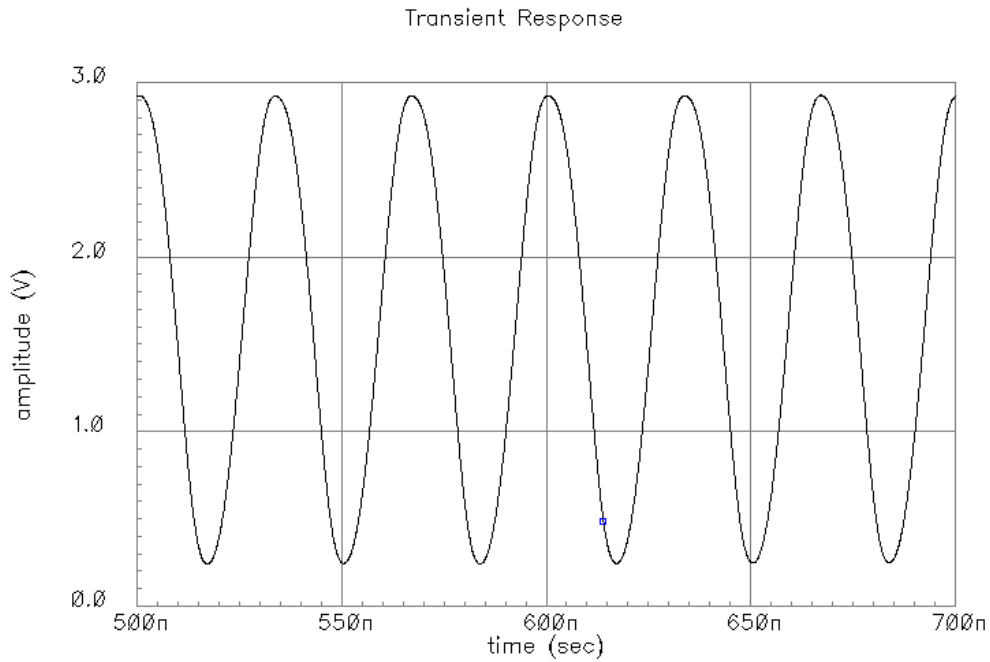
Τα διαγράμματα των σχημάτων 47, 48 φανερώνουν μία βελτίωση 9-dB στην ενίσχυση σήματος και μία μείωση 4-dB στη συνολική αρμονική παραμόρφωση, σε σύγκριση με τα αντίστοιχα αποτελέσματα της περίπτωσης του σήματος 30MHz. Η μικρότερη, σε σχέση με την περίπτωση του σήματος 20MHz, βελτίωση της τιμής της αρμονικής παραμόρφωσης, οφείλεται στο ότι το βαθυπερατό RC φίλτρο εξακολουθεί να αποκόπτει συχνότητες λίγο πάνω από τα 30MHz με αποτέλεσμα να ενισχύεται η

συχνότητα των 20MHz, η οποία είναι η αμέσως επόμενη άρτιας τάξης αρμονική. Βέβαια, αποκόπτονται όλες οι υψηλότερης τάξης αρμονικές, επομένως υπάρχει συνολικά βελτίωση στην τιμή της THD.

4.4.10

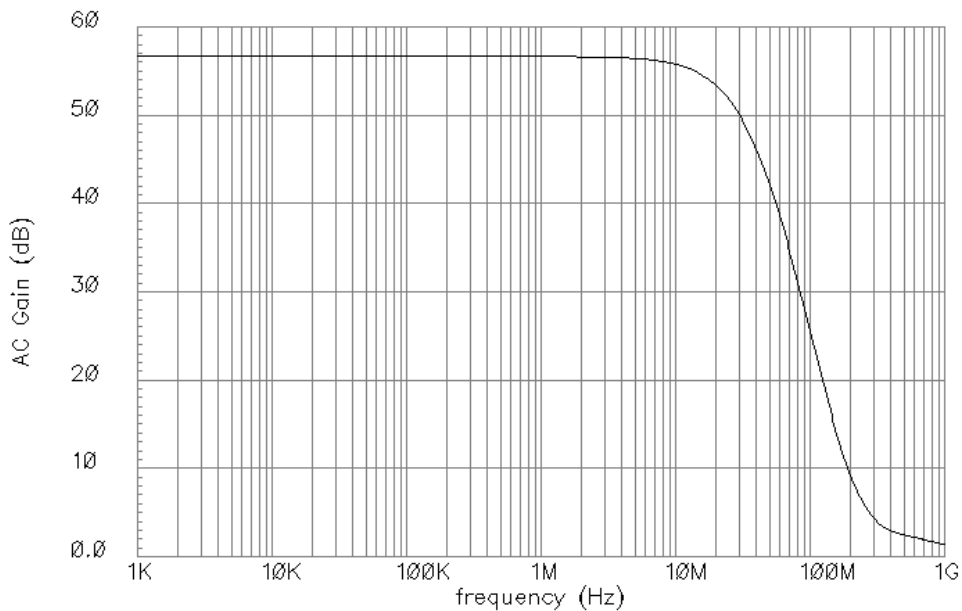
Ενίσχυση του κέρδους τάσης

Το κέρδος τάσης μπορεί να αυξηθεί σημαντικά, αν αυξηθεί η διαγωγιμότητα g_m του σταδίου εισόδου. Αυτό γίνεται αυξάνοντας το ρεύμα πόλωσης των διαφορικών ζευγών εισόδου. Κάτι τέτοιο, όμως, απαιτεί ανάλογη αύξηση των διαστάσεων των τρανζίστορ που τα αποτελούν, έτσι ώστε αυτά να εξακολουθούν να λειτουργούν στην περιοχή κορεσμού. Αυξάνοντας το ρεύμα πόλωσης από 1mA σε 2mA και διπλασιάζοντας τους λόγους (W/L) των τρανζίστορ εισόδου, η τιμή της διαγωγιμότητας εισόδου αυξάνεται από 10mA/V σε 20mA/V και κατά αυτό τον τρόπο διπλασιάζεται και το κέρδος τάσης. Το αποτέλεσμα της αλλαγής ελέγχεται όταν η χωρητικότητα εξόδου είναι 100pF. Το σήμα εξόδου φαίνεται στο Σχ. 49 για την τοπολογία απλής εξόδου. Αν το συγκρίνουμε με το Σχ. 41 (που αναφέρεται επίσης σε χωρητικότητα εξόδου 100pF), παρατηρούμε ότι πράγματι το πλάτος του σήματος έχει διπλασιαστεί.



Σχήμα 49. Σήμα τοπολογίας απλής εξόδου μετά τον διπλασιασμό της διαγωγιμότητας (το αποτέλεσμα προκύπτει για χωρητικότητα εξόδου 100pF).

Για τη διαφορική τοπολογία παρουσιάζεται και το διάγραμμα Bode, δηλαδή η απόκριση του κέρδους τάσης συναρτήσει της συχνότητας, που φαίνεται στο Σχ. 50.

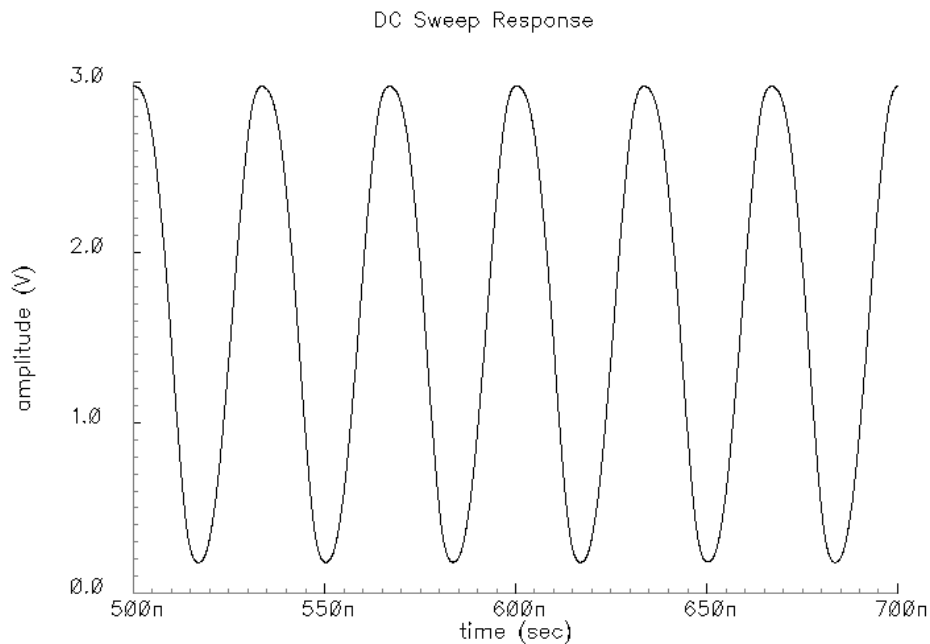


Σχήμα 50. Διάγραμμα Bode διαφορικής τοπολογίας μετά τον διπλασιασμό της διαγωγιμότητας.

4.4.11

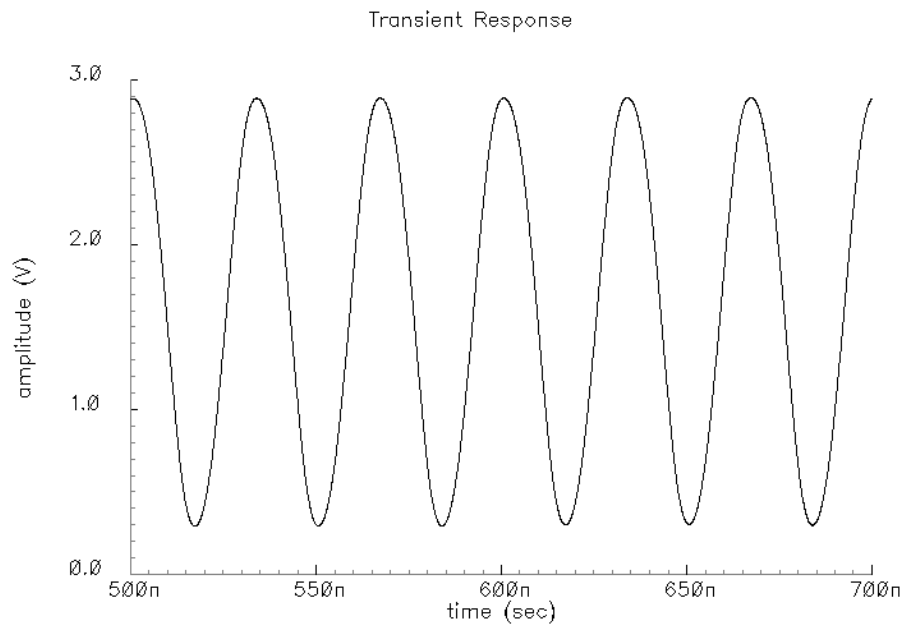
Θερμοκρασιακό εύρος λειτουργίας

Στη συνέχεια ελέγχουμε την απόκριση του κέρδους συναρτήσει της θερμοκρασίας λειτουργίας του κυκλώματος. Οι μετρήσεις που προηγήθηκαν έγιναν στη θερμοκρασία των 25°C. Ελέγχεται η απόκριση του κυκλώματος για όλο το εύρος των δυνατών θερμοκρασιών λειτουργίας, από 0°C έως και 100°C.



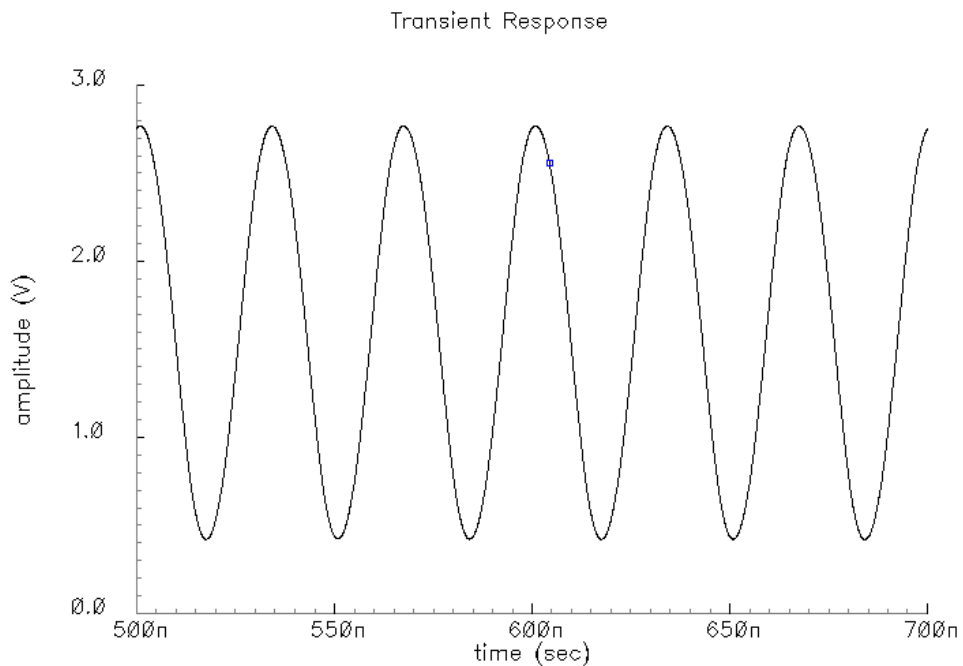
Σχήμα 51. Κέρδος τάσης στη θερμοκρασία των 0°C .

Στη θερμοκρασία των 0°C παρατηρείται αύξηση του πλάτους στην τάση εξόδου κατά 143mV, κάτι που σημαίνει ότι το κύκλωμα αποκρίνεται καλύτερα σε χαμηλότερες θερμοκρασίες, ακόμα και σε αυτήν των 0°C.



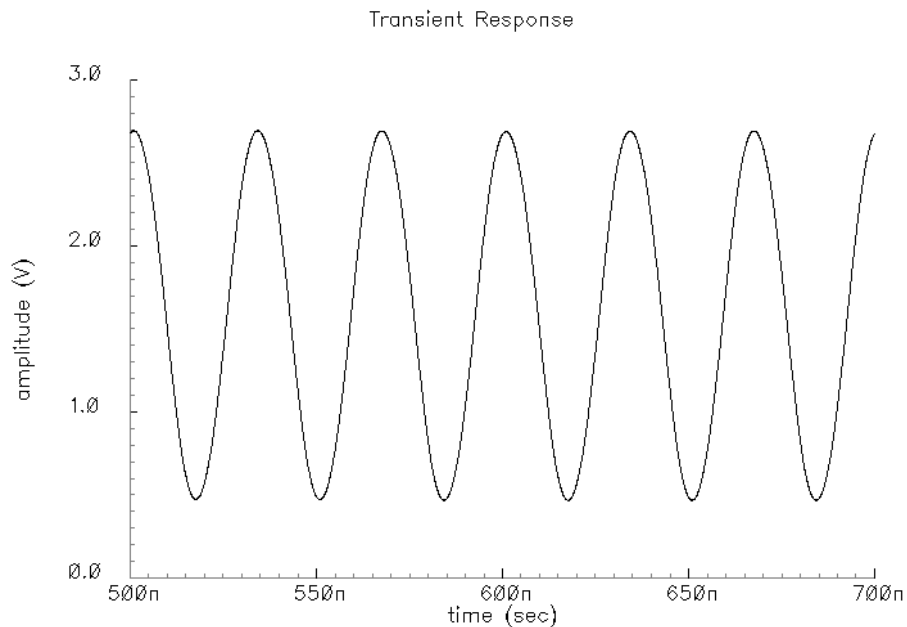
Σχήμα 52. Κέρδος τάσης στη θερμοκρασία των 40°C .

Στη θερμοκρασία των 40°C παρατηρείται μείωση του πλάτους στην τάση εξόδου κατά 50mV, λόγω αύξησης του δυναμικού V_{GS} των τρανζίστορ και επομένως μεταβολής των DC συνθηκών πόλωσης του κυκλώματος.



Σχήμα 53. Κέρδος τάσης στη θερμοκρασία των 80°C .

Στη θερμοκρασία των 80°C παρατηρείται μείωση του πλάτους στην τάση εξόδου κατά 310mV, καθώς το φαινόμενο της αύξησης του δυναμικού V_{GS} των τρανζίστορ είναι εντονότερο και επομένως και η μεταβολή των DC συνθηκών πόλωσης μεγαλύτερη.



Σχήμα 54. Κέρδος τάσης στη θερμοκρασία των 100°C .

Ακόμα, όμως, και στη θερμοκρασία των 100°C, η μείωση πλάτους είναι 430mV, δεν αποκτά δηλαδή πολύ μεγάλη τιμή, κάτι που δηλώνει τη δυνατότητα λειτουργίας του κυκλώματος ακόμα και σε πολύ υψηλές θερμοκρασίες.

Συμπεράσματα

Η ανάλυση που προηγήθηκε αποτελεί μία συγκεκριμένη τεχνική σχεδίασης με σκοπό την ικανοποίηση των απαιτήσεων μετάδοσης του VDSL. Κάθε στάδιο του κυκλώματος εξασφαλίζει μία ή περισσότερες εκ των προδιαγραφών μετάδοσης σήματος. Το στάδιο εισόδου εξασφαλίζει σταθερή τιμή του g_m για ευρεία περιοχή κοινών DC τιμών του σήματος εισόδου. Το γεγονός αυτό εξασφαλίζει σταθερή τιμή κέρδους τάσης για την περιοχή αυτή και επομένως υψηλή τιμή του CMRR. Οι “folded-cascodes” με τα ενεργά φορτία, ως το υπόλοιπο του πρώτου σταδίου, ενισχύουν το κέρδος τάσης για το σήμα, επιτρέποντας σε αυτό να μεταβάλλεται μεταξύ τιμών που πλησιάζουν τη θετική και αρνητική τροφοδοσία. Το στάδιο εξόδου τάξης AB πετυχαίνει την προσαρμογή εμπέδησης στη γραμμή αλλά και χαμηλές τιμές της συνολικής αρμονικής παραμόρφωσης.

Ακόμη, η ιδιότητα του, ανεξάρτητου από DC μεταβολές g_m στην είσοδο, επιτρέπει την οδήγηση υψηλότερων χωρητικών φορτίων αρκεί το g_m να σταθεροποιηθεί σε μία νέα μεγαλύτερη τιμή. Κατά αυτό τον τρόπο αντισταθμίζεται η απώλεια στο κέρδος, η οποία προκαλείται λόγω του μεγαλύτερου χωρητικού φορτίου εξόδου. Το ίδιο ισχύει και για την καθυστέρηση στο σήμα εξόδου. Το κόστος της αύξησης του g_m είναι η ελαφρά υψηλότερη κατανάλωση ισχύος αλλά και κατάληψης επιφάνειας ολοκληρωμένου κυκλώματος. Αυτό συμβαίνει γιατί αυξημένη τιμή του g_m απαιτεί τρανζίστορ μεγαλύτερων διαστάσεων και επομένως και μεγαλύτερων τιμών ρεύματος πόλωσής τους. Η συνολικά διαφορική δομή του κυκλώματος σε συνδυασμό με την εφαρμογή αρνητικής ανάδρασης μεταξύ των σταδίων ελαχιστοποίησε την τιμή της συνολικής αρμονικής παραμόρφωσης. Τα χαρακτηριστικά του κυκλώματος βελτιώνονται σημαντικά για σήματα χαμηλότερων συχνοτήτων του φάσματος του VDSL.

ΠΑΡΑΡΤΗΜΑ Α

VDSL Standardization

There are currently three organizations developing VDSL transceiver standards; ANSI, ETSI and ITU-T (FSAN acts through contributions to these organizations). There are agreements between all of them to promote cooperation and to work towards the final standards with as few differences as possible. There are some important differences in the goals between the different bodies, which results in differences between them in focus and output.

A.1

ANSI

ANSI (American National Standards Institute) has accredited Committee T1 to create network interconnections and interoperability standards for the United States. Committee T1, technical subcommittee E1, working group 4 is responsible for VDSL [5].

ANSI Accredited Standards Committee T1 T1E1 is in the process of developing a North American VDSL specification, which is currently composed of three parts;

Part 1: which defines the VDSL functional requirements and specifications that are common to both Single-Carrier Modulation (SCM) and Multi-Carrier Modulation (MCM) based VDSL transceivers.

Part 2: Technical Specification of a Single-Carrier Modulation (SCM) Transceiver.

Part 3: Technical Specification of a Multi-Carrier Modulation (MCM) Transceiver.

Single-Carrier Modulation (SCM) adopts the carrierless amplitude and phase modulation scheme (**CAP**). CAP is a proprietary standard implemented by Globespan Semiconductor. While the name specifies that the modulation is "carrierless" an actual carrier is imposed by the transmit band shaping filter through which the outbound symbols are filtered. Hence CAP is algorithmically identical to QAM. The upstream

symbol rate is 136K baud on a 113.2KHz carrier, while the downstream symbol rate is 340K baud on a 435.5KHz carrier, 680K baud on a 631KHz carrier, or 952K baud on a 787.5KHz carrier. This allows the modem to be symbol rate adaptive to varying line conditions (see RADSL). The QAM modulation is also rate adaptive by varying the number of bits per symbol. One advantage CAP claims to have is a lower peak-to-average signal power ratio relative to DMT. This means that the drivers and receivers may operate at lower power than DMT because they are not required to have the peak signal capacity that is required in the DMT circuitry. This is mitigated by the infrequency of the really high signal peaks in DMT, which may be just considered to be another form of noise if they happen to clip. CAP's principle advantage is its installed base of modems. It is actively being deployed in many trial markets and is available from several manufacturers.

On the contrary, Multi-Carrier Modulation (MCM) takes up the Discrete multitone (**DMT**) modulation scheme. DMT is a method by which the usable frequency range is separated into 256 frequency bands (or channels) of 4.3125KHz each. These are intimately connected to the FFT (Fast Fourier Transform) algorithm that DMT uses as its modulator and demodulator. The FFT is not perfect in separating the frequencies into individual bands, but it does well enough, and it generates spectra, which are fully separable on the receiving end. By dividing the frequency spectrum into multiple channels DMT is thought to perform better in the presence of interference sources such as AM radio transmitters. It is also better able to focus its transmit power on those portions of the spectrum in which it is profitable to send data. The assignment of channels is less flexible, but typical settings might be channels 6-31 for upstream (24KHz-136KHz), 32-250 for downstream (136KHz-1.1MHz). The modulation used on any given frequency channel is QAM. Channels 16 and 64 are reserved for pilot tones, which are used to recover timing. The number of bits per symbol within each channel may be independently selected allowing the modem to be rate adaptive. The use of the FFT is considered to be somewhat substandard to other orthogonal transformations such as the discrete wavelet transform that do a better job of isolating the individual frequency spectra. The FFT is chosen for its computational efficiency. While DMT is off to a slow start in the marketplace, it is expected to dominate for two reasons: it is thought to

perform better for technical reasons and there is an ANSI standard behind it (not to mention Intel/Microsoft support).

The 3 ANSI documents previously mentioned, were agreed to be sent out for letter ballot from the November 2000 meeting. The process of balloting and resolving letter ballot comments is now being performed before the documents can be officially published, since consensus has not been achieved on a single line code.

The **T1E1.4** draft Trial Use Standard documents describe two different standard PMD layers and a third one is included in an informative Annex. One document is based on Single-carrier Modulation and the other one is based on Multi-carrier Modulation. The Multi-carrier document contains an informative Annex describing another Multi-carrier technology called Filtered Multi-tone (FMT).

All three line codes use FDD and a common frequency band plan, plan 998. Additionally, the use of the band between 25kHz and 138kHz is optional.

Outstanding issues associated with this specification include:

- specification of Upstream Power Back-Off (UPBO)

A.2

ETSI

ETSI (European Telecommunications Standards Institute) is a non-profit making organization whose mission is to produce the telecommunications standards that will be used for decades to come throughout Europe and beyond. ETSI TM6 is responsible for VDSL [6].

ETSI TM6 is in the process of developing a European VDSL specification, which is currently composed of two parts;

“Part 1: Functional requirements” is available in a second revision as ETSI Technical Specification TS 101 270-1 ver. 1.2.1.

“Part 2: Transceiver specification” has been published as TS 101 270-2 ver. 1.1.1.

The **ETSI** transceiver specification contains the description of two different Physical Media Dependent (PMD) layers, one based on Single-carrier Modulation and

one based on Multi-carrier Modulation. Both line codes use Frequency Division Duplexing (FDD) and a common set of frequency plans; frequency band plan 997 and 998. The specified spectrums for use in this first version of the Transceiver specification is from 138kHz up to 12 MHz, with the use of the spectrum below and above for further study.

Outstanding issues associated with this specification include:

- disposition of additional frequency band plans such as the Fx plan
- specification of Upstream Power Back-Off (UPBO)

ETSI has started the following two new work items to address these issues and others;

1. A revision of the VDSL Part 2 document.
2. A study of VDSL services and assessment of the need for more bandwidth allocation.

A.3

ITU

ITU (International Telecommunication Union) is the United Nations Specialized Agency in the field of telecommunications. The ITU Telecommunication Standardization Sector (ITU-T) is a permanent organ of the ITU. The ITU-T is responsible for studying technical, operating and tariff questions and issuing Recommendations on them with a view to standardizing telecommunications on a worldwide basis. ITU-T Recommendation G.vdsl is being developed by Study Group 15 (Question 4) [7].

ITU-T SG15/Q4 is in the process of developing an international VDSL Recommendation. The group's stated target is to develop a single interoperable worldwide VDSL recommendation. Due primarily to a lack of consensus on the line code issue, progress so far has been slow and little text has been produced for the recommendation.

The following points highlight the status of agreements achieved by this group with respect to the VDSL recommendation:

- Both Single and Multi carrier line codes have been proposed but neither has achieved consensus.
- Frequency Division Duplexing (FDD) will be used.
- Three frequency band plans will be specified. Plan 997 and 998 are on equal footing while a third plan called the Fx plan is “intended for use in Sweden only”. The use of the frequency band between 25kHz and 138kHz is also under study.
- Upstream Power Back-Off (UPBO) method has been agreed. The agreement calls for the upstream transmitter to limit its transmit power below a frequency dependent transmit mask. The shape of the mask depends on the electrical length of the line over which the VDSL modem pair operates. Further details remain outstanding to completely specify UPBO.

A.4

Background to standardization efforts

A.4.1

FSAN

The world’s major telephone companies including BT, BellSouth, France Telecom, Deutsche Telekom, GTE, NTT, Swiss Telecom, Telecom Italia, Telefonica, Telstra and U S West have founded the FSAN (Full Service Access Network) initiative to define standards for the delivery of broadband digital services over fiber and fiber/copper hybrid networks [8]. The primary focus of the group has been on the specification of a Passive Optical Network or PON and defining common telecom requirements for VDSL systems. The group has issued specifications covering PONs resulting in an ITU-T recommendation G.983 and has deferred to ANSI and ETSI for recommendations on specifications for VDSL.

A.4.2

FS-VDSL Committee

A group created in August 2000 to accelerate standardization, implementation and deployment of a VDSL based network optimized for delivery of a full set of integrated services, including entertainment video, high speed data, and voice utilizing existing copper twisted pair loop infrastructure.

The Committee is open for operators, service providers and manufacturers, focusing on delivery of integrated services based on the more asymmetric (video friendly) '998' VDSL frequency band plan. The Committee will feed input into the international standards process and where standards are absent define new ones.

A.4.3

DAVIC

DAVIC was a non-profit Association based in Switzerland, with a membership, which culminated at 222 companies from more than 25 countries. It represented all sectors of the audio-visual industry: manufacturing (computer, consumer electronics and telecommunications equipment) and service (broadcasting, telecommunications and CATV), as well as a number of government agencies and research organizations. The association was closed, according to its statutes, after 5 years of activity and remains only active through its website [9].

DAVIC created and published a set of specifications to enable the delivery of broadband services focused on digital audio-visual systems. An end-to-end all layer solution was enumerated which provides architectural and other information for the server, the delivery system, and the service consumer systems.

DAVIC developed a specification for a fiber to the curb point to multipoint access solution, which included "Short-Range Baseband Asymmetrical PHY on copper and coax". This specification is NOT discussed within this document as a VDSL standard.

The DAVIC Publicly Available Specification was forwarded to ISO/IEC JTC for transposition into an international standard. Parts of DAVIC work are also documented as ISO/IEC JTC Technical Reports.

A.4.4

VDSL Alliance

An interest group created to promote Multi-Carrier Modulation (DMT and FMT) as the preferred line code for VDSL standardization. The group develops text proposals for Multi-Carrier Modulation VDSL and feeds it into the various standards processes. The organization is open for all with an interest in Multi-Carrier Modulation for VDSL.

A.4.5

VDSL Coalition

An interest group created to promote Single Carrier Modulation (CAP / QAM) as the preferred line code for VDSL standardization. The group develops text proposals for Single Carrier Modulation VDSL and feeds it into the various standards processes. The organization is open for all with an interest in Single Carrier Modulation for VDSL.

ΠΑΡΑΡΤΗΜΑ Β

VDSL SPECIFICATIONS

This section contains a summary of the service characteristics provided by the proposed VDSL standards. Differences by standards organization are outlined where applicable.

B.1

Rate versus Reach

ETSI has defined two classes of operation for VDSL, Class I covering asymmetrical use and Class II covering symmetrical use; the performance objectives for these various service types are as presented in Table I [5].

Service Type	Downstream Rate (Mbps)	Upstream Rate (Mbps)	Best/worst case Reach (m) [PSD mask 1]	Best/worst case Reach (m) [PSD mask 2]
Asymmetric (A4)	23.268	4.096	896/453	995/534
Asymmetric (A3)	14.464	3.072	1,294/729	1,344/820
Asymmetric (A2)	8.576	2.048	1,592/789	1,691/882
Asymmetric (A1)	6.4	2.048	1,689/843	1,791/936
Symmetric (S5)	28.288	28.288	N/A	298/212
Symmetric (S4)	23.168	23.168	N/A	397/261
Symmetric (S3)	14.464	14.464	796/580	845/575
Symmetric (S2)	8.576	8.576	1,245/820	1,294/820
Symmetric (S1)	6.4	6.4	1,392/881	1,444/876

Table I. ETSI Rate vs. Reach

Committee T1 has proposed a set of data rates for VDSL based on short, medium and long lines as well as predicted loop lengths:

Service Type	Downstream Rate (Mbps)	Upstream Rate (Mbps)	Reach (m)
Asymmetric Short	52	6.4	300
Asymmetric Short	38.2	4.3	300
Asymmetric Short	34	4.3	300
Asymmetric Medium	26	3.2	1000
Asymmetric Medium	19	2.3	1000
Asymmetric Long	13	1.6	1500
Asymmetric Long	6.5	1.6	2000
Asymmetric Long	6.5	0.8	2000
Symmetric Short	34	34	300
Symmetric Short	26	26	300
Symmetric Short	19	19	300
Symmetric Medium	13	13	1000
Symmetric Long	6.5	6.5	1500
Symmetric Long	4.3	4.3	1500
Symmetric Long	2.3	2.3	1500

Table II Committee T1 Rate vs. Reach.

The rate and reach values in Tables I and II assume 0.4mm (or equivalent) wire gauge. The relevant standard for the conditions under which these performance objectives are achieved, include PSD mask, BER, noise model, test loop, etc..

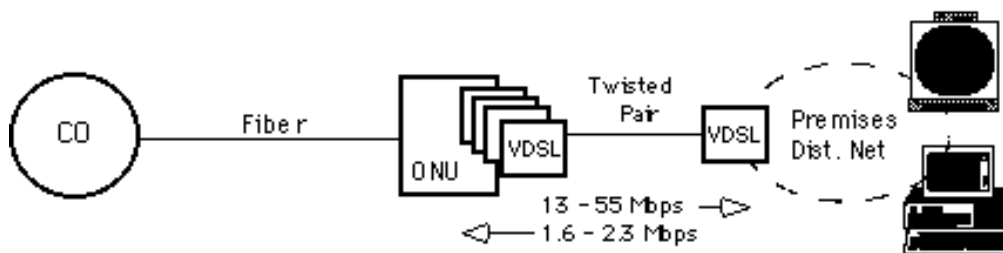


Figure 1. VDSL implementation on the local loop.

Figure 1 presents VDSL in terms of projected capabilities, underlying technology, and outstanding issues. It follows with a survey of standards activity and concludes with a suggestion that VDSL and ADSL together provide network providers an excellent combination for evolving a full service network while offering virtually ubiquitous access to most PC applications and interactive TV applications as the network develops.

Like ADSL, VDSL must transmit compressed video, a real time signal unsuited to error retransmission schemes used in data communications. To achieve error rates compatible with compressed video, VDSL will have to incorporate Forward Error Correction (FEC) with sufficient interleaving to correct all errors created by impulsive noise events of some specified duration. Interleaving introduces delay, in the order of 40 times the maximum length correctable impulse.

Data in the downstream direction will be broadcast to every CPE in a premises or be transmitted to a logically separated hub that distributes data to addressed CPE based on cell or TDM multiplexing within the data stream itself. Upstream multiplexing is more difficult. Systems using a passive NT must insert data onto a shared medium, either by a form of TDMA or a form of FDM. TDMA may use a species of token control called cell grants passed in the downstream direction from the ONU modem, or contention, or both (contention for unrecognized devices, cell grants for recognized devices). FDM gives each CPE its own channel, obviating a MAC protocol, but either limiting data rates available to any one CPE or requiring dynamic allocation of bandwidth and inverse multiplexing at each CPE. Systems using active NTs transfer the upstream collection problem to a logically separated hub that would use (typically) Ethernet or ATM protocols for upstream multiplexing [4].

Migration and inventory considerations dictate VDSL units that can operate at various (preferably all) speeds with automatic recognition of a newly connected device to a line or a change in speed. Passive network interfaces need to have hot insertion, where a new VDSL premises unit can be put on the line without interfering with the operation of other modems.

B.2

Bit Error Ratio

The VDSL rate/reach requirements are defined so that a 6 dB noise margin degradation would yield a bit error ratio under the test conditions of less than 1 in 10^7 . This procedure is defined so that testing can be accomplished within reasonable time periods. In normal operation the modems are expected to operate nominally error-free under these conditions. In practice error performance requirements may depend on the type of service and would be determined by the network operator.

B.3

Latency

The standards define both single and dual latency modes.

In single latency mode, all the system data payload capacity is dedicated to one channel. This mode provides programmable burst error protection. The latency of this path is a function of the data rate and the amount of burst error protection. The latency is programmable by the network management system.

In dual latency mode two channels are provided, a “low latency” fast channel and “higher latency” slow channel. The slow channel provides programmable burst error protection as described above. The allocation of capacity between the two channels is performed according to parameters provided by the network management element manager.

B.4

Transmit signal characteristics

B.4.1

Wide-band power

The average wide-band power of the transmitted VDSL signal measured over the frequency range between 25 kHz to 12 MHz shall be no greater than the values listed in Table III when terminated with resistive impedance of $R_V = 100 \text{ Ohm}$ [5].

Central office deployment scenario		Cabinet deployment scenario	
Downstream (dBm)	Upstream (dBm)	Downstream (dBm)	Upstream (dBm)
14.5	14.5	11.5	14.5

Table III. VDSL maximum transmit power.

B.4.2

Power spectral density (PSD)

Transmit PSD is characterized by the PSD template and PSD mask. The PSD template defines transmit power limitation measured with the resolution bandwidth of 100 kHz in the in-band frequency range below 1.0 MHz and with the resolution bandwidth of 1 MHz in the in-band frequency range above 1.0 MHz (usage of a 100 kHz and 1 MHz sliding window, respectively). The PSD mask defines the transmit power limitation measured with the resolution bandwidth of 10 kHz in the entire in-band frequency range. The values of the transmit PSD mask and transmit PSD template at any frequency f shall be coupled as:

$$\text{mask}(f) = \text{template}(f) + 3.5, \text{ dBm/Hz} \quad (1)$$

The transmit signal PSD templates of downstream (LT) and upstream (NT) transmission directions for both FTTEEx and FTTCab deployment scenarios are presented in Table V, Table VI and Table VII, respectively. Table V, Table VI and Table VII define corner values of straight-line graphs of PSD in dBm/Hz. Linear interpolation of the frequency and these PSD table entries shall be used to obtain a template.

B.4.2.1

Downstream PSD template

For deployment of VDSL from a central office, two PSD templates are defined for the downstream channel: Template M1 and Template M2. For both cases, the maximum transmit power shall be 14.5 dBm as shown in Table III. The PSD templates are tabulated in Table IV and illustrated in Figure 2.

Frequency (kHz)	PSD (dBm/Hz)	
	M 1	M 2
0-4	-101	
25	-40	
1104	-40	
1622	-60	-50
3749	-60	-53.5
3750	-80	
3925	-105	
5025	-105	
5200	-80	
5201	-60	-55
8499	-60	-55
8500	-80	
8675	-107	
12000	-107	
30000	-110	

Table IV. VDSL downstream PSD templates – FTTEEx.

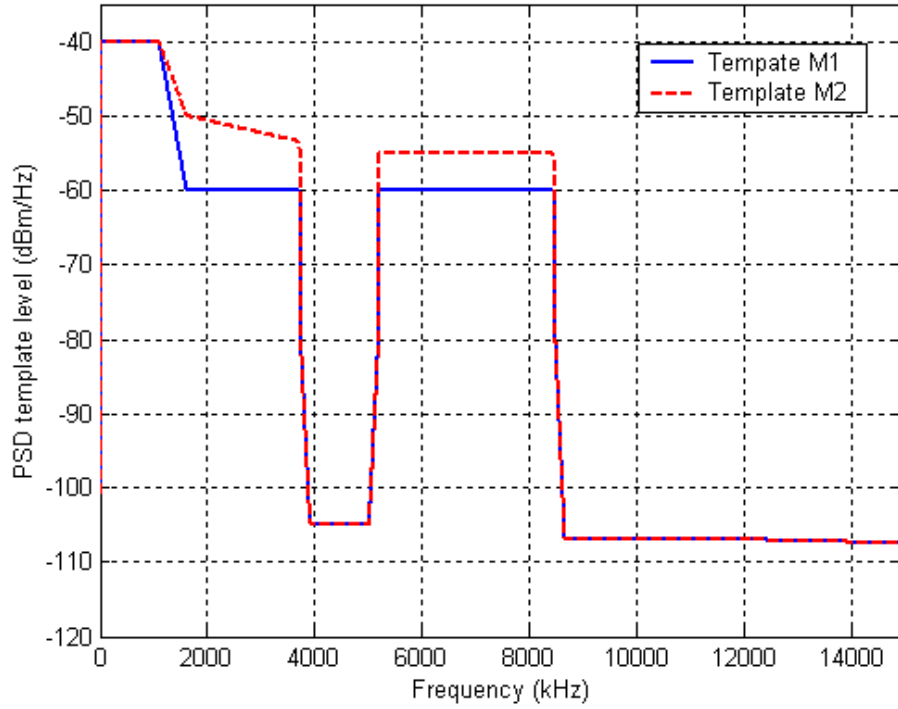


Figure 2.
VDSL
Downstream
PSD

templates – FTTEEx.

B.4.2.2

Upstream PSD template

For the deployment of VDSL from a central office, two PSD templates are defined for upstream channel: Template M1 and Template M2. For both cases, the maximum transmit signal power limit shall be 14.5 dBm as shown in Table III. The PSD templates are tabulated in Table V and illustrated in Figure 3.

Frequency (kHz)	PSD (dBm/Hz)	
	M 1	M 2
0 – 4	-101	
25	-38	
138	-38	
307	-90	
482	-100	
3575	-105	
3750	-80	
3751	-60	-53
5199	-60	-53
5200	-80	
5375	-107	
8325	-107	
8500	-80	
8501	-60	-54
11999	-60	-54
12000	-80	
12175	-107	
30000	-110	

Table V. VDSL upstream PSD templates – FTTEEx.

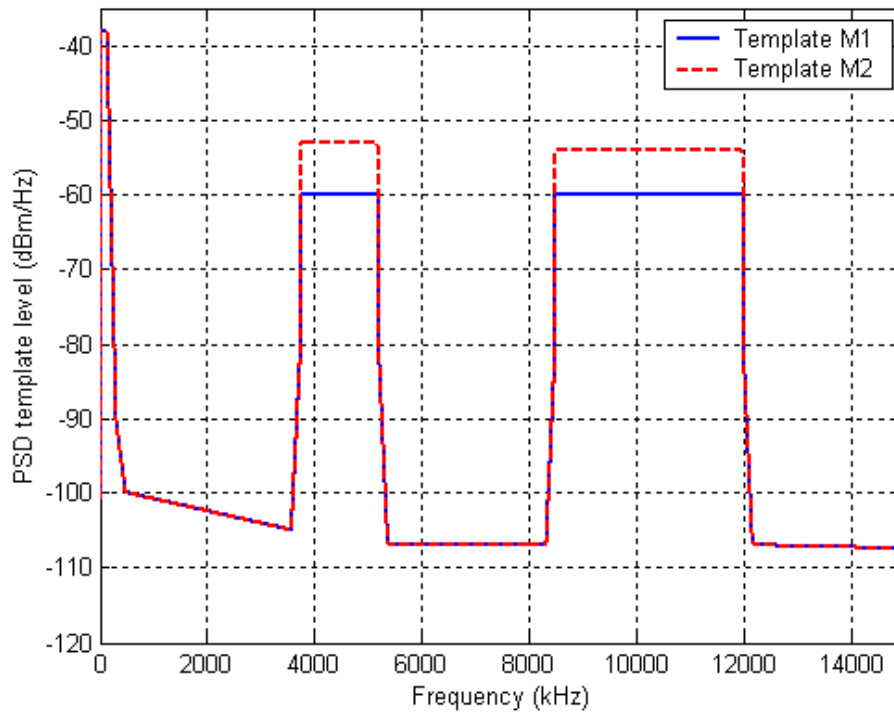


Figure 3. VDSL upstream PSD templates – FTTEEx and FTTCab

B.4.3

Cabinet deployment scenario (FTTCab)

B.4.3.1

Downstream PSD template

For deployment of VDSL from a cabinet, two PSD templates are defined for the downstream channels: Template M1 and Template M2. For both cases, the maximum transmit power shall be 11.5 dBm as shown in Table III. The PSD templates are tabulated in Table VI and illustrated in Figure 4.

Frequency (kHz)	PSD (dBm/Hz)	
	M 1	M 2
0-4	-101	
25	-60	
1104	-60	
1622	-60	-50
3749	-60	-53.5
3750	-80	
3925	-105	
5025	-105	
5200	-80	
5201	-60	-55
8499	-60	-55
8500	-80	
8675	-107	
12000	-107	
30000	-110	

Table VI. VDSL downstream PSD templates – FTTCab.

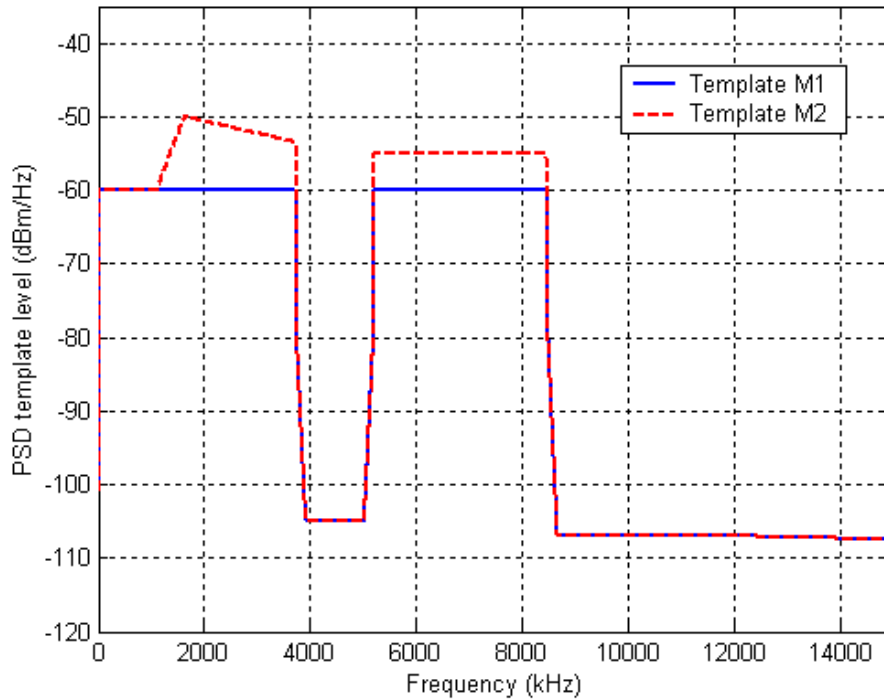


Figure 4. VDSL downstream templates – FTTCab.

B.4.3.2

Upstream PSD template

The requirements for the VDSL upstream PSD templates and total transmit power limit for VDSL the deployed from a cabinet are the same as the requirements for the upstream transmission in a central office deployment scenario. See Table III, Table V and Figure 4 for details.

B.5

Power control

Transmit power control is intended to reduce potential crosstalk generated by a VDSL link in specific deployment situations.

B.5.1

Upstream power back-off

Upstream power back-off (UPBO) shall be applied to provide spectral compatibility between loops of different lengths deployed in the same binder. Only one UPBO mode shall be supported as described below:

(a) It shall be possible for the network management system to set the limiting transmit PSD template PSD_0 for the VTU-R to one of the standard transmit PSD templates (Template M1, Template M2) as previously defined.

(b) The VTU-R shall perform UPBO autonomously, i.e., without sending any significant information to the VTU-O until the UPBO is applied.

(c) After UPBO has been applied as described in (b), the VTU-O shall be capable of adjusting the transmit PSD selected by the VTU-R; the adjusted transmit PSD shall be subject to the limitations that follow.

(d) To enable the VTU-R to initiate a connection with the VTU-O, which will occur before UPBO has been applied, the VTU-R shall be allowed to cause more degradation to other loops than expected when using the mode described next. The mechanism by which the VTU-R initiates a connection and the allowed additional degradation during the initiation are for further study.

B.5.2

Power back-off PSD

The VTU-R shall explicitly estimate the electrical length of its line, kl_0 , and use this value to calculate the transmit PSD template $TxPSD(kl_0, f)$. The VTU-R shall then

adapt its transmit signal PSD to conform to the template $TxPSD(kl_0, f)$ and the corresponding PSD mask.

The transmit PSD template shall be calculated as:

$$TxPSD(kl_0, f) = \min(PSD_REF(f) + LOSS(kl_0, f), PSD_0), \text{ in dBm/Hz} \quad (2)$$

where PSD_0 as defined in the **Upstream power back-off** section

$$LOSS = kl_0\sqrt{f}, \quad \text{in dB} \quad (3)$$

where the $LOSS$ function is an approximation of the loop attenuation (insertion loss).

PSD_REF will depend on the limiting transmit PSD template PSD_0 and on the noise model that is relevant for a given deployment scenario. The values of PSD_REF shall be as given in Table VII. The same bandwidth as for all regular transmit PSD masks previously defined shall be used to check the conformance of $TxPSD$ with power back-off. Conformance with the PSD template shall be verified using a 100 kHz sliding window in the in-band frequency range below 1 MHz and a 1 MHz slowing window in the in-band frequency range above 1 MHz.

	Noise A environment		Noise F environment	
	Template M1	Template M2	Template M1	Template M2
Band 1U	$-60 - 22.00\sqrt{f}$	$-53 - 24.47\sqrt{f}$	$-60 - 18.54\sqrt{f}$	$-53 - 21.19\sqrt{f}$
Band 2U	$-60 - 17.18\sqrt{f}$	$-54 - 18.93\sqrt{f}$	$-60 - 16.865\sqrt{f}$	$-54 - 18.69\sqrt{f}$

NOTE 1 – Bands 1U and 2U are as given in Figure 7.

NOTE 2 – Noise A and F environments correspond to specific deployment scenarios that are defined in a following section concerning Noise modeling.

Table VII. Reference PSDs (f is in MHz, the PSD level is in dBm/Hz).

B.5.3

Downstream power back-off

The section on hand is for further study. No applications of the downstream power back-off have been proposed.

B.6

Egress control

To avoid potential harm to amateur radio service due to radiated emission from VDSL, it shall be possible to reduce the PSD of the transmit signal within the amateur radio bands to below -80 dBm/Hz. The corresponding amateur frequency bands are presented in Table VIII.

Start frequency (MHz)	End frequency (MHz)
1.810	2.000
3.500	4.000
7.000	7.300
10.100	10.150
14.000	14.350
18.068	18.168
21.000	21.450
24.890	24.990
28.000	29.700

Table VIII. Amateur radio bands recognized by ANSI.

B.7

Termination impedance

A termination impedance of $R_V = 100$ Ohm (purely resistive, either source or load) shall be used over the entire VDSL frequency band for both the LT and NT transceivers when matching to the metallic access wire-pair.

This termination impedance approximates (and is based upon) the insertion-point impedance of the VDSL test loop. It enables a compromise high-frequency impedance match to the various types of unshielded cable in metallic access networks.

B.8

Return loss

The return loss requirement is defined to limit signal power uncertainties due to the tolerance of the line interface impedance. The return loss specifies the amount of reflected differential signal upon reference impedance R_V :

$$RL = 20 \log_{10} \left| \frac{Z + R_V}{Z - R_V} \right| \quad \text{in dB} \quad (4)$$

where Z is the internal impedance of the VTU.

The in-band return loss value of the VDSL transceiver shall be greater than or equal to 12 dB. The out-of-band return loss value shall be greater than or equal to 3 dB. In-band and out-of-band frequencies are defined by the frequency plan as shown in Figure 5 and by the transmit direction.

The value of 12 dB assumes a flat transmit PSD is applied over the entire in-band region. Requirements may be relaxed in the frequency ranges of reduced PSD values. The exact value requirements are for further study.

B.9

Output signal balance

Output signal balance (OSB) is a measure of unwanted longitudinal signals at the output of the transceiver. The longitudinal output voltage (V_{cm}) to the differential output voltage (V_{diff}) ratio shall be measured while the VTU transmitter is active in accordance with ITU-T Recommendation G.117 and ITU-T Recommendation O.9.

$$OSB = 20 \log_{10} \left| \frac{V_{diff}}{V_{cm}} \right| \quad \text{in dB} \quad (5)$$

The OSB of the VDSL transceiver shall be equal to or greater than 35 dB in the entire VDSL band.

B.10

Duplexing method

VDSL transceiver shall use Frequency Division Duplexing (FDD) to separate upstream and downstream transmission.

The frequency plan shall consist of two upstream bands denoted as 1U, 2U and two downstream bands denoted as 1D, 2D. The bands shall be allocated as shown in Figure 5. The values of the splitting frequencies f_i shall be as given in Table IX.

The use of the band between 25 kHz and 138 kHz shall be negotiated during the initialization to indicate if the capability exists and select one of the following options:

- (a) Use of the band for upstream transmission;
- (b) Use of the band for downstream transmission;

The band is not used. Other uses of the band between 25 kHz and 138 kHz are for further study. The use of the spectrum above 12 MHz is also for further study.

Separating Frequencies	f_0	f_1	f_2	f_3	f_4	f_5
(MHz)	0.25	0.138	3.75	5.2	8.5	12

Table IX. VDSL band separating frequencies.

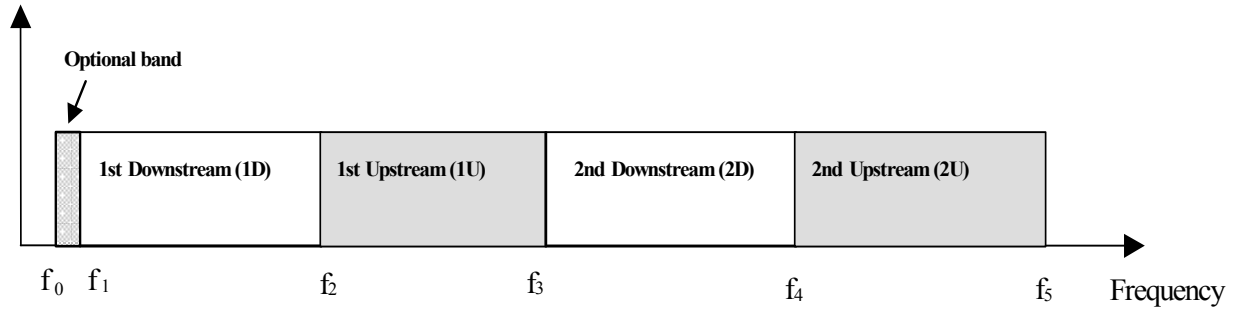


Figure 5. VDSL band allocation.

B.11

Spectral Compatibility

Ensuring spectral compatibility with existing and future DSL transmission systems is of paramount importance to Network Operators. The following VDSL spectral characteristics are separated into those which apply to adjacent wire-pairs, and the same wire-pair, which may be used as transmission bearers for other forms of service (e.g. POTS, ISDN, etc.). As an example, working group T1E1.4 has approved a draft standard to address the spectral compatibility between CO based DSLs and network legacy systems.

B.12

Adjacent Wire-pairs

VDSL systems have been designed to operate with a number of different DSL systems operating on adjacent wire-pairs in a multi-pair cable. Each of the other systems will generate crosstalk, which will appear as unwanted noise at the front-end of a VDSL receiver. Both Asymmetric and Symmetric VDSL systems may be operated on different wire-pairs within a multi-pair cable provided that they use the same frequency band plan. No special arrangements are required for pair selection. All VDSL standards provide for co-existence with an installed base of xDSL systems (e.g. HDSL, ADSL, ISDN, etc.) and other systems operating in the same multi-pair cable.

B.13

Same Wire-pair

VDSL has also been designed to co-exist with some narrowband services that may be carried on the same wire-pair. This is to ensure that the VDSL system can provide a broadband overlay capability. In particular, VDSL is able to operate at frequencies above POTS and both 2B1Q and 4B3T forms of ISDN-Basic Access. The splitter filter is used to achieve frequency separation of the VDSL signals from the POTS or ISDN signals.

ΠΑΡΑΡΤΗΜΑ Γ

The folded-cascode stage.

After the two first goals of the design have been taken care of by the first stage, the next important concern is the amplification of the signal, or in other words the gain. This demand, however, has to be combined by retaining the signal swing. The amplifying topology satisfying those two demands is the folded-cascode one, as opposed to a simple-cascode topology. The simplest example of the two structures is presented in Fig. 1 [12].

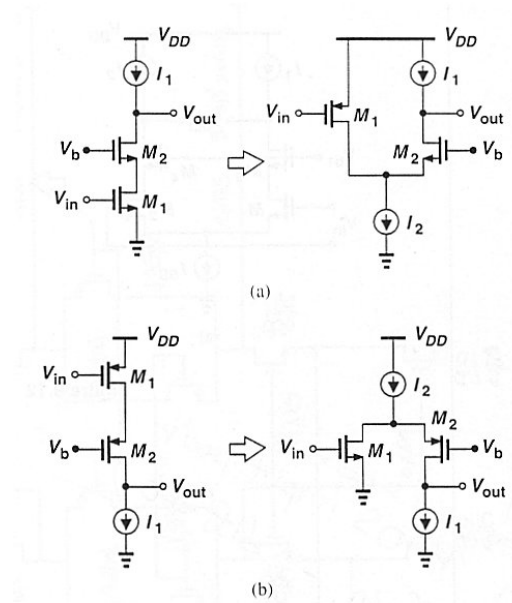


Figure 1. Folded cascode circuits.

In order to alleviate the drawbacks of telescopic cascode op amps, namely, limited output swings and difficulty in shorting the input and output, a "folded cascode" op amp can be used. In an NMOS or PMOS cascode amplifier, the input device is replaced by the opposite type while still converting the input voltage to a current. In the four circuits shown in Fig. 1, the small-signal current generated by M_1 flows through M_2 and subsequently the load, producing an output voltage approximately equal to $g_{m1}R_{out}V_{in}$. The primary advantage of the folded structure lies in the choice of the voltage levels

because it does not "stack" the cascode transistor on top of the input device. This point is re-examined further on.

The folding idea depicted in Fig. 1 can easily be applied to differential pairs and hence operational amplifiers as well. Shown in Fig. 2, the resulting circuit replaces the input NMOS pair with a PMOS counterpart. An important difference between the two circuits is that in Fig. 2(a), one bias current, I_{SS} , provides the drain current of both the input transistors and the cascode devices, whereas in Fig. 2(b) the input pair requires an additional bias current. In other words, $I_{SS1} = I_{SS}/2 + I_{D3}$. Thus, the folded-cascode configuration generally consumes higher power.

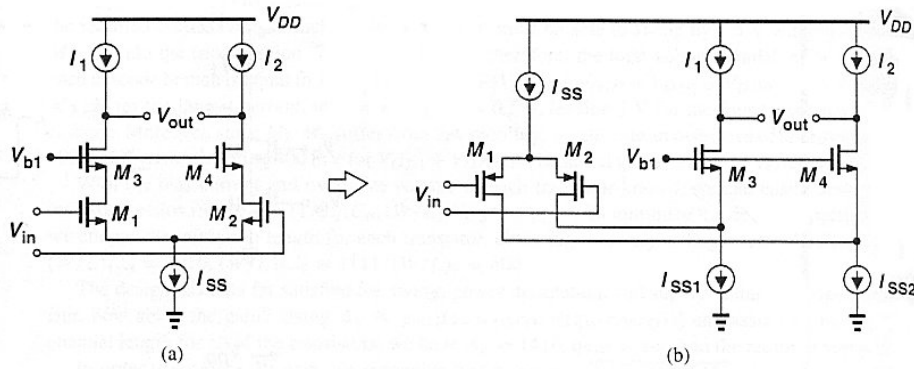


Figure 2. Folded cascode circuits.

Let us now calculate the maximum output voltage swing of the folded-cascode op amp shown in Fig. 3, where $M_5 - M_{10}$ replace the ideal current sources of Fig. 2(b). With proper choice of V_{b1} and V_{b2} , the lower end of the swing is given by $V_{OD3} + V_{OD5}$ and the upper end by $V_{DD} - (|V_{OD7}| + |V_{OD9}|)$. Thus, the peak-to-peak swing on each side is equal to $V_{DD} - (V_{OD3} + V_{OD5} + |V_{OD7}| + |V_{OD9}|)$. In an equivalent telescopic cascode, on the other hand, the swing is less by the overdrive of the tail current source. We should nonetheless note that, carrying a large current, M_5 and M_6 in Fig. 3 may require a high overdrive voltage if their capacitance contribution to nodes X and Y is to be minimized.

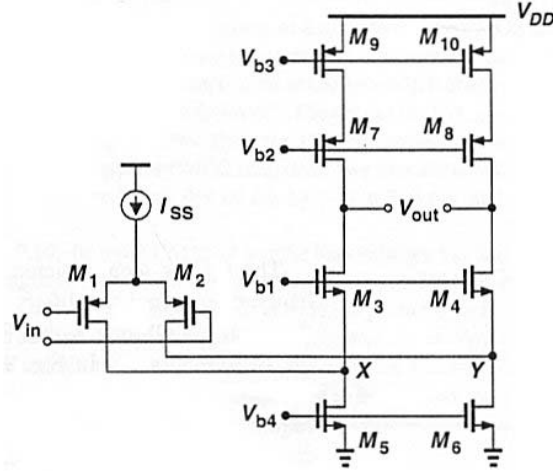


Figure 3. Folded cascode opamp with cascode PMOS loads.

We now determine the small-signal voltage gain of the folded-cascode op amp of Fig. 3. Using the half circuit depicted in Fig. 4(a) and writing $|A_v| = G_m R_{out}$ we must calculate G_m and R_{out} . As shown in Fig. 4(b), the output short-circuit current is approximately equal to the drain current of M_1 because the impedance seen looking into the source of M_3 , that is, $(g_{m3} + g_{mb3})^{-1}$, is typically much lower than $r_{o1} // r_{o5}$. Thus, $G_m \sim g_{m1}$. To calculate R_{out} , we use Fig. 57(c), with $R_{op} \sim (g_{m7} + g_{mb7})r_{o7} r_{o9}$, to write

$$R_{out} = R_{op} \parallel [(g_{m3} + g_{mb3}) r_{o3} (r_{o1} \parallel r_{o5})] \quad (\Gamma.1)$$

It follows that

$$|A_v| \sim g_{m1} \{[(g_{m3} + g_{mb3}) r_{o3} (r_{o1} \parallel r_{o5})] \parallel [(g_{m7} + g_{mb7}) r_{o7} \parallel r_{o9}]\} \quad (\Gamma.2)$$

How does this value compare with the gain of a telescopic opamp? For comparable device dimensions and bias currents, the PMOS input differential pair exhibits a lower transconductance than does an NMOS pair. Furthermore, r_{o1} and r_{o5} appear in parallel, reducing the output impedance, especially because M_5 carries the currents of both the input device and the cascode branch. As a consequence, the gain in (Γ.2) is usually two to three times lower than that of a comparable telescopic cascode.

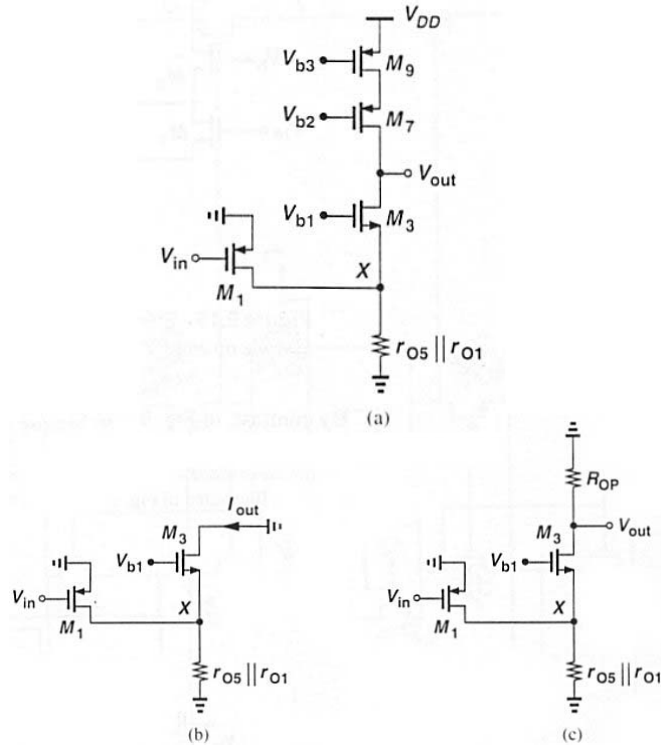


Figure 4. (a) Half-circuit of folded cascode opamp with cascode PMOS loads, (b) equivalent circuit of (a).

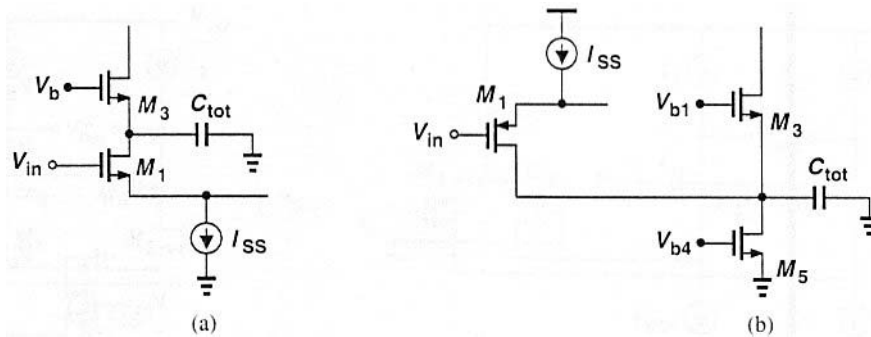


Figure 5. Effect of device capacitance on the non-dominant pole in telescopic and folded-cascode opamps.

It is also worth noting that the pole at the “folding point”, i.e. the sources of M_3 and M_4 , is quite closer to the origin than that associated to the source of cascode devices in a telescopic topology. In Fig. 5(a), C_{tot} arises from C_{GS3} , C_{SB3} , C_{DB1} and C_{GD1} . By contrast, in Fig. 5(b), C_{tot} contains additional contributions due to C_{GD5} and C_{DB5} , typically significant components because M_5 must be wide enough to carry a large current with a small overdrive.

A folded-cascode op amp may incorporate NMOS input devices and PMOS cascode transistors. Illustrated in Fig. 6, such a circuit potentially provides a higher gain than the op amp of Fig. 3 because of the greater mobility of NMOS devices, but at the cost of lowering the pole at the folding point. To understand why, note that the pole at node X is given by the product of $1/(g_{m3} + g_{mb3})$ and the total capacitance at this node. The magnitude of both of these components is relatively high: M_3 suffers from a low transconductance and M_5 contributes substantial capacitance because it must be wide enough to carry the drain currents of both M_1 and M_3 . In fact, for comparable bias currents, $M_5 - M_6$ in Fig. 6 may be several times wider than $M_5 - M_6$ in Fig. 3.

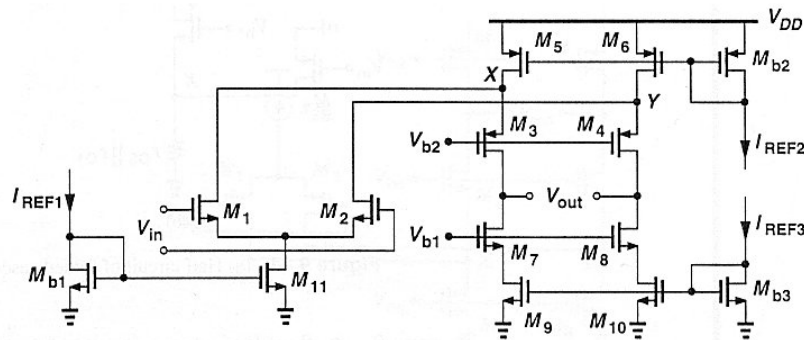


Figure 6. Realization of a folded-cascode opamp.

Our study thus far suggests that the overall voltage swing of a folded-cascode op amp is only slightly higher than that of a telescopic configuration. This advantage comes at the cost of higher power dissipation, lower voltage gain, and lower pole frequencies. Nonetheless, folded-cascode op amps are used quite widely, even more than telescopic topologies because the inputs and outputs can be shorted together and the choice of the input common-mode level is easier. In a telescopic op amp, three voltages must be defined carefully: the input CM level and the gate bias voltages of the PMOS and NMOS cascode transistors, whereas in folded-cascode configurations only the latter two are critical.

An important property of folded-cascode amps is the capability of handling input common-mode levels close to one of the supply rails. In Fig. 6, for example, the CM voltage at the gates of M_1 and M_2 can be equal to V_{DD} because $V_x = V_y = V_{DD} - 500 \text{ mV}$. By the same token, a similar topology using a PMOS input pair can accommodate input CM levels as low as zero.

ΠΑΡΑΡΤΗΜΑ Δ

The “push-pull” stage.

The push-pull stage consists of two complementary common-source transistors Q_1 and Q_2 allowing rail-to-rail output voltage swing. The gates of the two output transistors are normally driven by two in-phase ac signals separated by a dc voltage [19,20]. When the input signals are above their corresponding dc values, the drain current of the NMOS device will be larger than the drain current of the PMOS transistor, and hence the output stage pulls a current from the load. If, on the other hand, the input signals are below their dc values, the output stage sources more current than it sinks and thus it pushes a current into the load.

Another important feature of the output stage is the efficiency, which requires a high ratio between the maximum signal current that can be delivered to the load and the quiescent current of the output stage. To achieve this requirement, a class B biasing scheme can be used. Because an output stage using this type of biasing will provide a large output current with a quiescent current that is approximately zero. The drawback, however, is that output stages with class B biasing introduce a large crossover distortion. The distortion can be reduced by using a class A biasing scheme. However, the maximum output current of a class A biased output stage is equal to its quiescent current, which results in poor power efficiency for a rail-to-rail output signal.

A compromise can be achieved between crossover distortion and quiescent power dissipation by using an output stage that is biased between class A and class B. This is called the class AB biasing scheme. In the push-pull output stage of Fig. 61, the class AB biasing scheme can be accomplished by keeping the voltage between the gates of the output transistors constant. This principle is shown in Fig. 1. To make the quiescent current and the relation between the push and pull currents independent of the supply voltage and process variations, the voltage source V_{AB} in Fig. 1 has to track these parameters. Figure 2 shows the desired class AB transfer function, where the output transistors are biased with a small quiescent current, which improves the crossover distortion compared to a class B biased output stage. Also shown is the maximum output

current, which is much larger than the quiescent current and increases the power efficiency compared to a class A biased output stage. To further reduce the crossover distortion, the transistor that is not delivering the output current should be biased with a small amount of residual current. This current will eliminate the turn-on delay of the non-active output device, hence reducing the crossover distortion [21]. This minimum current is represented by I_{min} in Fig. 2.

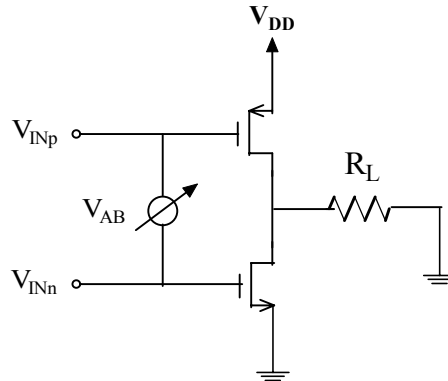


Figure 1. Push-pull CMOS output stage with class AB biasing.

Two other important parameters of the push-pull rail-to-rail output stage of Fig. 1 are the output voltage range and the maximum output current that is supplied to the load. To determine the output voltage range, first assume that the input signal voltage in Fig. 1 is increasing. This will cause the NMOS transistor to pull more current from the load, and thus the output voltage decreases. This process continues until the NMOS device ends up in the triode region and the output voltage becomes limited. The same happens for the PMOS device when the input signal decreases. The output voltage swing can be extended by maximizing the gate-to-source voltage swing and by choosing the largest possible W/L ratio for the output devices. The allowable gate-to-source voltage drive and the dimensions of the output transistors also determine the maximum output current of the output stage. In conclusion, an adequately designed class AB output stage should allow the gate-to-source voltage of the output transistors to get as close to the supply rail as possible.

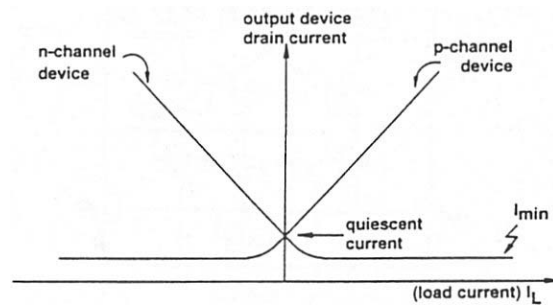


Figure 2. Output-stage current for class AB biasing.

A simple, yet very powerful technique that is based on the push-pull stage of Fig. 1 is shown in Fig. 2 [22]. The circuit consists of the push-pull output stage made of devices Q_1 and Q_2 . In this circuit, transistors Q_5 and Q_6 form a typical gain stage where the input signal alters the relative conduction levels of the common-gate devices. The class AB bias circuit sets up the two loops Q_1, Q_3 and Q_2, Q_4 that fix the voltage drop between the gates of the output devices.

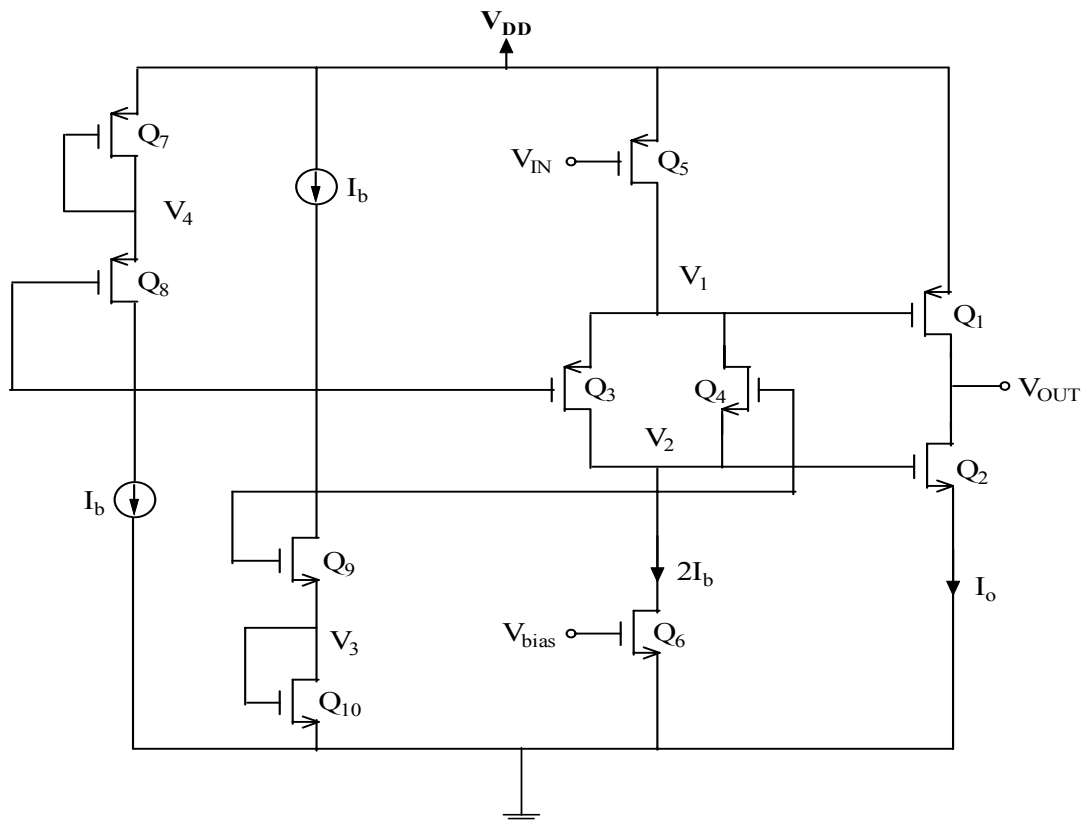


Figure 3. Rail-to-rail output stage with common-gate level shifters.

Referring to Fig. 3, the quiescent conditions of the output stage are established as follows. The complementary currents I_{b1} and I_{b2} ($I_{b1} = I_{b2} = I_b$) from the bias generator flow into complementary stacks of diode-connected transistors $Q_7 - Q_8$ and $Q_9 - Q_{10}$, whose drain potentials are used to bias the gates of the common-gate transistors Q_3 and Q_4 . In steady state the current $I = 2I_b$ through transistor Q_6 is equally divided between devices Q_3 and Q_4 , so that each one carries a current equal to I_b . Assuming that

$$\left(\frac{W}{L}\right)_4 = \left(\frac{W}{L}\right)_9 \quad (8.8)$$

$$\left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_8 \quad (8.9)$$

and since Q_3 , Q_8 and Q_4 , Q_9 carry the same drain currents I_b , they will have equal gate-to-source voltages and we have $V_2 = V_3$ and $V_1 = V_4$. As a result Q_2 , Q_{10} and Q_1 , Q_7 , will also have equal gate-to-source voltages and the steady-state output current is given by

$$I_o = I_b \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_7} = I_b \frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_{10}} \quad (129)$$

When the output stage is driven to sink a large load current v_{in} goes low and pulls v_1 and v_2 up to a high level close to V_{DD} . Under this condition Q_4 is completely shut off and Q_3 carries the full current of $I = 2I_b$ from Q_5 . The source of Q_3 rises to its maximum point, thus cutting back on the conduction of Q_1 . The drain of the common-gate device Q_3 also goes high, hence pulling the gate of Q_2 high, making it heavily conductive. Under the conditions of strong sourcing, V_{in} goes high causing v_1 and v_2 to be pulled low. In this case Q_3 is completely shut off and Q_4 carries the full current of $I = 2I_b$. The source of Q_4 pulls the gate of Q_1 low, hence making it highly conductive.

Βιβλιογραφία

- [1] <http://www.adsl.com>
- [2] K. Kwok, I. Verbesselt, D. Veneski, P. Y.B. Shieh, J. Loehndorf, R. Mwikalo, An Interoperable End-to-End Broadband Service Architecture over ADSL Systems, White Paper from Microsoft, Alcatel, Cisco, FORE, US Robotics and Westell Technologies, Version 1.0, June 1997.
<http://www.microsoft.com/hwdev/devdes/pubicnet.htm>
- [3] R. Aber, xDSL Local Loop Access Technology: Delivering Broadband Access over Copper Wires, 3Com Technical Paper, March 1999.
http://www.3com.com/technology/tech_net/white_papers/500624.html
- [4] http://www.dslforum.org/about_dsl.htm
- [5] <http://www.ansi.org/>
- [6] <http://www.etsi.org/>
- [7] <http://www.itu.int/home/index.html>
- [8] <http://www.iec.org/online/tutorials/vdsl/topic04.html>
- [9] <http://www.etsi.org/>
- [10] David A. Johns and Daniel Essig, “Integrated Circuits for Data Transmission over Twisted-Pair Channels”, IEEE Journal of Solid-State Circuits, vol. 32, no. 3, March 1997.
- [11] Patrick Siniscalchi, Jeanne K. Pitz, Richard K. Hester, Stewart M. DeSoto, Minsheng Wang, Sucheendran Sridharan, Robert L. Halbach, Donald Richardson, William Bright, Maher M. Sarraj, James R. Hellums, Christofer L. Betty and Glenn Westphal, “A CMOS ADSL Codec for Central Office Applications”, IEEE Journal of Solid-State Circuits, vol. 36, no. 3, March 2001.
- [12] “Design of Analog CMOS Integrated Circuits”, Behzad Razavi, Preview Edition, McGraw – Hill.
- [13] “Microelectronic Circuits”, Sedra/Smith, Third Edition, Saunders College Publishing.
- [14] “Introduction to CMOS Op-Amps and Comparators”, Roubik Gregorian, John Wiley & Sons, Inc.

- [15] J.N. Babanezhad, IEEE Journal of Solid-State Circuits, SC-23 (6), 1414-1417 (1988).
- [16] M. D. Pardoen and M.G. Degrauwe, IEEE Journal of Solid-State Circuits, SC-25 (2), 501-504 (1990).
- [17] J. H. Huijsing and D. Linebarger, "Low-voltage operational amplifier with rail-to-rail input and output ranges", IEEE Journal of Solid-State Circuits, SC-20 (2), pp. 1114-1150, Dec. 1985.
- [18] R. Hogervorst et al., "CMOS low-voltage operational amplifiers with constant- g_m rail-to-rail input stage", Analog Integrated Circuits Signal Processing, vol. 5, no. 2, pp. 135-146, March 1994.
- [19] R. Hogervorst, Design of low-voltage low-power CMOS operational amplifier cells, Ph. D. dissertation, Delft University, 1996.
- [20] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier and J. H. Huijsing, IEEE Journal of Solid-State Circuits, SC-29 (12), 1505-1513 (1994).
- [21] E. Seevinch, W. de Jager and P. Buitendijk, IEEE Journal of Solid-State Circuits, SC-23 (3), 794-801 (1988).
- [22] D. M. Montecelli, IEEE Journal of Solid-State Circuits, SC-25 (2), 501-504 (1990).
- [23] D. M. Montecelli, "A quad CMOS single-supply opamp with rail-to-rail output swing", IEEE Journal of Solid-State Circuits, SC-21, pp. 1021-1034, Dec. (1986).
- [24] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier and J. H. Huijsing, "A compact power-efficient 3-V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries, Digital ISSCC '94, Feb.1994, San Francisco, CA, pp.244-245.
- [25] R. Hogervorst, J. P. Tero, "Combination driver-summing circuit for rail-to-rail differential amplifier", US Pat. Appl., Ser. No. 36774, filed Mar. 25, 1993.