ΠΑΝΕΠΙΣΤΗΜΙΟ ΚΡΗΤΗΣ
ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ
ΤΜΗΜΑ ΕΠΙΣΤΗΜΗΣ ΥΠΟΛΟΓΙΣΤΩΝ

Αρχιτεκτονική και Υλοποίηση Γέφυρας Προσαρμογής για Δίκτυα ATM

Αθανάσιος Οικονόμου

Μεταπτυχιακή Εργασία

Ηράκλειο Κρήτης, Ιούνιος 2000

Αρχιτεκτονική και Υλοποίηση Γέφυρας Προσαρμογής για Δίκτυα ATM

Μεταπτυχιακή Εργασία
που υποβλήθηκε στην επιτροπή μεταπτυχιακών σπουδών
του Τμήματος Επιστήμης Υπολογιστών
της Σχολής Θετικών Επιστημών
του Πανεπιστημίου Κρήτης
ως μερική εκπλήρωση των απαιτήσεων για την απόκτηση του
ΔΙΠΛΩΜΑΤΟΣ ΜΕΤΑΠΤΥΧΙΑΚΗΣ ΕΙΔΙΚΕΥΣΗΣ

Συγγραφέας:

Αθανάσιος Οικονόμου,
Τμήμα Επιστήμης Υπολογιστών

Εισηγητική Επιτροπή:

Δημήτριος Σερπάνος, Επόπτης
(Αναπληρωτής Καθηγητής)

Μανόλης Κατεβαίνης, Μέλος
(Καθηγητής)

Απόστολος Τραγανίτης, Μέλος
(Αναπληρωτής Καθηγητής)

Δεκτή:

Πάνος Κωνσταντόπουλος,
Πρόεδρος Επιτροπής Μεταπτυχιακών Σπουδών
(Καθηγητής)

Ηράκλειο Κρήτης, Ιούνιος 2000

Αρχιτεκτονική και Υλοποίηση Γέφυρας Προσαρμογής για Δίκτυα ATM

Αθανάσιος Οικονόμου
Μεταπτυχιακή Εργασία

Τμήμα Επιστήμης Υπολογιστών
Πανεπιστήμιο Κρήτης

ΠΕΡΙΛΗΨΗ

Η τεχνολογία ATM είναι σημαντική για τη μεταφορά κίνησης πραγματικού και μη πραγματικού χρόνου σε υψηλές ταχύτητες. Παρά το γεγονός ότι τα δίκτυα ATM που είναι συμβατά με τα πρότυπα υποστηρίζουν έλεγχο ροής με βάση το ρυθμό μετάδοσης (rate-based flow control), τα δίκτυα ATM με έλεγχο ροής βασισμένο σε εισιτήρια (credit-based flow control) προσφέρουν μια ελκυστική εναλλακτική λύση για διασυνδέσεις υψηλής ταχύτητας, ειδικά για μεταφορά δεδομένων. Ο ATLAS-I είναι ένας μεταγωγέας ATM ενός chip, που υποστηρίζει έλεγχο ροής βασισμένο σε εισιτήρια και χρησιμοποιεί συνδέσμους HIC/HS στο φυσικό επίπεδο. Αποτελεί συστατικό στοιχείο μεγαλύτερων μεταγωγέων και διασυνδετικών δικτύων υψηλών ταχυτήτων. Τέτοια δίκτυα χρειάζεται να συνδεθούν με δίκτυα ATM που είναι συμβατά με τα πρότυπα, ώστε να είναι επεκτάσιμα σε ευρύτερη περιοχή. Για το σκοπό αυτό χρειάζονται ειδικές γέφυρες προσαρμογής οι οποίες παρέχουν τη διεπαφή μεταξύ των δύο αυτών τύπων δικτύων.

Στην παρούσα εργασία, παρουσιάζουμε μια πρωτότυπη γέφυρα προσαρμογής που συνδέει το μεταγωγέα ATLAS-I σε δίκτυα ATM συμβατά με τα πρότυπα, τα οποία χρησιμοποιούν συνδέσμους SONET στο φυσικό επίπεδο. Επίσης, περιγράφουμε τη σχεδίαση της σε hardware, βασισμένοι στην τεχνολογία FPGA. Το σύστημά μας υλοποιεί αποδοτική διαχείριση πολλαπλών ουρών, διαχείριση και τερματισμό του αλγορίθμου εισιτηρίων, μετάφραση VP/VC και εξυπηρέτηση κίνησης ως $622 Mbps$ ανά σύνδεσμο.

Architecture and Implementation of an Adaptation Bridge for ATM Networks

Athanasios Oikonomou
MSc Thesis

Department of Computer Science
University of Crete

ABSTRACT

ATM networking constitutes an important technology for high-speed transfer of real-time and non-real-time traffic. Although standard ATM networks support rate-based flow control, ATM networks with credit-based flow control provide an attractive solution for high-speed interconnections, especially for data. ATLAS-I is a single-chip ATM switch with support for credit-based flow control that uses HIC/HS as the physical layer. It is the building block for high-speed switches and interconnection networks. Such networks need to be connected to standard networks, in order to provide scalability over the wide area. We need to use special adaptation bridges to provide the interface for this connectivity.

In this thesis, we present a prototype adaptation bridge that connects the ATLAS-I switch to ATM networks that are standards-compliant, specifically over SONET physical layer. We also describe its hardware implementation, based on FPGA technology. Our system implements efficient multi-queue management, credit management and termination, VP/VC translation and supports data rates up to $622 Mbps$ per link.

ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω όλους όσους συνέβαλαν στην πραγματοποίηση της εργασίας αυτής. Πρώτον από όλους τον καθηγητή μου, κ. Δημήτριο Σερπάνο, για την συνολική του καθοδήγηση στην εργασία αυτή αλλά σε κάθε άλλη ακαδημαϊκή μου δραστηριότητα. Ο Μιχάλης Λυγεράκης (τεχνολόγος ηλεκτρολόγος μηχανικός του CARV-ΙΠ-ΙΤΕ[1]) με βοήθησε σημαντικά στη σχεδίαση του PCB, σχεδιάζοντας το layout με το Allegro. Η Ξένια Μουντρουΐδου (προπτυχιακή υπότροφος του CARV) ετοίμασε τα test vectors για τις προσομοιώσεις και τον έλεγχο της λογικής υλοποίησης. Ο Γιώργος Καλοκαιρινός (συντονιστής ψηφιακής σχεδίασης συστημάτων του CARV) και ο Γιώργος Κορνάρος (μηχανικός σχεδίασης VLSI του CARV) ήταν πάντα πρόθυμοι να βοηθήσουν σε οποιοδήποτε πρόβλημα, μικρό ή μεγάλο, που ανέκυπτε. Θα ήθελα επίσης να ευχαριστήσω το Μάνο Τζωρτζάκη (υπεύθυνο έργου από την εταιρία ΙΝΤΡΑΚΟΜ) για την εποικοδομητική συνεργασία που είχαμε και όποιον άλλο αισθάνεται ότι με τον τρόπο του βοήθησε στη διεξαγωγή αυτής της εργασίας.

Θα ήθελα ιδιαίτερα να ευχαριστήσω τα μέλη της εισηγητικής επιτροπής κ. Μανόλη Κατεβαίνη (καθηγητής Πανεπιστημίου Κρήτης) και κ. Απόστολο Τραγανίτη (αναπληρωτής καθηγητής Πανεπιστημίου Κρήτης) για το ενδιαφέρον που έδειξαν.

Τέλος, θα επιθυμούσα να ευχαριστήσω το Πανεπιστήμιο Κρήτης και το Ινστιτούτο Πληροφορικής του Ιδρύματος Τεχνολογίας και Έρευνας για την οικονομική και υλικοτεχνική τους υποστήριξη.

---

[1] **C**omputer **Ar**chitecture and **VLSI** Systems Division - **Ι**νστιτούτο **Π**ληροφορικής - **Ί**δρυμα **Τ**εχνολογίας και **Έ**ρευνας

ΠΕΡΙΕΧΟΜΕΝΑ

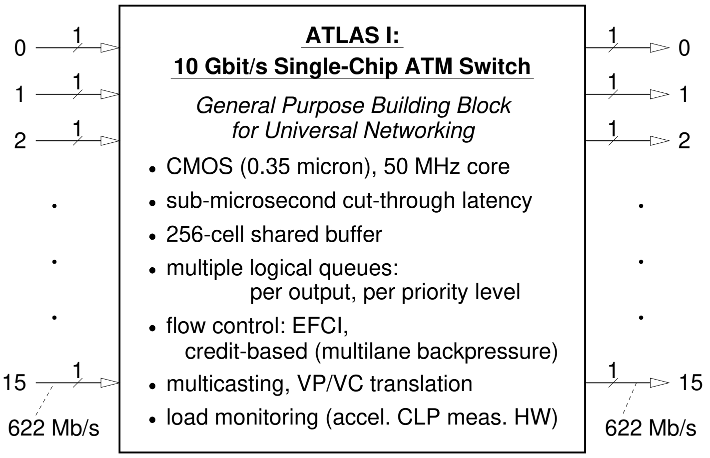
ΚΑΤΑΛΟΓΟΣ ΣΧΗΜΑΤΩΝ

ΚΑΤΑΛΟΓΟΣ ΠΙΝΑΚΩΝ

ΚΕΦΑΛΑΙΟ 1

ΕΙΣΑΓΩΓΗ

Η τεχνολογία ATM θεωρείται σημαντική τεχνολογία για τη μεταφορά κίνησης πραγματικού και μη πραγματικού χρόνου σε υψηλές ταχύτητες τόσο στα τοπικά όσο και στα ευρείας περιοχής δίκτυα [1][2]. Πιστεύουμε ότι η τεχνολογία ATM, επαυξημένη με έλεγχο ροής βασισμένο σε εισιτήρια (credit-based flow control), παρέχει επίσης μια ελκυστική λύση για διασυνδέσεις υψηλής ταχύτητας, ειδικά για μεταφορά δεδομένων. Ο ATLAS-I είναι ένας 16×16 μεταγωγέας ATM ενός chip, με σειριακούς δεσμούς από σημείο σε σημείο, των $622 Mbps$ ο καθένας [3][4][5][6]. Αποτελεί ένα γενικού σκοπού συστατικό στοιχείο για δίκτυα με υψηλή διαπερατότητα (throughput) και χαμηλή καθυστέρηση (latency), με credit-based flow control [7][8][9] και άλλα προηγμένα αρχιτεκτονικά χαρακτηριστικά, όπως φαίνεται και στο Σχήμα 1.1. Δίκτυα από ATLAS-I χρειάζεται να συνδεθούν με δίκτυα συμβατά με τα πρότυπα, έτσι ώστε να είναι επεκτάσιμα σε ευρύτερη περιοχή. Για το σκοπό αυτό χρειάζονται ειδικά συστήματα τα οποία θα παρέχουν την προσαρμογή της σύνδεσης αυτής.



Σχήμα 1.1: Επισκόπηση του chip ATLAS-I

Το MuQProI [9][10] ήταν η πρώτη προσπάθεια σχεδίασης ενός τέτοιου συστήματος. Το MuQProI είναι ένα πρωτότυπο βασισμένο στην τεχνολογία FPGA. Αποτελεί έναν 4×1 μεταγωγέα ATM ο οποίος διαχειρίζεται χιλιάδες ουρές κελιών (cells) σε hardware και εξυπηρετεί κίνηση στα $155 Mbps$

ανά σύνδεσμο, πάνω από HIC/HS. Χρειαζόμαστε ένα σύστημα όμως το οποίο να είναι ικανό να υποστηρίζει 622*Mbps* ανά σύνδεσμο, έτσι ώστε να εκμεταλλευτούμε όλη τη διαπερατότητα των συνδέσμων του ATLAS-I και επίσης να είναι εφικτή η διασύνδεση του ATLAS-I με δίκτυα που χρησιμοποιούν SONET.

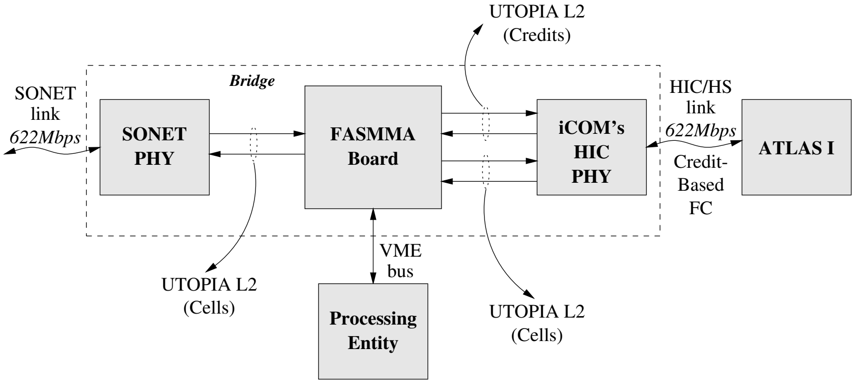
Για το σκοπό αυτό προτείνουμε ένα σύστημα ATM που λειτουργεί ως γέφυρα προσαρμογής ανάμεσα σε δύο δίκτυα ATM, ένα αποτελούμενο από μεταγωγείς ATLAS-I, στα 622*Mbps* ανά σύνδεσμο, με credit-based flow control πάνω από HIC/HS, και ένα δίκτυο συμβατό με το ATM Forum, στην ίδια ταχύτητα ανά σύνδεσμο πάνω από SONET, αλλά χωρίς credit-based flow control. Για να υποστηρίξουμε το ζητούμενο ρυθμό μετάδοσης χρειαζόμαστε σύγχρονη δυναμική μνήμη (Synchronous Dynamic RAM, SDRAM) για την αποθήκευση των κελιών, γιατί οι SDRAMs προσφέρουν και μεγάλη αποθηκευτική χωρητικότητα αλλά και μεγάλη διαπερατότητα [11]. Επίσης, επειδή είναι γνωστό ότι η διαχείριση μνήμης γενικά αποτελεί σημαντικό bottleneck στα συστήματα επικοινωνιών [12][13], πρέπει αυτή να είναι αποδοτική στο σύστημά μας. Για το λόγο αυτό έχει γίνει εντατική μελέτη σε θέματα διαχείρισης ουρών. Στα [14] και [15], παρουσιάζεται ο διαχειριστής ουρών του MuQProI. Αυτός είναι ικανός να εκτελεί πρωτογενείς λειτουργίες διαχείρισης ουρών, μία κάθε φορά, στα 30*MHz*. Όπως, όμως, θα διαπιστώσουμε στη συνέχεια, χρειαζόμαστε μια υλοποίηση που να είναι ικανή να λειτουργεί στα 50*MHz* και να εκτελεί, παράλληλα, περισσότερες από μία πρωτογενείς λειτουργίες, έτσι ώστε να υποστηρίζεται η απαιτούμενη διαπερατότητα. Το όλο σύστημα θα είναι μια επεκτάσιμη αρχιτεκτονική ικανή να προσφέρει προσαρμογή και για επόμενες υλοποιήσεις του ATLAS-I που θα έχουν μεγαλύτερες απαιτήσεις σε διαπερατότητα.

Το υπόλοιπο αυτού το κειμένου είναι οργανωμένο ως εξής. Το Κεφάλαιο 2 παρουσιάζει τη γέφυρα υπό το πρίσμα του περιβάλλοντος στο οποίο χρησιμοποιείται. Στο Κεφάλαιο 3 δίνουμε μια λειτουργική περιγραφή υψηλού επιπέδου του συστήματος. Αναλύουμε όλες τις λειτουργίες που συμβαίνουν στο σύστημα χωρίς όμως να συζητήσουμε πως αυτές υλοποιούνται στο hardware. Η αρχιτεκτονική της γέφυρας παρουσιάζεται στο Κεφάλαιο 4, όπου φαίνονται όλα τα modules σε hardware και οι μεταξύ τους διασυνδέσεις. Το Κεφάλαιο 5 είναι το μεγαλύτερο σε έκταση και αναλύει σε λεπτομέρεια την υλοποίηση κάθε module. Λεπτομέρειες σχετικές με την κάρτα τυπωμένου κυκλώματος πάνω στην οποία έχει υλοποιηθεί το σύστημά μας δίνονται στο Κεφάλαιο 6. Στο Κεφάλαιο 7 δίνουμε κάποια συμπερασματικά σχόλια. Τα Παραρτήματα προσφέρουν περισσότερες λεπτομέρειες σχετικά με τις διεπαφές που ακολουθούν τα πρότυπα, την κατανομή των pins της FPGA και τη μορφή των κελιών ATM και των credits. Στο τελευταίο Παράρτημα παρέχεται μια λίστα με τα ακρώνυμα και τις συντομογραφίες που υπάρχουν σε αυτό το κείμενο.

ΚΕΦΑΛΑΙΟ 2

ΤΟ ΠΕΡΙΒΑΛΛΟΝ ΤΟΥ ΣΥΣΤΗΜΑΤΟΣ

Σκοπός του κεφαλαίου αυτού είναι να περιγράψουμε τη γέφυρα βασισμένοι στο περιβάλλον στο οποίο θα χρησιμοποιηθεί. Στο Σχήμα 2.1, η γέφυρα αποτελείται από ό,τι περικλείεται στο διακεκομμένο ορθογώνιο. Κάθε σκιασμένο τετράγωνο της γέφυρας παριστάνει μία ξεχωριστή κάρτα τυπωμένου κυκλώματος. Η γέφυρα έχει τρεις διαφορετικές πόρτες διασύνδεσης με τον εξωτερικό κόσμο: δύο για μεταφορά δεδομένων μεταξύ των δικτύων και μία για αρχικοποίηση, έλεγχο και διαχείριση.



Σχήμα 2.1: Το περιβάλλον της γέφυρας

- **Πόρτες μεταφοράς δεδομένων μεταξύ των δικτύων:**
    - Ένας πλήρως αμφίδρομος, στα $622Mbps$, σύνδεσμος HIC/HS, ο οποίος συνδέει τη γέφυρα με ένα chip ATLAS-I, όπως φαίνεται στα δεξιά του σχήματος[1].

---

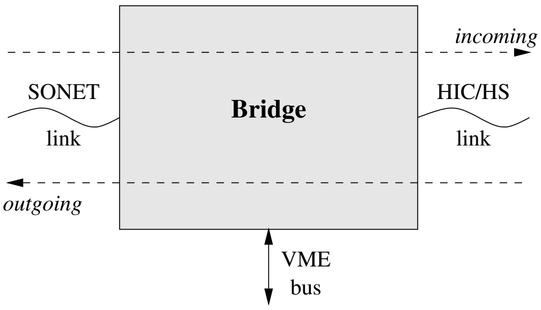
[1] Η κατεύθυνση "δεξιά" είναι σχετική ως προς το διακεκομμένο ορθογώνιο του σχήματος. Δεν σημαίνει κάτι όσο αφορά τη φυσική θέση στην κάρτα. Το ίδιο ισχύει και για όλες τις διεπαφές που φαίνονται στο συγκεκριμένο σχήμα. Λεπτομέρειες για την ακριβή θέση των διεπαφών του τυπωμένου κυκλώματος με όνομα FASMMA Board υπάρχουν στο Κεφάλαιο 6.

  - Ένας πλήρως αμφίδρομος, στα $622Mbps$, σύνδεσμος SONET, ο οποίος συνδέει τη γέφυρα με ένα σύστημα συμβατό με το ATM Forum, όπως φαίνεται στα αριστερά του σχήματος.

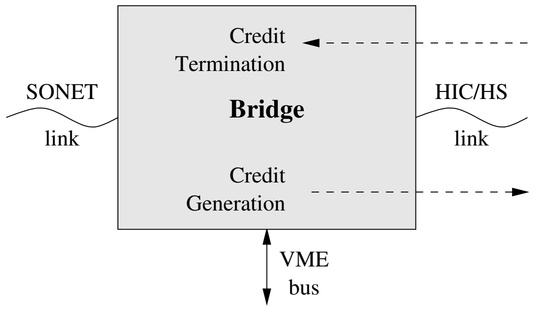
- **Πόρτα αρχικοποίησης, ελέγχου και διαχείρισης:**
  - Ένα VME bus για σύνδεση σε οποιοδήποτε επεξεργαστή χρησιμοποιεί το bus αυτό.

Όπως φαίνεται στο Σχήμα 2.1, η γέφυρα αποτελείται από τρία κύρια blocks, το κάθε ένα από τα οποία βρίσκεται σε διαφορετική κάρτα:

- **SONET PHY**. Το block αυτό είναι υπεύθυνο για τη μετατροπή των σημάτων του συνδέσμου SONET σε δύο διεπαφές UTOPIA Level 2 (UTOPIA-2) [16] για μεταφορά κελιών.
- **iCOM's HIC PHY**. Το block αυτό σχεδιάστηκε από την εταιρία ΙΝΤΡΑΚΟΜ και μετατρέπει τα σήματα του συνδέσμου HIC/HS σε τέσσερις διεπαφές UTOPIA-2, δύο για μεταφορά κελιών και δύο για μεταφορά credits.
- **FASMMA Board**. Η λογική του block αυτού σχεδιάστηκε από το συγγραφέα και υλοποιεί όλη τη λογική λειτουργικότητα της γέφυρας προσαρμογής, συμπεριλαμβανομένων και των άφιξη/αναχώρηση κελιών, διαχείριση μνήμης/ουρών, τερματισμός του αλγορίθμου για credits και προγραμματισμός αναχωρήσεων. Το όνομα του προέρχεται από τη φράση *FASt Memory MAnager*.



Σχήμα 2.2: Τα δύο δυνατά μονοπάτια των κελιών μέσω της γέφυρας

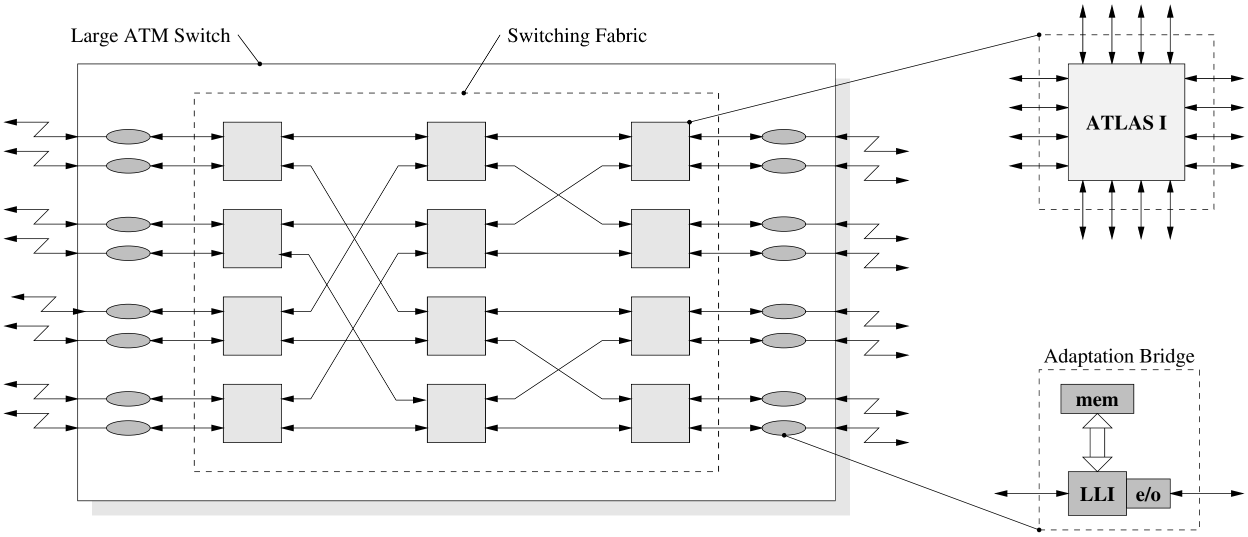


Σχήμα 2.3: Τα credits είναι ενεργά μόνο στην πλευρά του HIC/HS

Στο Σχήμα 2.2 φαίνονται, με διακεκομμένα βέλη, τα δύο δυνατά μονοπάτια που μπορούν να ακολουθήσουν τα κελιά ATM μέσα από τη γέφυρα. Κελιά τα οποία φθάνουν στη γέφυρα από το σύνδεσμο SONET πρέπει να φύγουν από το σύνδεσμο HIC/HS και αντίστροφα. Δεν αφικνούνται/αναχωρούν κελιά προς/από τον επεξεργαστή, που σημαίνει ότι δεν επιτελείται εξέταση κελιών OAM. Καλούμε *εισερχόμενη (incoming)* την κατεύθυνση των κελιών από το σύνδεσμο SONET προς αυτόν του HIC/HS και *εξερχόμενη (outgoing)* την αντίστροφη. Τα ονόματα έχουν την προέλευση τους από την οπτική γωνία του chip ATLAS-I.

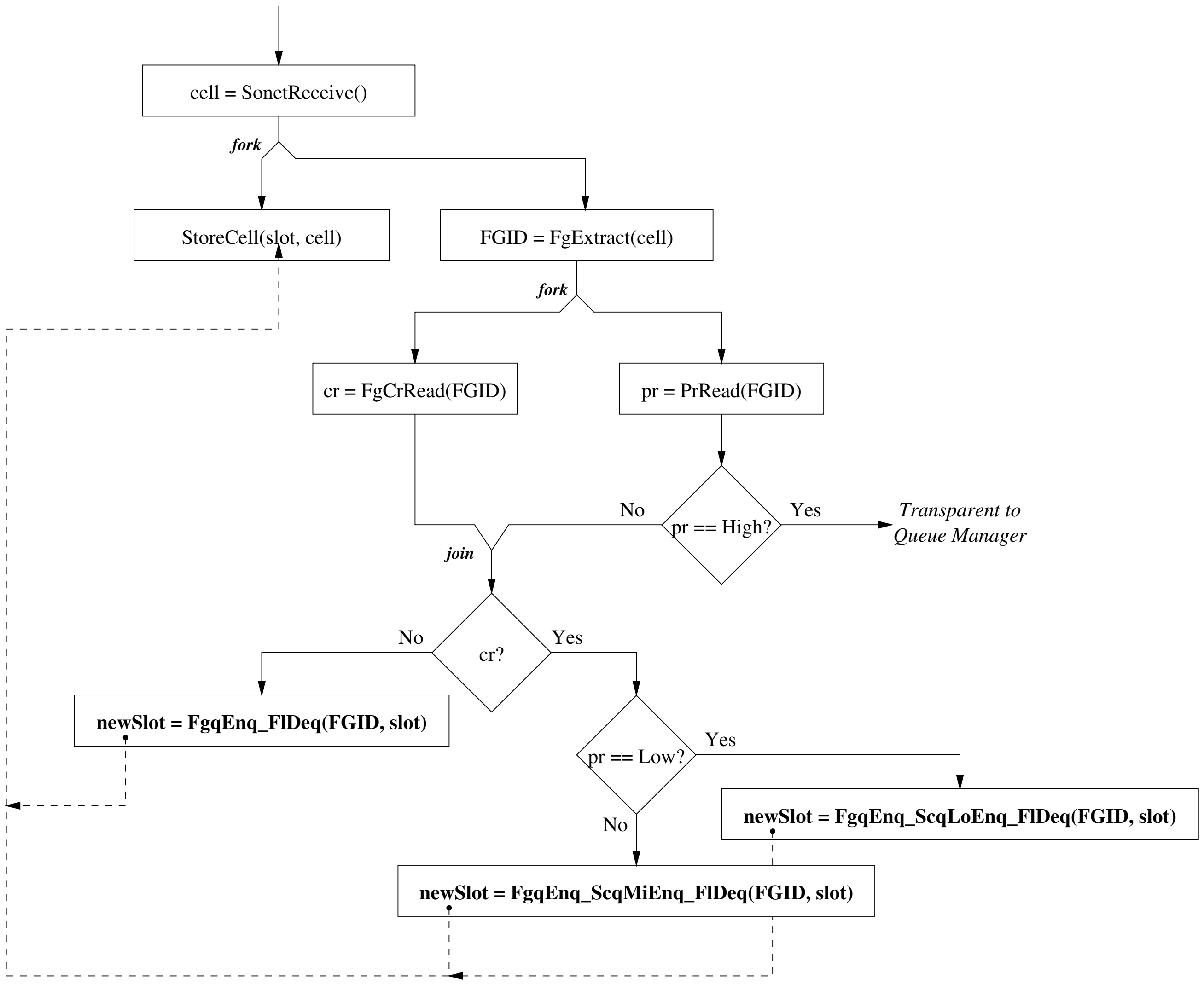
Τα credits παίζουν ρόλο μόνο στην πλευρά του HIC/HS. Credits αφικνούνται από το σύνδεσμο HIC/HS, χρησιμοποιούνται από τη γέφυρα αλλά δεν προωθούνται στο σύνδεσμο SONET.

Επίσης, η γέφυρα παράγει credits τα οποία στέλνονται στον ATLAS-I για κανονική λειτουργία. Η κατάσταση αυτή δείχνεται στο Σχήμα 2.3. Ο πλήρης αλγόριθμος των credits παρουσιάζεται στην υποενότητα 3.1.2.



Σχήμα 2.4: Η γέφυρα σε ένα μεγάλο μεταγωγέα ATM

Το Σχήμα 2.4 παρουσιάζει τη θέση της γέφυρας σε ένα μεγάλο μεταγωγέα ATM. Ο μεταγωγέας αποτελείται από ένα na sqhi ttl%ffazL(O)ggffnff(sk.)jffpoio n(ASMMA)34usiBoardh(seL(im(w3



Σχήμα 5.10: Άφιξη κελιού από το SONET (βελτιωμένη έκδοση)

μέσα σε μια πρωτογενή λειτουργία και αν σχεδιάσουμε τον Queue Manager έτσι ώστε να εκτελεί περισσότερες από μια πρωτογενή λειτουργία κάθε στιγμή.

Τα Σχήματα 5.10–5.12 είναι νέες, βελτιωμένες εκδόσεις των αντιστοίχων σχημάτων της ενότητας 3.3. Στα νέα αυτά σχήματα, οι λειτουργίες του Queue Manager δείχνονται με έντονα γράμματα. Είναι σύνθετες εντολές, οι οποίες συνθέτονται συνδυάζοντας περισσότερες από μία πρωτογενείς λειτουργίες. Θα τις εξετάσουμε καθώς μελετούμε τα σχήματα ξεχωριστά στις επόμενες παραγράφους. Επίσης, λειτουργίες που υποτίθεται ότι εκτελούνταν από τον Queue Manager στα πρώτα σχήματα αλλά τώρα εκτελούνται από τον Incoming Controller έχουν σημειωθεί με τις λέξεις *IC locally* (τοπικά στον Incoming Controller).

Στο πρώτο βελτιωμένο σχήμα, φαίνονται οι λειτουργίες για την άφιξη κελιού από το SONET. Δε ζητείται πλέον στην αρχή της άφιξης νέο slot όπως γινόταν στο παλιότερο σχήμα. Θα δούμε ότι το νέο slot βρίσκεται στο τέλος της προηγούμενης άφιξης. Το διάγραμμα ροής ανακατασκευάστηκε ώστε ο Incoming Controller να επικοινωνεί μόνο μια φορά με τον Queue Manager. O Incoming

Controller ζητά από τον Queue Manager να κάνει μία από τις ακόλουθες σύνθετες εντολές, ανάλογα με την προτεραιότητα του κελιού και με το αν έχει credit ή όχι:

1. **Όνομα:** {`empty, newSlot`} = `FgqEnq_FlDeq(FGID, slot)`
   Συντίθεται από: `FgqEnq, FlDeq, FlIsEmpty`
   Ορίσματα: `FGID`, καθορίζει σε ποια FGQ θα γίνει η λειτουργία. `slot`, το στοιχείο προς εισαγωγή.
   Επιστρέφει: `empty`, μια ένδειξη που δείχνει την κατάσταση της FL. `newSlot`, το πρώτο στοιχείο της FL.
   Περιγραφή: Εισάγει το `slot` στην υπ' αριθμό `FGID` ουρά FGQ. Επίσης, βγάζει το πρώτο slot από την FL και το επιστρέφει (`newSlot`). Αν, μετά από αυτό, η FL γίνει κενή η ένδειξη `empty` γίνεται 1.
   Πότε χρησιμοποιείται: Στις αφίξεις κελιών χωρίς credit.

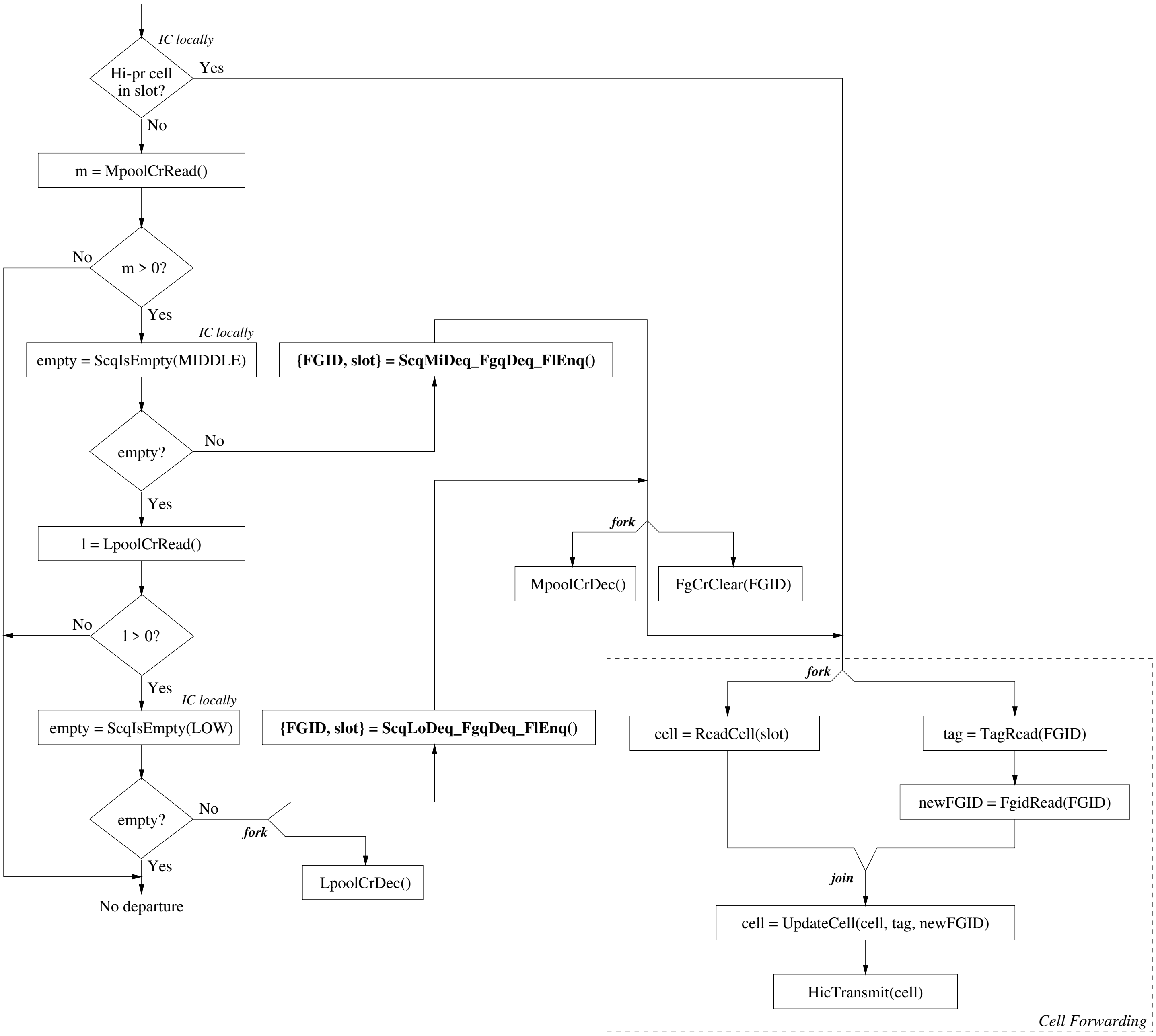
2. **Όνομα:** {`empty, newSlot`} = `FgqEnq_ScqMiEnq_FlDeq(FGID, slot)`
   Συντίθεται από: `FgqEnq, ScqMiEnq, FlDeq, FlIsEmpty`
   Ορίσματα: `FGID`, καθορίζει σε ποια FGQ θα γίνει η λειτουργία, αλλά είναι και το στοιχείο προς εισαγωγή στη Middle SCQ. `slot`, το στοιχείο προς εισαγωγή στην FGQ.
   Επιστρέφει: `empty`, μια ένδειξη που δείχνει την κατάσταση της FL. `newSlot`, το πρώτο στοιχείο της FL.
   Περιγραφή: Εισάγει το `slot` στην υπ' αριθμό `FGID` ουρά FGQ και το `FGID` στην Middle SCQ. Επίσης, βγάζει το πρώτο slot από την FL και το επιστρέφει (`newSlot`). Αν, μετά από αυτό, η FL γίνει κενή η ένδειξη `empty` γίνεται 1.
   Πότε χρησιμοποιείται: Στις αφίξεις κελιών Μεσαίας προτεραιότητας με credit.

3. **Όνομα:** {`empty, newSlot`} = `FgqEnq_ScqLoEnq_FlDeq(FGID, slot)`
   Συντίθεται από: `FgqEnq, ScqLoEnq, FlDeq, FlIsEmpty`
   Ορίσματα: `FGID`, καθορίζει σε ποια FGQ θα γίνει η λειτουργία, αλλά είναι και το στοιχείο προς εισαγωγή στη Low SCQ. `slot`, το στοιχείο προς εισαγωγή στην FGQ.
   Επιστρέφει: `empty`, μια ένδειξη που δείχνει την κατάσταση της FL. `newSlot`, το πρώτο στοιχείο της FL.
   Περιγραφή: Εισάγει το `slot` στην υπ' αριθμό `FGID` ουρά FGQ και το `FGID` στην Low SCQ. Επίσης, βγάζει το πρώτο slot από την FL και το επιστρέφει (`newSlot`). Αν, μετά από αυτό, η FL γίνει κενή η ένδειξη `empty` γίνεται 1.
   Πότε χρησιμοποιείται: Στις αφίξεις κελιών Χαμηλής προτεραιότητας με credit.

Γίνεται τώρα ξεκάθαρο ότι στο επιστρεφόμενο slot από κάθε μία από αυτές τις εντολές μπορεί να χρησιμοποιηθεί για την αποθήκευση ενός νεοεισερχόμενου κελιού. Αν η ένδειξη `empty` γίνει 1, ο Incoming Controller θα "παγώσει" (stall) τον Cell Buffer Controller ώστε να μη δεχτεί άλλα κελιά μέχρι κάποιο slot να ελευθερωθεί[1].

---

[1] Βασικά, η ένδειξη `empty` ειδοποιεί ότι η FL μόλις έγινε κενή, αλλά το slot που επιστράφηκε μπορεί να χρησιμοποιηθεί. Ο Cell Buffer Controller θα ειδοποιηθεί ώστε να μη δέχεται άλλα κελιά ένα Cell Time αργότερα, αν δεν έχει ελευθερωθεί κάποιο slot.



Σχήμα 5.11: Αναχώρηση κελιού προς τον ATLAS-I (βελτιωμένη έκδοση)

Στο Σχήμα 5.11 όλες οι πρωτογενείς λειτουργίες του Queue Manager έχουν συγχωνευτεί μόνο σε δύο σύνθετες εντολές. Και σε αυτήν την περίπτωση, το πολύ μία από αυτές μπορεί να εκτελεστεί σε ένα Cell Time. Αυτές είναι:

4. **Όνομα:** `{empty, FGID, slot} = ScqMiDeq_FgqDeq_FlEnq()`
   Συντίθεται από: `ScqMiDeq, FgqDeq, FgqIsEmpty, FlEnq`
   Ορίσματα: Κανένα.
   Επιστρέφει: `FGID`, το πρώτο στοιχείο της Middle SCQ. `slot`, το πρώτο στοιχείο της υπ' αριθμό `FGID` ουράς FGQ.
   Περιγραφή: Πρώτα εξάγει το πρώτο `FGID` από τη Middle SCQ, το οποίο και επιστρέφεται. Μετά, εξάγει το πρώτο `slot` από την υπ' αριθμό `FGID` ουρά FGQ, που επίσης επιστρέφεται. Αν, μετά από αυτό, η FGQ γίνει κενή, τότε η ένδειξη `empty` γίνεται 1. Τέλος, εισάγει το `slot` στην FL.
   Πότε χρησιμοποιείται: Στις αναχωρήσεις κελιών Μεσαίας προτεραιότητας.

5. **Όνομα:** `{empty, FGID, slot} = ScqLoDeq_FgqDeq_FlEnq()`
   Συντίθεται από: `ScqLoDeq, FgqDeq, FgqIsEmpty, FlEnq`
   Ορίσματα: Κανένα.
   Επιστρέφει: `FGID`, το πρώτο στοιχείο της Low SCQ. `slot`, το πρώτο στοιχείο της υπ' αριθμό `FGID` ουράς FGQ.
   Περιγραφή: Πρώτα εξάγει το πρώτο `FGID` από τη Low SCQ, το οποίο και επιστρέφεται. Μετά, εξάγει το πρώτο `slot` από την υπ' αριθμό `FGID` ουρά FGQ, που επίσης επιστρέφεται. Αν, μετά από αυτό, η FGQ γίνει κενή, τότε η ένδειξη `empty` γίνεται 1. Τέλος, εισάγει το `slot` στην FL.
   Πότε χρησιμοποιείται: Στις αναχωρήσεις κελιών Χαμηλής προτεραιότητας.

Τέλος, στο Σχήμα 5.12, έχουμε αφαιρέσει τον έλεγχο `FgqIsEmpty(FGID)`, που εμφανιζόταν στο Σχήμα 3.12. Αυτό γίνεται γιατί αλλάξαμε τη σημασιολογία των λειτουργιών `ScqMiEnq` και `ScqLoEnq` που θεωρούνται πλέον ως σύνθετες εντολές:

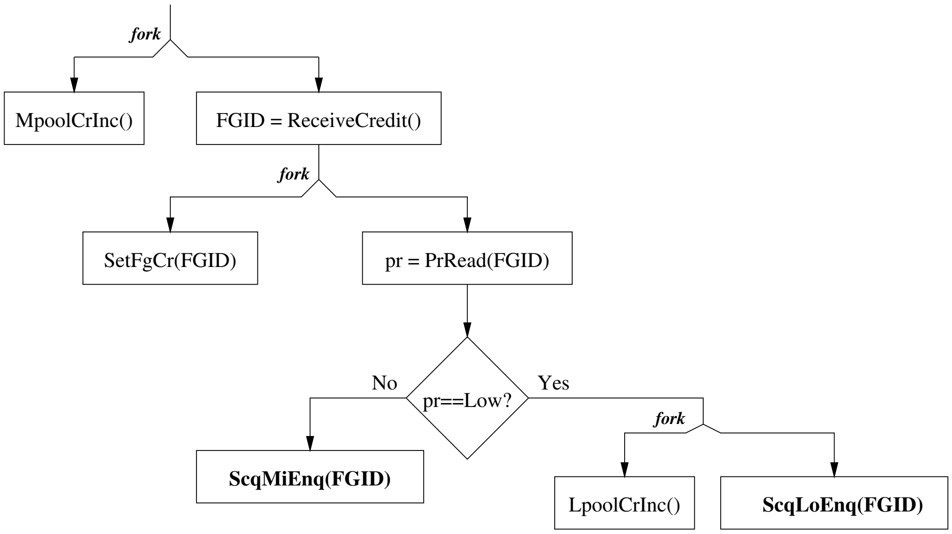
6. **Όνομα:** `empty = ScqMiEnq(FGID)`
   Συντίθεται από: `ScqMiEnq, ScqMiIsEmpty`
   Ορίσματα: `FGID`, το στοιχείο προς πιθανή εισαγωγή.
   Επιστρέφει: `empty`, μια ένδειξη της κατάστασης της ουράς **FGQ[FGID]**.
   Περιγραφή: Πρώτα ελέγχει την κατάσταση της ουράς FGQ[FGID]. Αν είναι κενή, κάνει την ένδειξη `empty` 1 και τερματίζεται χωρίς να πραγματοποιήσει τη λειτουργία `ScqMiEnq`. Αν δεν είναι κενή, τότε πραγματοποιεί και την `ScqMiEnq`.
   Πότε χρησιμοποιείται: Στις αφίξεις credits Μεσαίας προτεραιότητας.

7. **Όνομα:** `empty = ScqLoEnq(FGID)`
   Συντίθεται από: `ScqLoEnq, ScqLoIsEmpty`
   Ορίσματα: `FGID`, το στοιχείο προς πιθανή εισαγωγή.

Επιστρέφει: `empty`, μια ένδειξη της κατάστασης της ουράς **FGQ**[**FGID**].

Περιγραφή: Πρώτα ελέγχει την κατάσταση της ουράς FGQ[FGID]. Αν είναι κενή, κάνει την ένδειξη `empty` 1 και τερματίζεται χωρίς να πραγματοποιήσει τη λειτουργία `ScqLoEnq`. Αν δεν είναι κενή, τότε πραγματοποιεί και την `ScqLoEnq`.

Πότε χρησιμοποιείται: Στις αφίξεις credits Χαμηλής προτεραιότητας.



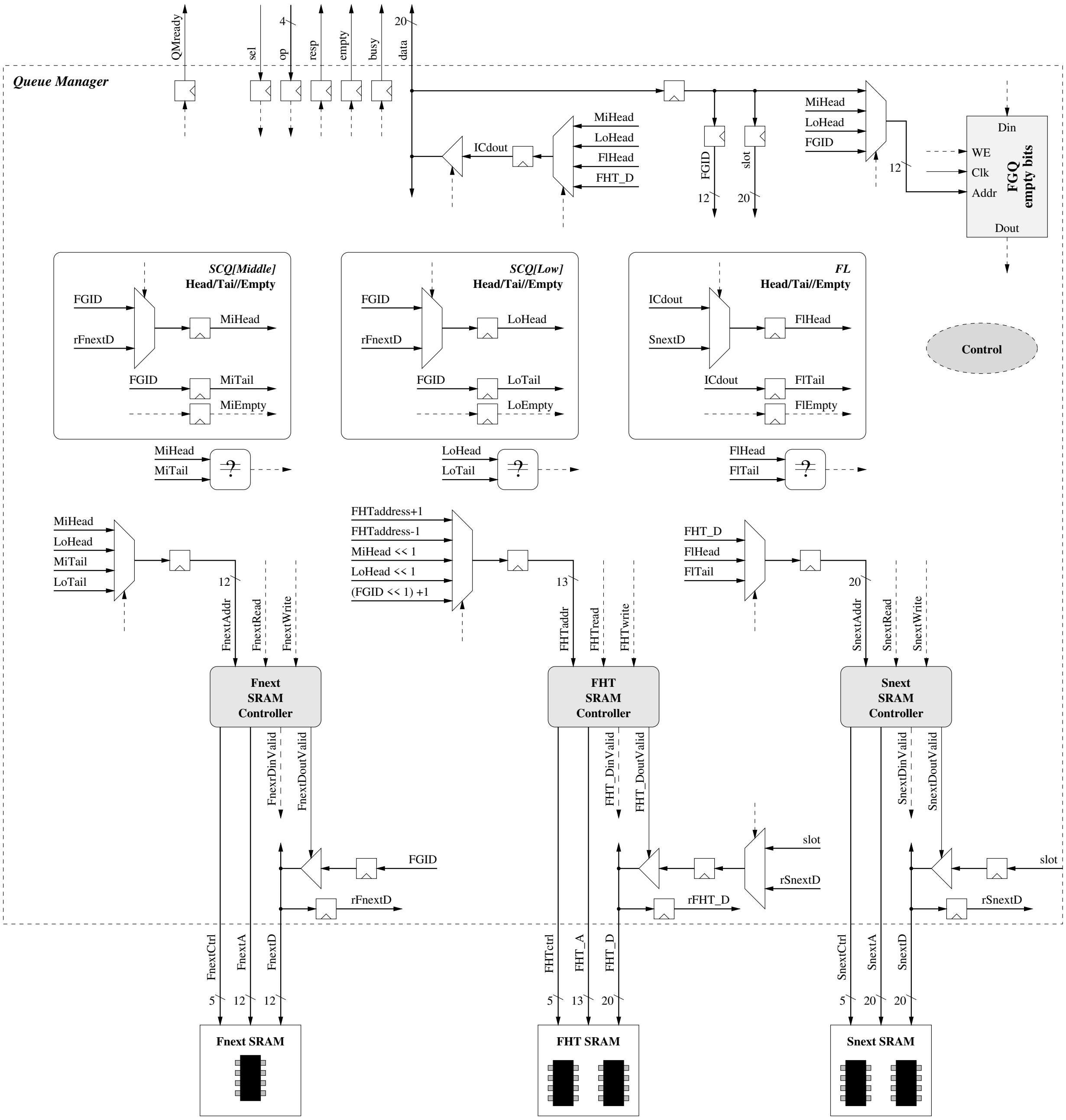
Σχήμα 5.12: Άφιξη credit από τον ATLAS-I (βελτιωμένη έκδοση)

5.3.5 Τελική Υλοποίηση του Queue Manager

Το datapath του Queue Manager, το οποίο υλοποιεί τις 7 σύνθετες εντολές που παρουσιάσαμε προηγουμένως, φαίνεται στο Σχήμα 5.13. Στο επάνω μέρος του Σχήματος, δείχνουμε τα σήματα προς/από τον Incoming Controller. Αυτά περιγράφονται στον Πίνακα 5.7.

Στο κάτω μέρος του Σχήματος 5.13 φαίνονται τα SRAM chips που χρησιμοποιήθηκαν. Αυτά συνθέτουν τις μνήμες FHT, Snext και Fnext. Κάθε μία από αυτές ελέγχεται από έναν **Ελεγκτή SRAM (SRAM Controller)**. Οι SRAM Controllers είναι modules σχεδιασμένα ώστε να απομονώνουν τις λεπτομέρειες των διεπαφών SRAM από την υπόλοιπη λογική. Είναι παραμετροποιήσιμα ως προς το πλάτος της διεύθυνσης SRAM. Ο Πίνακας 5.9 περιγράφει τα σήματα του module SRAM Controller.

Τα FGQ empty bits έχουν υλοποιηθεί με σύγχρονη RAM εσωτερικά στην FPGA. Τα empty bits των άλλων ουρών είναι απλά flip-flops και οι δείκτες τους head και tail είναι καταχωρητές. Τα τελευταία στοιχεία φαίνονται στα λευκά ορθογώνια κουτιά. Κάθε δείκτης head συγκρίνεται με τον αντίστοιχο tail για να αποφασιστεί αν μια ουρά γίνει κενή μετά από μια λειτουργία `*Deq`. Το module **Control** είναι η FSM, πηγή και προορισμός των διακεκομμένων γραμμών ελέγχου. Η FSM είναι υπεύθυνη για το συγχρονισμό των προσβάσεων στις SRAMs ώστε να επιτυγχάνεται αποδοτική διαχείριση και για τον έλεγχο της σωστής ροής των δεδομένων στο υπόλοιπο datapath. Στα Σχήματα 5.14–5.20 φαίνονται τα διαγράμματα ροής που περιγράφουν πλήρως τη λειτουργία



Σχήμα 5.13: Το datapath του Queue Manager

Όνομα	**Κατεύθυνση** (Ως προς τον Queue Manager)	**Περιγραφή**
QMready	Έξοδος	Γίνεται 0 κατά την αρχικοποίηση του Queue Manager μετά το reset του συστήματος. Όταν ο Queue Manager είναι έτοιμος να λειτουργήσει κανονικά κάνει το σήμα αυτό 1.
sel	Είσοδος	Γίνεται 1 για έναν κύκλο από τον Incoming Controller όταν θέλει να δώσει νέα εντολή προς εκτέλεση στον Queue Manager. Στον ίδιο κύκλο πρϊϊϊϊϊϊϊϊϊϊϊϊϊϊϊλϊϊϊϊϊϊιφηϊΦ

ïΦΘï ´ïïïïβïΟνοïσïμïμïïïïïïλïïïïïïïïïïïωïΚïμïατεύθυνïïïλïïïλïïïïïïïïïïïωïΠεριγραφïïïïïïïïïλïïïïïïïïïïïïïοïïïïïïïïïïοïïïïïïïïïïïïïαïΦΚïïïïπïΦ

ΚΕΦΑΛΑΙΟ 7

ΣΥΜΠΕΡΑΣΜΑΤΑ ΚΑΙ ΜΕΛΛΟΝΤΙΚΗ ΔΟΥΛΕΙΑ

Σε αυτήν την εργασία παρουσιάσαμε τη λειτουργικότητα, την αρχιτεκτονική και την υλοποίηση μιας γέφυρας προσαρμογής μεταξύ ενός δικτύου που χρησιμοποιεί μεταγωγείς ATM ATLAS-I, HIC/HS ως φυσικό επίπεδο και Credit-Based Flow Control και ενός δικτύου ATM συμβατού με τα πρότυπα που χρησιμοποιεί SONET ως φυσικό επίπεδο. Είδαμε ότι τα κύρια στοιχεία της γέφυρας είναι:

- Ρυθμοί μετάδοσης ως $622Mbps$ ανά σύνδεσμο
- Τερματισμός του Credit-Based Flow Control
- Μετάφραση VP/VC και cell tagging
- Αποδοτική διαχείριση πολλαπλών ουρών
    - ανά Flow Group
    - ανά επίπεδο προτεραιότητας

Όλη η λογική του συστήματος υλοποιήθηκε σε μια επαναπρογραμματιζόμενη FPGA. Για να παρέχουμε την απαραίτητη ενταμίευση με την υψηλή απαιτούμενη διαπερατότητα χρησιμοποιήσαμε φθηνή SDRAM. Ο Queue Manager μελετήθηκε εκτεταμένα. Συγκρίναμε δύο τύπους ουρών σχετικά με τη διαπερατότητα που απαιτούσε το καθένα από τις μνήμες και ως προς το πλήθος των μνημών που το καθένα χρειαζόταν για να υλοποιηθεί. Για να αποφευχθεί το bottleneck από την σειριακή εκτέλεση πρωτογενών λειτουργιών, συνθέσαμε εντολές ικανές να εκτελούν πρωτογενείς λειτουργίες παράλληλα. Χρησιμοποιήθηκαν SRAM chips για την υλοποίηση των δομών δεδομένων του Queue Manager. Η τελική υλοποίηση της λογικής είναι ικανή να τρέξει σε ταχύτητα $51.28MHz$, που είναι μεγαλύτερη από την απαιτούμενη ταχύτητα των $50MHz$. Το όλο σύστημα μπορεί να αρχικοποιηθεί και να ελεγχθεί μέσω ενός VME bus.

Όλη η υλοποίηση βρίσκεται σε μια χάρτα τυπωμένου κυκλώματος με διαστάσεις $16.28cm \times 23.49cm$. Η χάρτα μπορεί να επαναχρησιμοποιηθεί σε οποιαδήποτε άλλη ψηφιακή εφαρμογή που απαιτεί/χρειάζεται μια FPGA, SDRAM και SRAM chips. Η μοναδική ενέργεια που απαιτείται είναι ο επαναπρογραμματισμός της FPGA. Για ευκολία έχει τοποθετηθεί μια διεπαφή παράλληλης πόρτας στην κάρτα ώστε να μπορεί να επικοινωνεί με ένα PC αντί για το πιο περίπλοκο VME bus. Υπάρχουν, επίσης, πολλοί connectors στους οποίους μπορεί να συνδεθεί οποιαδήποτε άλλη συσκευή έχει τις κατάλληλες διεπαφές.

Το σύστημα που σχεδιάσαμε είναι πρωτότυπο. Στο μέλλον, μπορεί να επεκταθεί με περισσότερο περίπλοκες λειτουργίες, όπως πιο καλά μελετημένους τρόπους εξαγωγής του Flow Group από τα κελιά, μετάφραση περισσότερων bits του VP/VC, στατιστικές μετρήσεις και άλλες. Μπορεί επίσης να κάνει την εξερχόμενη κατεύθυνση πιο περίπλοκη υλοποιώντας και σε αυτήν λειτουργίες άλλες από την απλή προώθηση των κελιών, ανάλογα με τα πρότυπα του δικτύου στο οποίο συνδέεται η γέφυρα.

ΒΙΒΛΙΟΓΡΑΦΙΑ

[1] M. Batubara, A. McGregor, *"An Introduction to B-ISDN and ATM"*, MONASH Australia's International University, Faculty of Computing and Information Technology, Department of Robotics and Digital Technology, Technical Report 93/14, Sept. 1993.

[2] S. Keshav, *"An Engineering Approach to Computer Networking: ATM Networks, the Internet, and the Telephone Network"*, Addison-Wesley, pp. 47–64.

[3] M. Katevenis, D. Serpanos, P. Vatsolaki, *"ATLAS I: A General-Purpose, Single-Chip ATM Switch with Credit-Based Flow Control"*, Proceedings of the IEEE Hot Interconnects IV Symposium, Stanford, California, USA, Aug. 15–17, 1996.

[4] M. Katevenis, P. Vatsolaki, *"ATLAS I: A Single-Chip ATM Switch with HIC Links and Multi-Lane Back-Pressure"*, EMSYS 96 Conference, Berlin, Germany, Sept. 1996.

[5] G. Kornaros, D. Pnevmatikatos, P. Vatsolaki, G. Kalokerinos, C. Xanthaki, D. Mavroidis, D. Serpanos, M. Katevenis, *"Implementation of ATLAS I: a Single-Chip ATM Switch with Backpressure"*, Proceedings of the IEEE Hot Interconnects VI Symposium, Stanford, California, USA, Aug. 13–15, 1998.

[6] G. Kornaros, D. Pnevmatikatos, P. Vatsolaki, G. Kalokerinos, C. Xanthaki, D. Mavroidis, D. Serpanos, M. Katevenis, *"ATLAS I: Implementing a Single-Chip ATM Switch with Backpressure"*, IEEE Micro magazine, pp. 30–41, Jan.–Feb. 1999.

[7] M. Katevenis, D. Serpanos, E. Spyridakis, *"Credit-Flow-Controlled ATM for MP Interconnection: the ATLAS I Single-Chip ATM Switch"*, Proceedings of the 4th International Symposium on High-Performance Computer Architecture (HPCA-4), pp. 47–56, Las Vegas, Nevada, USA, Feb. 1998.

[8] M. Katevenis, *"Buffer Requirements of Credit-Based Flow Control when a Minimum Draining Rate is Guaranteed"*, 4th IEEE Workshop on Architecture and Implementation of High Performance Communication Subsystems (HPCS '97), Chalkidiki, Greece, Jun. 1997. `file://ftp.ics.forth.gr/tech-reports/1997/1997.HPCS97.drain_cr_buf.ps.gz`

[9] M. Katevenis, D. Serpanos, E. Spyridakis, *"Switching Fabrics with Internal Backpressure using the ATLAS I Single-Chip ATM Switch*, GLOBECOM '97 Conference Proceedings (S7.6), Phoenix, AZ, USA, Nov. 1997.

[10] M. Katevenis, D. Serpanos, E. Markatos, *"Multi-Queue Management and Scheduling for Improved QoS in Communication Networks"*, Proceedings of the European Multimedia Microprocessor Systems and Electronic Commerce (EMMSEC '97), Florence, Italy, Nov. 1997.

[11] G. Glykopoulos, *"Design and Implementation of a 1.2 GBit/s ATM Cell Buffer using a Synchronous DRAM chip"*, Foundation for Research and Technology-Hellas (FORTH), Institute of Computer Science (ICS), Technical Report 221, Jul. 1998.
`file://ftp.ics.forth.gr/tech-reports/1998/1998.TR221.ATM_Cell_Buffer_using_SDRAM.ps.gz`

[12] H. Meleis, D. Serpanos, *"Designing Communication Subsystems for High-Speed Networks"*, IEEE Network magazine, pp. 40–46, Jul. 1992.

[13] D. Serpanos, *"Communication Subsystems for High-Speed Networks: ATM Requirements"*, In ATM, Proceedings of TRICOMM '93, Raleigh, North Carolina, pp. 31–38, Apr. 26–27, 1993.

[14] D. Serpanos, P. Karakonstantis, *"Scalable Memory Management for ATM Systems"*, March 1995.

[15] P. Karakonstantis, *"Effective Memory Management for High-Speed ATM Networks"*, University of Crete, Dept. of Computer Science, MSc Thesis, Nov. 1998.

[16] The ATM Forum Technical Committe, *"UTOPIA Level 2.0, Version 1.0"*, af-phy-0039.000, June 1995,
`ftp://ftp.atmforum.com/pub/approved-specs/af-phy-0039.000.pdf`

[17] The ATM Forum Technical Committe, *"ATM User-Network Interface Specification"*, af-uni-0010.002, 1994
`ftp://ftp.atmforum.com/pub/approved-specs/af-uni-0010.002.pdf`

[18] Mesquite Software, Inc., *"User's Guide: CSIM18 Simulation Engine (C Version)"*,
`http://www.mesquite.com`

[19] Altera, *"MAX+PLUS II Getting Started"*.

[20] Wade D. Peterson, *"The VMEbus Handbook"*, third edition, VITA publications, 1992.

[21] *"FLEX 10KE Embedded Programmable Logic Family Data Sheet"*, ver. 2.02, August 1999,
`http://www.altera.com/document/ds/dsf10ke.pdf`

[22] Cypress $32K \times 16$ Static RAM,
`http://www.cypress.com/cypress/prodgate/sram/cy7c1020v.html`

[23] Toshiba $1M \times 16$ CMOS Static RAM,
`http://www.semicon.toshiba.co.jp/pdf_e/docweb123/ea09053.pdf`

ΠΑΡΑΡΤΗΜΑ Α

ΠΡΟΤΥΠΟΠΟΙΗΜΕΝΕΣ ΔΙΕΠΑΦΕΣ

Α.1 ΔΙΕΠΑΦΕΣ UTOPIA-2

Στους Πίνακες Α.1–Α.4, περιγράφουμε τα σήματα UTOPIA Level 2.0 που χρησιμοποιούνται στο σύστημά μας. Οι διεπαφές που χρησιμοποιούνται για μεταφορά κελιών έχουν οριστεί από την ATM Forum Technical Commitee. Για ολόκληρο το πρότυπο, αναφερθείτε στο [16]. Για αυτές τις διεπαφές έχει υιοθετηθεί *χειραψία επιπέδου κελιών (cell-level handshaking).* Οι διεπαφές που χρησιμοποιούνται για τη μεταφορά credits έχουν οριστεί από την εταιρία ΙΝΤΡΑΚΟΜ.

Όνομα	**Κατεύθυνση** (Ως προς τη συσκευή ATM, δηλαδή τη γέφυρα)	**Περιγραφή**
TxData[15:0]	Έξοδος	Data. Δεδομένα πλάτους 16 bit οδηγούμενα από το επίπεδο ATM προς το PHY. Το bit *TxData[15]* είναι το πιο σημαντικό.
TxSOC	Έξοδος	Start Of Cell. Σήμα active high που ενεργοποιείται από το επίπεδο ATM όταν τα *TxData* μεταφέρουν τα πρώτα δύο έγκυρα Bytes του κελιού.
*TxEnb**	Έξοδος	Enable. Σήμα active low που ενεργοποιείται από το επίπεδο ATM στους κύκλους κατά τους οποίους τα *TxData* μεταφέρουν έγκυρα δεδομένα του κελιού.
TxFull/TxClav*	Είσοδος	Full/Cell Available. Για έλεγχο ροής επιπέδου Byte, το *TxFull** είναι ένα σήμα active low από το επίπεδο PHY στο ATM, που ενεργοποιείται από το πρώτο για να δείξει ότι θα γίνουν δεκτές το πολύ 4 μεταφορές δεδομένων ακόμα. Για έλεγχο ροής επιπέδου κελιού, το *TxClav* είναι ένα σήμα active high από το επίπεδο PHY στο ATM, που ενεργοποιείται από το πρώτο για να δείξει ότι μπορεί να δεχτεί τη μεταφορά ενός πλήρους κελιού.
TxClk	Έξοδος	Clock. Ρολόι συγχρονισμού μεταφορών των *TxData* που παρέχεται από το επίπεδο ATM στο PHY.
TxPrty	Έξοδος	Parity. Το *TxPrty* είναι η περιττή ισοτιμία των *TxData[15:0]*, που οδηγείται από το επίπεδο ATM.

Πίνακας Α.1: Περιγραφή της διεπαφής Cell Transmit (Tx) UTOPIA-2

Όνομα	**Κατεύθυνση** (Ως προς τη συσκευή ATM, δηλαδή τη γέφυρα)	**Περιγραφή**
RxData[15:0]	Είσοδος	Data. Δεδομένα πλάτους 16 bit οδηγούμενα από το επίπεδο PHY προς το ATM. To bit *RxData[15]* είναι το πιο σημαντικό.
RxSOC	Είσοδος	Start Of Cell. Σήμα active high που ενεργοποιείται από το επίπεδο PHY όταν τα *RxData* μεταφέρουν τα πρώτα δύο έγκυρα Bytes του κελιού.
*RxEnb**	Έξοδος	Enable. Σήμα active low που ενεργοποιείται από το επίπεδο ATM για να δείξει ότι στο τέλος του επόμενου κύκλου θα δειγματοληφθούν τα *RxEnb** και *RxData*.
RxEmpty/RxClav*	Είσοδος	Empty/Cell Available. Για έλεγχο ροής επιπέδου Byte, το *RxFull** είναι ένα σήμα active low από το επίπεδο PHY στο ATM, που ενεργοποιείται από το πρώτο για να δείξει ότι στον τρέχων κύκλο δεν υπάρχουν έγκυρα δεδομένα προς το επίπεδο ATM. Για έλεγχο ροής επιπέδου κελιού, το *RxClav* είναι ένα σήμα active high από το επίπεδο PHY στο ATM, που ενεργοποιείται από το πρώτο για να δείξει ότι έχει προς μεταφορά στο επίπεδο ATM ένα πλήρες κελί. Και στις δύο περιπτώσεις, το σήμα αυτό υποδεικνύει κύκλους στους οποίους υπάρχει έγκυρη πληροφορία στα *RxData* και *RxSOC*.
RxClk	Έξοδος	Clock. Ρολόι συγχρονισμού μεταφορών των *RxData* που παρέχεται από το επίπεδο ATM στο PHY.
RxPrty	Είσοδος	Parity. Το *RxPrty* είναι η περιττή ισοτιμία των *RxData[15:0]*, που οδηγείται από το επίπεδο PHY.

Πίνακας A.2: Περιγραφή της διεπαφής Cell Receive (Rx) UTOPIA-2

Όνομα	**Κατεύθυνση** (Ως προς τη συσκευή ATM, δηλαδή τη γέφυρα)	**Περιγραφή**
TxData[15:0]	Έξοδος	Data. Δεδομένα πλάτους 16 bit οδηγούμενα από το επίπεδο ATM προς το PHY. Το bit *TxData[15]* είναι το πιο σημαντικό.
*TxEnb**	Έξοδος	Enable. Σήμα active low που ενεργοποιείται από το επίπεδο ATM στους κύκλους κατά τους οποίους τα *TxData* μεταφέρουν έγκυρα δεδομένα του credit.
TxCrav	Είσοδος	Credit Available. Το *TxClav* είναι ένα σήμα active high από το επίπεδο PHY στο ATM, που ενεργοποιείται από το πρώτο για να δείξει ότι μπορεί να δεχτεί τη μεταφορά ενός πλήρους credit.
TxClk	Έξοδος	Clock. Ρολόι συγχρονισμού μεταφορών των *TxData* που παρέχεται από το επίπεδο ATM στο PHY.
TxAux[1:0]	Έξοδος	Auxiliary. Τα σήματα αυτά δεν έχουν οριστεί και δε χρησιμοποιούνται στην τρέχουσα υλοποίηση.

Πίνακας Α.3: Περιγραφή της διεπαφής Credit Transmit (Tx) UTOPIA-2

Όνομα	**Κατεύθυνση** (Ως προς τη συσκευή ATM, δηλαδή τη γέφυρα)	**Περιγραφή**
RxData[15:0]	Είσοδος	Data. Δεδομένα πλάτους 16 bit οδηγούμενα από το επίπεδο PHY προς το ATM. Το bit *RxData[15]* είναι το πιο σημαντικό.
*RxEnb**	Έξοδος	Enable. Σήμα active low που ενεργοποιείται από το επίπεδο ATM για να δείξει ότι τα *RxData* θα δειγματοληφθούν στο τέλος του επόμενου κύκλου.
RxCrav	Είσοδος	Credit Available. Το *RxClav* είναι ένα σήμα active high από το επίπεδο PHY στο ATM, που ενεργοποιείται από το πρώτο για να δείξει ότι έχει προς μεταφορά στο ATM ένα πλήρες credit.
RxClk	Έξοδος	Clock. Ρολόι συγχρονισμού μεταφορών των *RxData* που παρέχεται από το επίπεδο ATM στο PHY.
RxAux[1:0]	Είσοδος	Auxiliary. Τα σήματα αυτά δεν έχουν οριστεί και δε χρησιμοποιούνται στην τρέχουσα υλοποίηση.

Πίνακας Α.4: Περιγραφή της διεπαφής Credit Receive (Rx) UTOPIA-2

A.2 VME BUS

Το VME bus περιγράφεται πλήρως στο [20]. Στον Πίνακα A.5 παραθέτουμε μια σύντομη περιγραφή των σημάτων που χρησιμοποιούνται στο σύστημά μας. Η γέφυρα είναι σκλάβος (slave) πάνω στο VME bus.

Όνομα	**Κατεύθυνση** (Ως προς τη γέφυρα)	**Περιγραφή**
A[23:1]	Είσοδος	Address. Οδηγούνται από bus masters. Κατά τις μεταφορές δεδομένων, χρησιμοποιούνται για να διαδώσουν διευθύνσεις τύπου standard των 24 bits.
AM[5:0]	Είσοδος	Address modifier code. Οδηγούνται από bus masters. Συνοδεύει μια διεύθυνση και δείχνει τόσο το μέγεθος όσο και τον τύπο της μεταφοράς διεύθυνσης. Χρησιμοποιείται από τους bus slaves για να αποφασίσουν ποιες γραμμές διεύθυνσης να αποκωδικοποιήσουν.
*AS**	Είσοδος	Address strobe. Οδηγείται από bus masters και είναι active low. Όταν ενεργοποιείται δείχνει ότι στο bus έχουν τοποθετηθεί έγκυρη διεύθυνση και address modifier.
*LWORD**	Είσοδος	Long word. Οδηγείται από bus masters και είναι active low. Χρησιμοποιείται σε συνδυασμό με τα *A[1]* και *DS** για να δείξει το μέγεθος της τρέχουσας μεταφοράς δεδομένων.
*WRITE**	Είσοδος	Write. Οδηγείται από bus masters και είναι active low. Δείχνει την κατεύθυνση των δεδομένων πάνω στο bus. Τίθεται σε έναν κύκλο εγγραφής και απενεργοποιείται σε έναν κύκλο ανάγνωσης.
D[15:0]	Είσοδος-Έξοδος	Data. Οδηγείται από bus masters ή slaves. Σήματα διπλής κατεύθυνσης που χρησιμοποιούνται για μεταφορά δεδομένων.
*DS[1:0]**	Είσοδος	Data strobes. Οδηγούνται από bus masters και είναι active low. Εξυπηρετούν στην υπόδειξη όχι μόνο έγκυρων δεδομένων αλλά και του μεγέθους και ευθυγράμμισης των μεταφορών δεδομένων όταν συνδυάζεται με το *LWORD** και το *A[1]*.
*DTACK**	Έξοδος	Data transfer acknowledge. Οδηγείται από bus slaves και είναι active low. Κατά τους κύκλους εγγραφής, το *DTACK** ενεργοποιείται αφού ο slave έχει κάνει latch τα δεδομένα από το data bus. Κατά τους κύκλους ανάγνωσης, το *DTACK** ενεργοποιείται αφού τα έγκυρα δεδομένα έχουν τοποθετηθεί στο data bus.

Πίνακας A.5: Περιγραφή των σημάτων του VME bus που χρησιμοποιούνται στο σύστημά μας

A.3 ΔΙΕΠΑΦΕΣ ΜΝΗΜΩΝ

A.3.1 Διεπαφή SDRAM

Ο Πίνακας A.6 περιγράφει τα σήματα ενός SDRAM DIMM των 168 pins που χρησιμοποιούνται στο σύστημά μας. Δεν έχουμε υλοποιήσει τη διεπαφή SPD (πρωτόκολλο I^2C, 2 καλωδίων). Για μια πλήρη περιγραφή της λειτουργίας ενός SDRAM DIMM των 168 pins αναφερθείτε στο σχετικό datasheet οποιασδήποτε εταιρίας. Datasheets για SDRAM της εταιρίας Micron, στην οποία στηρίξαμε την υλοποίησή μας, μπορείτε να βρείτε στο `http://www.micron.com/mti/msp/html/datasheet.html`.

Όνομα	**Κατεύθυνση** (Ως προς την SDRAM)	**Περιγραφή**
RAS, CAS*, WE**	Είσοδοι	Row address select, column select, write enable. Είσοδοι εντολών: (μαζί με τα *S[3:0]**) καθορίζουν την εντολή που δίνεται.
CK[3:0]	Είσοδος	Clock. Οδηγούνται από το ρολόι του συστήματος. Όλα τα σήματα εισόδου της SDRAM δειγματοληπτούνται στην θετική ακμή του *CK*. Το ρολόι επίσης αυξάνει τον εσωτερικό μετρητή burst και ελέγχει τους καταχωρητές εξόδου.
CKE[1:0]	Είσοδος	Clock enable. Τα *CKE[1:0]* ενεργοποιούν (1) και απενεργοποιούν (0) τα σήματα *CK*. Στο σύστημά μας, τα σήματα αυτά έχουν κολληθεί στο λογικό 1 (Vcc).
*S[3:0]**	Είσοδος	Chip select. Τα S^* επιτρέπουν (0) και αποτρέπουν (1) την αποκωδικοποίηση των εντολών. Όλες οι εντολές γίνονται masked όταν τα S^* είναι 1. Τα S^* θεωρούνται μέρος του κωδικού εντολής. Στο σύστημά μας, έχουν κολληθεί στο λογικό 0 (Gnd).
DQMB[7:0]	Είσοδος	Input/output mask. Είναι σήματα εισόδου mask στις προσβάσεις εγγραφής και σήματα επίτρεψης εξόδου στις προσβάσεις ανάγνωσης. Στο σύστημά μας, έχουν κολληθεί στο λογικό 1 (Vcc).
BA[1:0]	Είσοδος	Bank address. Καθορίζουν σε ποια bank εφαρμόζονται οι εντολές ACTIVE, READ, WRITE ή PRECHARGE.
A[11:0]	Είσοδος	Διεύθυνση.
DQ[63:0]	Είσοδος-Έξοδος	Data I/Os. Δίαυλος δεδομένων.

Πίνακας Α.6: Περιγραφή σημάτων ενός SDRAM DIMM των 168 pins

A.3.2 Διεπαφή SRAM

Στον Πίνακα A.7 δίνουμε μια περιγραφή των σημάτων μια στατικής RAM, βασισμένοι στο datasheet της Toshiba $1M \times 16$ bits [23]. Το άλλο SRAM chip που χρησιμοποιήθηκε στο σύστημά μας, η Cypress $32K \times 16$ bits [22], διαφέρει μόνο στα ονόματα μερικών σημάτων και στο πλάτος της διεύθυνσης.

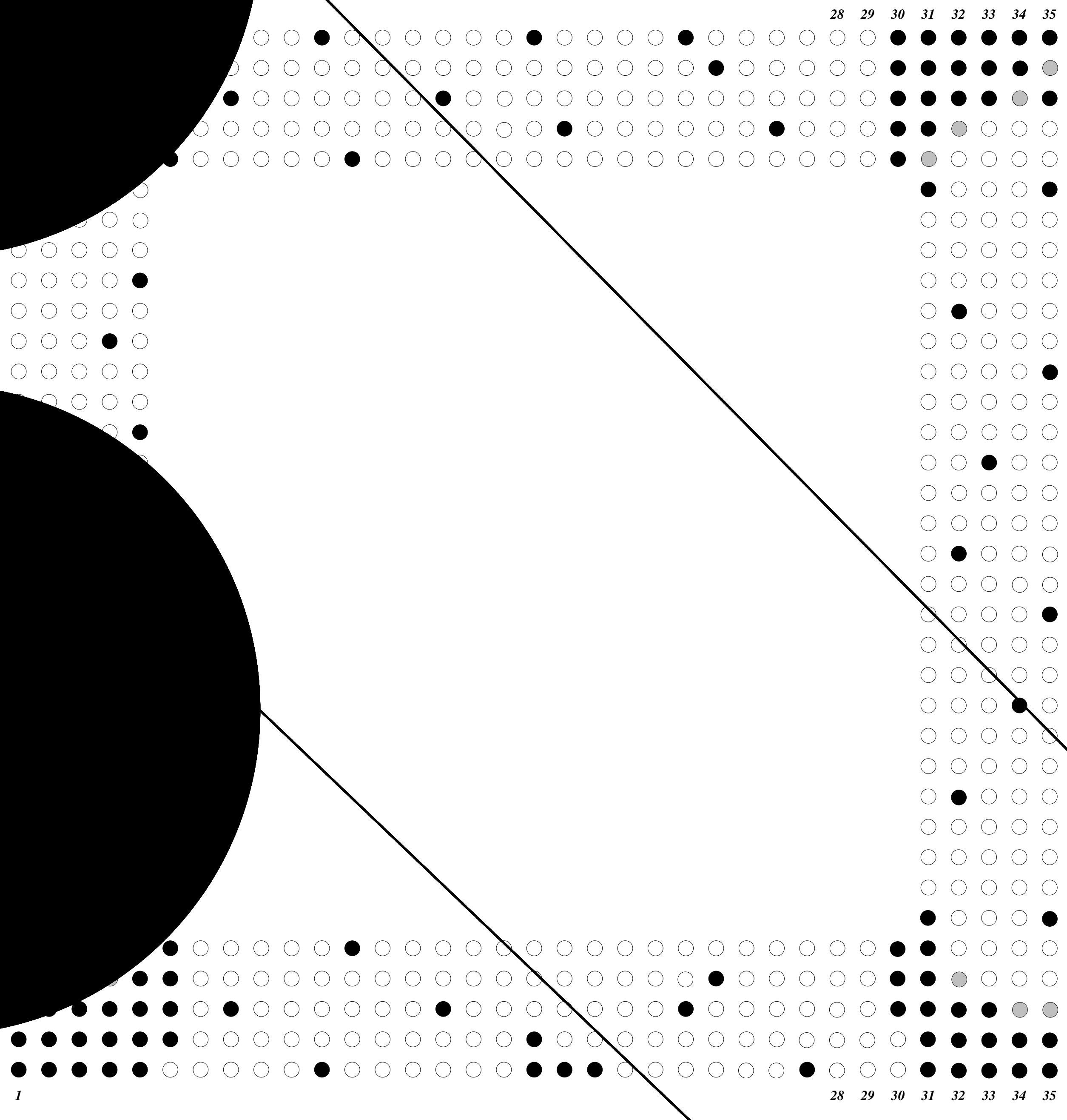
Όνομα	**Κατεύθυνση** (Ως προς την SRAM)	**Περιγραφή**
A[19:0]	Είσοδος	Διεύθυνση.
I/O[16:1]	Είσοδος-έξοδος	Data I/Os. Δίαυλος δεδομένων.
*CE**	Είσοδος	Chip enable. Το chip λειτουργεί μόνο όταν $CE^* = 0$.
*WE**	Είσοδος	Write enable. Όταν ενεργοποιείται τα δεδομένα γράφονται στη μνήμη, οποιαδήποτε κι αν είναι η τιμή του *OE**.
*OE**	Είσοδος	Output enable. Όταν ενεργοποιείται και το *WE** είναι απενεργοποιημένο τα δεδομένα διαβάζονται από τη μνήμη.
*LB**, *UB**	Είσοδος	Data Byte control. Αναγνώσεις και εγγραφές μπορούν γίνουν για τα *I/O[8:1]* μόνο ($LB^* = 0$, $UB^* = 1$), για τα *I/O[16:9]* μόνο ($LB^* = 1$, $UB^* = 0$) ή για τα *I/O[16:1]* ($LB^* = 0$, $UB^* = 0$).

Πίνακας A.7: Περιγραφή σημάτων ενός SRAM chip $1M \times 16$ bits

ΠΑΡΑΡΤΗΜΑ Β

FPGA PINOUT

Το Σχήμα Β.1 είναι μια άποψη της κάτω πλευράς της Altera FPGA EPF10K200EBC600-1. Έχει περίβλημα BGA-600, με pitch 1.27mm. Στο σχήμα, κάθε μαύρος κύκλος συμβολίζει ένα pin τάσης ή γείωσης. Οι γκρίζοι κύκλοι συμβολίζουν pins που είναι αφιερωμένα αποκλειστικά για τον προγραμματισμό της FPGA και δεν μπορούν να χρησιμοποιηθούν από το χρήστη. Οι λευκοί κύκλοι συμβολίζουν pins του χρήστη (είσοδοι-έξοδοι). Υπάρχουν 6 λευκοί κύκλοι που περιέχουν το γράμμα `i` μέσα τους. Αυτοί συμβολίζουν pins που μπορούν να χρησιμοποιηθούν από το χρήστη, αλλά μόνο ως είσοδοι. Ο πίνακας που ακολουθεί δείχνει την ανάθεση αριθμών pins σε όλα τα σήματα της υλοποίησής μας.


28
29
30
31
32
33
34
35
1
28
29
30
31
32
33
34
35

A5 GND

A6 [illegible] 12

A2 GND

A3 GND

A4 GND

ПАРА

ПАРА

SMT

Synchronous

SCQ

RFU

QoS

Rx