ΠΑΝΕΠΙΣΤΗΜΙΟ ΚΡΗΤΗΣ
ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ
ΤΜΗΜΑ ΕΠΙΣΤΗΜΗΣ ΥΠΟΛΟΓΙΣΤΩΝ

# ΣΧΕΔΙΑΣΗ ΚΑΙ ΥΛΟΠΟΙΗΣΗ ΕΝΟΣ ΕΝΤΑΜΙΕΥΤΗ ΠΑΚΕΤΩΝ ATM ΣΥΝΟΛΙΚΗΣ ΠΑΡΟΧΗΣ 1.2Gbit/s ΠΟΥ ΧΡΗΣΙΜΟΠΟΙΕΙ ΣΥΓΧΡΟΝΗ ΔΥΝΑΜΙΚΗ ΜΝΗΜΗ

Γεώργιος Ν. Γλυκόπουλος

Μεταπτυχιακή εργασία

Ηράκλειο, Ιούλιος 1998

# Σχεδίαση και υλοποίηση ενός ενταμιευτή πακέτων ATM συνολικής παροχής 1.2Gbit/s που χρησιμοποιεί σύγχρονη δυναμική μνήμη

Μεταπτυχιακή εργασία
που υποβλήθηκε στην επιτροπή μεταπτυχιακών σπουδών
του τμήματος Επιστήμης Υπολογιστών
της σχολής Θετικών Επιστημών
του Πανεπιστημίου Κρήτης
σε μερική εκπλήρωση των απαιτήσεων για την απόκτηση του
ΔΙΠΛΩΜΑΤΟΣ ΜΕΤΑΠΤΥΧΙΑΚΗΣ ΕΙΔΙΚΕΥΣΗΣ
Ηράκλειο, Ιούλιος 1998

Συγγραφέας:

Γεώργιος Ν. Γλυκόπουλος
Τμήμα Επιστήμης Υπολογιστών

# Σχεδίαση και υλοποίηση ενός ενταμιευτή πακέτων ATM συνολικής παροχής 1.2Gbit/s που χρησιμοποιεί σύγχρονη δυναμική μνήμη

Γιώργος Γλυκόπουλος
Μεταπτυχιακή εργασία

Τμήμα Επιστήμης Υπολογιστών
Πανεπιστήμιο Κρήτης

## Περίληψη

Τα δίκτυα υψηλών ταχυτήτων απαιτούν μνήμες υψηλής παροχής για την αποθήκευση πακέτων ή κελιών. Η σύγχρονη δυναμική μνήμη (SDRAM) προσφέρει μεγάλο αποθηκευτικό χώρο και ταυτόχρονα υψηλή παροχή, με αποτέλεσμα να αποτελεί την κατάλληλη τεχνολογία για την κατασκευή ενταμιευτών πακέτων. Ενα ολοκληρωμένο κύκλωμα σύγχρονης δυναμικής μνήμης 16Mbits με 16 ακροδέκτες εισόδου-εξόδου προσφέρει αποθηκευτικό χώρο για περίπου 40 χιλιάδες πακέτα και συνολική παροχή 1.2Gbit/s όταν χρησιμοποιείται για πακέτα ATM. Ο σκοπός της εργασίας αυτής είναι να επιδείξουμε την ικανότητα αυτή της σύγχρονης δυναμικής μνήμης σε μια πλακέτα πρωτοτύπου και να εξοικειωθούμε με τις λεπτομέρειες υλοποίησης του SONET 155.52Mbit/s και των υψηλών ταχυτήτων σε επίπεδο πλακέτας. Η πλακέτα πρωτοτύπου που σχεδιάστηκε, κατασκευάστηκε και ελέγχθηκε επιτυχώς, είναι μια πλακέτα 8 επιπέδων, συνδέεται με δύο αμφίδρομους οπτικούς συνδέσμους (2 x 155.52Mbit/s εισερχόμενη και 2 x 155.52Mbit/s εξερχόμενη παροχή), και χρησιμοποιεί Altera FPGAs για όλες τις λειτουργίες πάνω στα πακέτα και για τη διασύνδεση με την SDRAM. Η πλακέτα επίσης συνδέεται με έναν μικροεπεξεργαστή, ενώ περιέχει πολλές γεννήτριες/οδηγούς ρολογιού.

# Design and implementation of an 1.2Gbit/s ATM Cell Buffer using a Synchronous DRAM chip

George Glykopoulos
M.Sc. Thesis

Department of Computer Science
University of Crete

## Abstract

High speed networks require high throughput memories to store cells or packets. Synchronous Dynamic RAM (SDRAM) chips provide both high storage capacity and high throughput, and are thus an appropriate technology for building such cell or packet buffers. One 16Mbit SDRAM chip with a 16-bit data interface provides 40K cell storage and 1.2Gbit/s throughput when used as an ATM cell buffer. The purpose of this work is to demonstrate this capability in a working prototype, gaining familiarity with the practical details of SDRAM and SONET operation, and PCB implementation with 100MHz clocks. The prototype that was designed, manufactured and successfully tested, is an 8-layer PCB with two SONET OC-3 links (2 x 155.52Mbit/s incoming and 2 x 155.52Mbit/s outgoing throughput), interfaced to an SDRAM chip using two Altera FPGA's. The board also includes a microprocessor interface and PLL-driven clock generators/drivers.

# Περιεχόμενα


**1 Εισαγωγή** **1**
1.1 Η εργασία αυτή . . . . . 1

**2 Η δομή της πλακέτας και οι λειτουργίες της** **3**

**3 Διασύνδεση με το SONET/SDH 155.52Mbit/s** **7**
3.1 Τα standards SONET και SDH. . . . . 7
3.2 Μετατροπείς από οπτικό σε ηλεκτρικό και αντίστροφα. . . . . 9
3.3 Πομποδέκτες πακέτων ATM για SONET/SDH 155.52Mbps. . . . . 9

**4 Σύγχρονη δυναμική μνήμη. Αρχιτεκτονική και λειτουργία.** **12**

**5 Ο δρομολογητής πακέτων ATM** **17**
5.1 Interface στη πλευρά εισόδου των πακέτων ATM. . . . . 17
5.2 Interface στη πλευρά της ουράς εξόδου. . . . . 18
5.3 Interface με τον ελεγκτή της σύγχρονης δυναμικής μνήμης. . . . . 19
5.4 Η αρχιτεκτονική του δρομολογητή . . . . . 19
5.5 Απόρριψη πακέτων σε περίπτωση που γεμίσει η εξωτερική μνήμη. . . . . 21
5.6 Η οργάνωση της εσωτερικής μνήμης του δρομολογητή . . . . . 22

**6 Ο ελεγκτής της σύγχρονης δυναμικής μνήμης** **25**

**7 Επικοινωνία με μικροεπεξεργαστή** **27**

**8 Η σχεδίαση της πλακέτας** **29**
8.1 Κανόνες σχεδίασης για υψηλές ταχύτητες σε επίπεδο πλακέτας . . . . . 29
8.2 Η διαδικασία σχεδίασης . . . . . 32
8.3 Τα χαρακτηριστικά της πλακέτας . . . . . 33

**9 Ο έλεγχος της πλακέτας και αποτελέσματα** **35**

**10 Συμπεράσματα** **36**

**11 Ευχαριστίες** **38**

**A Reference designators** **41**

**B Schematics of the printed circuit board** **43**

**C Board operation and programming manual** **48**
C.1 Power supply issues . . . . . 48
C.2 Jumper positions . . . . . 48
C.3 FPGA programming . . . . . 49
C.4 Microcontroller interface . . . . . 50
C.5 Connectors . . . . . 50
C.6 LEDs . . . . . 52

C.7 IMPORTANT NOTE . . . . . 52

**D Board pictures** **53**

**E Bill of materials** **55**

**F Manufacturers** **56**

**G Distributors** **58**

# Κατάλογος Σχημάτων


1 Η πλακέτα που υλοποιείται ο ενταμιευτής. Διάγραμμα υψηλού επιπέδου. 3
2 Η γενική όψη της πλακέτας . . . . . 6
3 Η δομή του πλαισίου STS-1. . . . . 8
4 Η δομή του πλαισίου STS-3. . . . . 8
5 Το διάγραμμα επιπέδου block του πομποδέκτη SONET/SDH . . . . . 10
6 Οι συνδέσεις μεταξύ του οπτικο-ηλεκτρικού μετατροπέα και τους πομποδέκτες του SONET/SDH . . . . . 11
7 Η αρχιτεκτονική της σύγχρονης δυναμικής μνήμης. . . . . 12
8 Ανάγνωση πακέτου ATM από τη σύγχρονη δυναμική μνήμη. . . . . 14
9 Εγγραφή πακέτου ATM στη σύγχρονη δυναμική μνήμη. . . . . 14
10 Παροχή που προσφέρεται από ένα ολοκληρωμένο SDRAM διαφόρων οργανώσεων (4,8, ή 16 bits I/O) για διάφορα μεγέθη burst (I σημαίνει διαφυλλωμένες προσβάσεις, nonI σημαίνει μη διαφυλλωμένες). . . . . 16
11 Interface μεταξύ του δρομολογητή και του πομποδέκτη, μέσω του οποίου ο δρομολογητής διαβάζει τα πακέτα ATM που έρχονται από το SONET. 17
12 Interface μεταξύ του δρομολογητή και του πομποδέκτη, μέσω του οποίου ο δρομολογητής γράφει τα πακέτα ATM. . . . . 18
13 Η επικοινωνία μεταξύ του δρομολογητή και του ελεγκτή μνήμης. . . . . 19
14 Η λογική οργάνωση των ουρών εισόδου και εξόδου. . . . . 20
15 Το διάγραμμα block του δρομολογητή. . . . . 23
16 Κάθε πακέτο αποθηκεύεται και στις δύο banks της εσωτερικής μνήμης για να αυξήσουμε την παροχή της. . . . . 24
17 Το διάγραμμα block του ελεγκτή της σύγχρονης δυναμικής μνήμης. . . . . 25
18 Η διεύθυνση δίνεται στη μνήμη κατ' ευθείαν από το δρομολογητή. . . . . 26
19 Η επικοινωνία με τον μικροεπεξεργαστή i80C32 που βρίσκεται σε άλλη πλακέτα. . . . . 27
20 Το δίκτυο ρολογιών της πλακέτας. . . . . 32
21 Top layer of the board: reference designators . . . . . 43
22 Bottom layer of the board: reference designators . . . . . 44
23 Top layer of the board: etch . . . . . 45
24 Bottom layer of the board: etch . . . . . 46
25 Internal layer of the board: etch . . . . . 47
26 Numbering of J1 connector pins (top view). . . . . 50
27 Picture of the final board (top view). . . . . 53
28 Picture of the final board (bottom view). . . . . 54


# Κατάλογος Πινάκων


1 Οι αντίστοιχοι περιγραφείς του SONET και του SDH. . . . . 7
2 Reference designators of all components . . . . . 42
3 J1 connector pin assignment. . . . . 51
4 Alarm indicated by each LED . . . . . 52

# 1 Εισαγωγή

Οι σύγχρονοι μεταγωγείς ATM απαιτούν μνήμες υψηλής παροχής για να είναι non-blocking και για να χρησιμοποιούν πλήρως την παροχή των συνδέσμων τους. Σύγχρονες τεχνολογίες μνήμης είναι οι σύγχρονες δυναμικές μνήμες (SDRAM) και η Rambus που προσφέρουν αξιόλογα υψηλή παροχή. Ομως η Rambus είναι ακριβές γιατί απαιτούν μια ακριβή διασύνδεση. Οι σύγχρονες δυναμικές μνήμες είναι πιο φτηνές, πιο απλές στη χρήση και μπορούν παρ' όλα αυτά να παρέχουν μέγιστη παροχή 1.6Gbit/s με ένα μόνο ολοκληρωμένο (υποθέτουμε ένα ολοκληρωμένο με 16 ακροδέκτες εισόδου-εξόδου που λειτουργεί στα 100 MHz). Υπάρχουν και άλλες τεχνολογίες που μπορούν να υποστηρίξουν υψηλή παροχή, είτε on-chip είτε off-chip. Οι on-chip τεχνολογίες μπορούν να γίνουν αρκετά πλατιές για να υποστηρίξουν υψηλή παροχή, αλλά το μέγεθός τους είναι περιορισμένο. Οι off-chip τεχνολογίες μπορούν να υποστηρίξουν υψηλή παροχή μέσω της διαφύλλωσης αλλά αυτό απαιτεί πολλά ολοκληρωμένα και το κάθε ολοκληρωμένο έχει περιορισμένη παροχή λόγω της χαμηλής συχνότητας που επιβάλλουν οι ακροδέκτες του κάθε ολοκληρωμένου. Ετσι οι σύγχρονες δυναμικές μνήμες αποτελούν μία ελκυστική λύση και γίνονται συνεχώς όλο και πιο δημοφιλείς.

Απ' την άλλη, για να υποστηριχθεί η υψηλή παροχή της σύγχρονης δυναμικής μνήμης πρέπει να χρησιμοποιηθούν γρήγορα ρολόγια. Πρέπει να χρησιμοποιηθούν 100MHz συχνότητες στο επίπεδο της πλακέτας το οποίο δεν είναι και τόσο εύκολο. Σε τέτοιες υψηλές συχνότητες, ένα σχέδιο πρέπει να γίνει με πολύ αυστηρούς κανόνες σχεδίασης, ή αλλιώς το όλο σύστημα μπορεί να μη λειτουργεί. Θέματα όπως ποιότητα ρολογιού, χρόνος ανόδου-καθόδου του σήματος, αντανάκλαση σήματος, καλώδια ελεγχόμενης χαρακτηριστικής αντίστασης, επαγωγή και θόρυβος πρέπει να προσεχθούν ιδιαίτερα.

Μια άλλη τεχνολογία υψηλής ταχύτητας που φαίνεται ότι θα χρησιμοποιηθεί ως η κύρια τεχνολογία στα μελλοντικά, μικρά και μεγάλα, γρήγορα δίκτυα είναι το ATM. Μερικοί λόγοι που οδήγησαν σε αυτό είναι: α) το σταθερό μέγεθος πακέτου απλοποιεί το hardware και το κάνει πιο γρήγορο, β) το μέγεθος του πακέτου είναι μικρό επιτρέποντας μικρές καθυστερήσεις, και γ) χρησιμοποιώντας τον ίδιο εξοπλισμό για τα μικρά και για τα μεγάλα δίκτυα το κόστος μπορεί να κρατηθεί σε χαμηλά επίπεδα μέσω μαζικής παραγωγής. Το πιο αποδοτικό μέσο πάνω από το οποίο θα μεταδίδεται το ATM είναι οι οπτικές ίνες. Οι οπτικές ίνες έχουν πολύ μεγαλύτερη χωρητικότητα απ' ότι ο χαλκός και ταυτόχρονα είναι πολύ πιο αξιόπιστες. Ετσι η τεχνολογία ATM πάνω από SONET (Synchronous Optical NETwork) έχει γίνει μια πολλά υποσχόμενη τεχνολογία για το μέλλον.

## 1.1 Η εργασία αυτή

Σε αυτή την κατεύθυνση, αποφασίσαμε την σχεδίαση και κατασκευή μιας πλακέτας πρωτοτύπου που θα χρησιμοποιεί FPGAs σαν το δομικό λίθο της αρχιτεκτονικής της, θα έχει δύο αμφίδρομους συνδέσμους με το SONET/SDH 155Mbit/s που θα μεταφέρουν κίνηση ATM, και θα χρησιμοποιεί σύγχρονη δυναμική μνήμη (SDRAM) για να αποθηκεύει πακέτα ATM. Σκοπός μας ήταν να επιτύχουμε υψηλές συχνότητες ρολογιού σε επίπεδο πλακέτας και να αξιοποιήσουμε την υψηλή παροχή της SDRAM σε ένα περιβάλλον δικτύου ATM. Ταυτόχρονα η πλακέτα έπρεπε να υλοποιηθεί με

γρήγορους ρυθμούς και να επιτρέπει μελλοντικές επεκτάσεις με μικρό κόστος. Επειδή υλοποιήθηκε έχοντας ως βάση επαναπρογραμματιζόμενες FPGAs, που είναι γενικά αργές, η αρχιτεκτονική κρατήθηκε εσκεμμένα απλή για να επιτρέψει υψηλές συχνότητες.

Μέσα από αυτήν την εργασία περιμένουμε να μελετήσουμε σε λεπτομέρεια και να αποκτήσουμε γνώσεις και εμπειρία στους ακόλουθους τομείς:

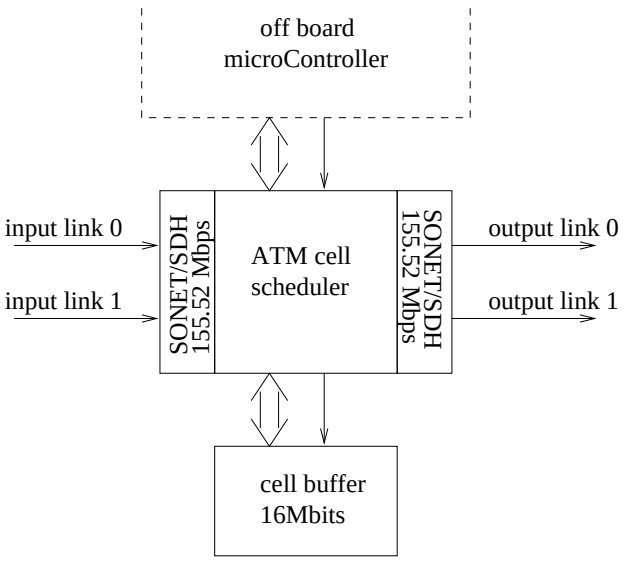
- 155.52 Mbit/s σειριακή κίνηση ATM πάνω από SONET/SDH με οπτικές ίνες, η οποία μετατρέπεται σε 8-bit παράλληλη μέσω καταλλήλων ολοκληρωμένων.
- σύγχρονη δυναμική μνήμη υψηλής παροχής (SDRAM) και πώς χρησιμοποιείται για αποθήκευση πακέτων ATM.
- σχεδίαση κυκλωμάτων υψηλής ταχύτητας σε επίπεδο πλακέτας και πώς αυτό μπορεί να επιτευχθεί χρησιμοποιώντας ταυτόχρονα επαναπρογραμματιζόμενες FPGAs.

Η πλακέτα που σχεδιάσαμε και κατασκευάσαμε χρησιμοποιείται ως ενταμιευτής πακέτων ATM. Η πλακέτα έχει 2 συνδέσμους εισόδου και 2 εξόδου (ή 2 αμφίδρομους), που ο καθένας μεταφέρει κίνηση ATM με ρυθμό 155.52 Mbits/s. Χρησιμοποιεί σύγχρονη δυναμική μνήμη για να αποθηκεύει τα πακέτα ATM, FPGAs για την υλοποίηση λογικών ουρών, interface με μικροεπεξεργαστή για αρχικοποίηση και παρακολούθηση λειτουργίας και πολλά άλλα ολοκληρωμένα, καθώς και παθητικά κυκλώματα για την υποστήριξη της υψηλής συχνότητας λειτουργίας.

Στο κεφάλαιο 2 παρουσιάζουμε τη δομή της πλακέτας με λεπτομέρεια, τα ολοκληρωμένα από τα οποία αποτελείται, και τί λειτουργίες υποστηρίζει. Η διασύνδεση με το SONET εξηγείται στο κεφάλαιο 3. Στο 4 περιγράφουμε την αρχιτεκτονική μιας σύγχρονης δυναμικής μνήμης και εξηγούμε γιατί τέτοιες μνήμες αποτελούν μία από τις καλύτερες λύσεις για αποθήκευση πακέτων. Στο κεφάλαιο 5 περιγράφεται η αρχιτεκτονική του δρομολογητή των πακέτων ATM που αποτελεί και τον πυρήνα της όλης αρχιτεκτονικής. Επίσης παραθέτονται οι λόγοι για τους οποίους επιλέχθηκε η συγκεκριμένη αρχιτεκτονική FPGA για τον δρομολογητή. Ο ελεγκτής της μνήμης παρουσιάζεται στο κεφάλαιο 6, ενώ η διασύνδεση της πλακέτας με τον μικροεπεξεργαστή στο κεφάλαιο 7. Στο κεφάλαιο 8 θα αναφερθούν διάφορα θέματα που αφορούν τον σχεδιασμό και υλοποίηση πλακέτας που λειτουργεί σε υψηλές συχνότητες. Παρουσιάζουμε αποτελέσματα από την λειτουργία της πλακέτας μετά την κατασκευή, στο κεφάλαιο 9, ενώ το κεφάλαιο 10 περιέχει συμπεράσματα και περιγράφει πιθανές μελλοντικές επεκτάσεις του σχεδίου.

## 2 Η δομή της πλακέτας και οι λειτουργίες της

Η πλακέτα πάνω στην οποία υλοποιείται ο ενταμιευτής εμφανίζεται σε ένα διάγραμμα υψηλού επιπέδου στο σχήμα 1. Ο δρομολογητής πακέτων ATM δέχεται τα εισερχόμενα πακέτα από τους εισερχόμενους συνδέσμους εισόδου του SONET και τα αποθηκεύει στην SDRAM χωρητικότητας 16Mbits ή 2MBytes. Η SDRAM έχει χωριστεί στατικά σε δύο ουρές, μία για κάθε εξερχόμενο σύνδεσμο. Τα εισερχόμενα πακέτα μπαίνουν σε μία από τις δύο ουρές ανάλογα με την τιμή του VP/VC που βρίσκεται στην επικεφαλίδα τους, και κατόπιν, αν ο εξερχόμενος σύνδεσμος είναι ελεύθερος, το πακέτο βγαίνει από την ουρά και μεταδίδεται μέσω του διαύλου UTOPIA στο SONET. Cut-through (δηλ. η προώθηση του πακέτου στην έξοδο πριν ακόμη φτάσει η ουρά του στον δρομολογητή) δεν υποστηρίζεται από το κύκλωμα και οι τιμές VP/VC δεν μεταφράζονται, γιατί δόθηκε σημασία στην απλότητα του hardware που θα επιτύγχανε υψηλές συχνότητες. Βέβαια, άλλες πιο περίπλοκες αρχιτεκτονικές μπορούν να υλοποιηθούν μέσω επαναπρογραμματισμού των FPGAs. Επίσης, τα 16Mbits της χωρητικότητας του ενταμιευτή θεωρήθηκαν αρκετά για αυτό το απλής λειτουργικότητας κύκλωμα.




Σχήμα 1: Η πλακέτα που υλοποιείται ο ενταμιευτής. Διάγραμμα υψηλού επιπέδου.

Τα βασικά τμήματα της πλακέτας είναι τα εξής (δείτε επίσης το σχήμα 2):

- Μετατροπείς από οπτικό σε ηλεκτρικό που μετατρέπουν το οπτικό σήμα εισόδου των 155.52Mbps σε ηλεκτρικό και αντίστροφα το 155.52Mbps ηλεκτρικό σήμα εξόδου σε οπτικό. Η πλακέτα έχει δύο αμφίδρομους συνδέσμους, επομένως χρησιμοποιούνται δύο τέτοιοι μετατροπείς.

- Δύο SONET/SDH πομποδέκτες. Μετατρέπουν την εισερχόμενη σειριακή ροή δεδομένων συχνότητας 155.52Mbps σε παράλληλη 8 bit (UTOPIA). Τα πακέτα διαβάζονται κατόπιν από τον δρομολογητή ένα byte κάθε φορά στην ελάχιστη συχνότητα των 19.44MHz (155.52 / 8). Λόγω της επιπλέον πληροφορίας που εισάγει το SONET για τις λειτουργίες του φυσικού επιπέδου, ο πραγματικός

ρυθμός άφιξης των πακέτων ATM είναι λίγο μικρότερος από 155.52Mbit/s, με αποτέλεσμα η ελάχιστη συχνότητα που πρέπει να τα διαβάζει ο δρομολογητής είναι 18.72MHz. Για την μετάδοση των πακέτων στο SONET, ο πομποδέκτης μετατρέπει τα δεδομένα που δέχεται από το δρομολογητή κατά bytes, σε σειριακή ροή συχνότητας 155.52Mbits/s.

- Δρομολογητής πακέτων ATM. Αποτελεί και τον πυρήνα του σχεδίου γιατί εκτελεί όλες τις λειτουργίες πάνω στα πακέτα (εισαγωγή-εξαγωγή από τις ουρές, απόρριψη κ.α.). Εδώ διατηρούνται οι δείκτες αρχής-τέλους της κάθε ουράς και παίρνεται η απόφαση ποιό πακέτο θα απορριφθεί όταν υπερχειλίσει κάποια ουρά. Ο δρομολογητής χρησιμοποιεί εσωτερικούς προσωρινούς ενταμιευτές για να συγκεντρώσει ολόκληρα πακέτα ATM, έτσι ώστε να αυτά να διοχετευτούν στην SDRAM μέσω προσβάσεων burst.

- Ελεγκτής σύγχρονης δυναμικής μνήμης. Ο ελεγκτής αυτός είναι το interface μεταξύ του "αργού" δρομολογητή που λειτουργεί στα 50 MHz και της "γρήγορης" μνήμης των 100 MHz. Ο ελεγκτής δεν εκτελεί όλες τις λειτουργίες που υποστηρίζει η μνήμη, μόνο αυτές που χρειαζόμαστε. Επίσης δεν ελέγχει τους ακροδέκτες διεύθυνσης της μνήμης, γιατί αυτό το αναλαμβάνει ο ίδιος ο δρομολογητής.

- Σύγχρονη δυναμική μνήμη χωρητικότητας 16Mbits. Αυτή η μνήμη χρησιμοποιείται σαν ενταμιευτής πακέτων και είναι στατικά χωρισμένη σε δύο ουρές (μία για κάθε σύνδεσμο εξόδου της πλακέτας). Ειδικότερα, κάθε ουρά μπορεί να αποθηκεύσει 19.784 πακέτων ATM, αλλά στην πραγματικότητα ο αριθμός αυτός μειώνεται στα 18.423 πακέτα γιατί υλοποιούμε μια αρχιτεκτονική που σπαταλά λίγο αποθηκευτικό χώρο αλλά επιτυγχάνει μεγαλύτερη ταχύτητα.

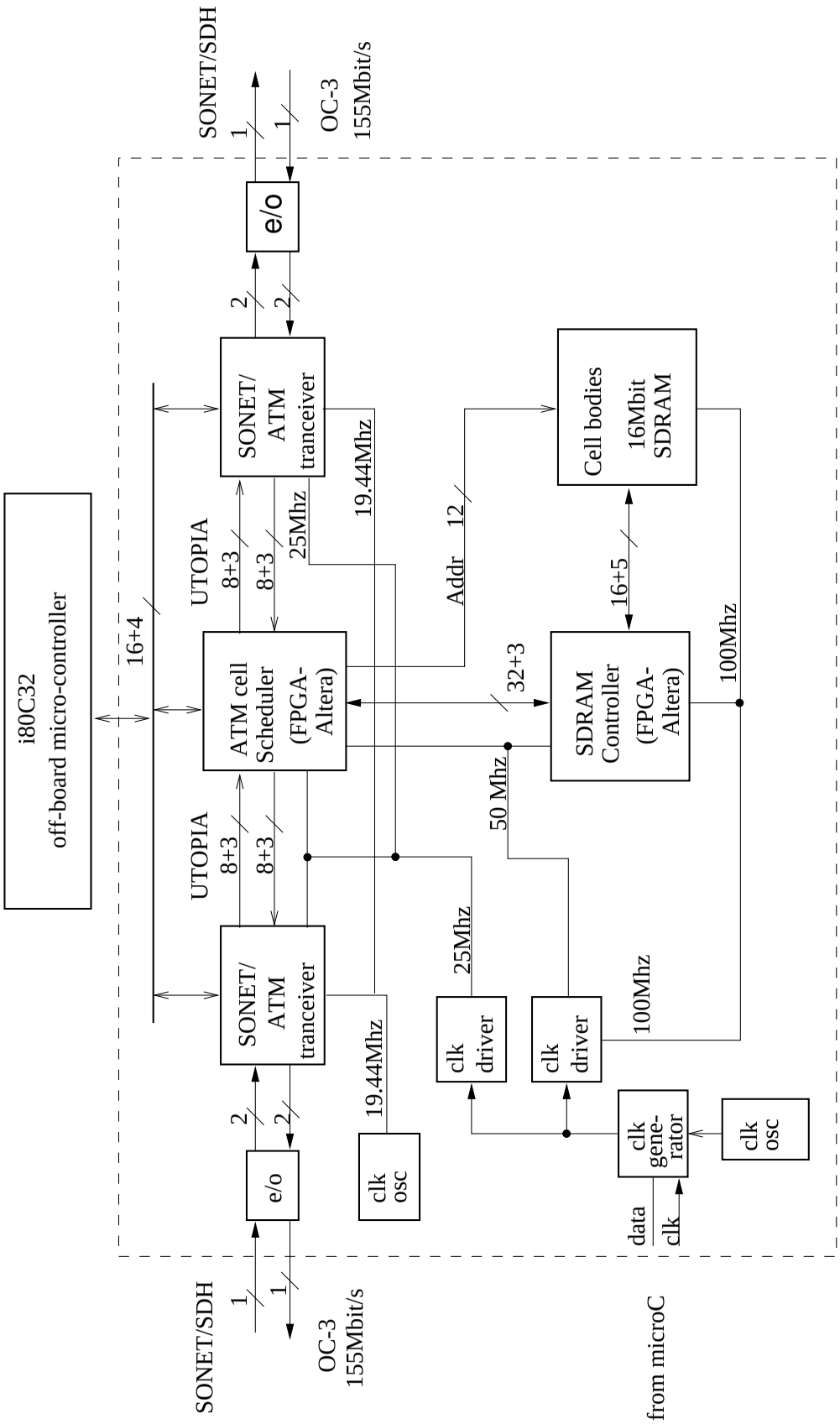
- Δύο οδηγητές ρολογιού υψηλής ακρίβειας και χαμηλής κατανάλωσης ισχύος (3.3V τάση τροφοδοσίας). Ορισμένοι χρονικοί περιορισμοί που θα αναλυθούν παρακάτω υπαγόρευσαν την χρησιμοποίηση 3 διαφορετικών συχνοτήτων πάνω στην πλακέτα, όλες με συγχρονισμένες ακμές: 25, 50 και 100 MHz.

- Κύκλωμα διασύνδεσης με μικροεπεξεργαστή, το οποίο περιλαμβάνει 16 bits διεύθυνσης, 8 bits δεδομένων και πολλά σήματα ελέγχου. Μέσω αυτού του κυκλώματος μπορούμε να αρχικοποιούμε, να προγραμματίζουμε την πλακέτα και να παρακολουθούμε τη λειτουργία της. Οι πομποδέκτες SONET/SDH συνδέονται με τον μικροεπεξεργαστή με 8 bits διεύθυνσης και 8 bits δεδομένων επιτρέποντας πολλές βοηθητικές λειτουργίες όπως χειρισμό διακοπών, ενεργοποίηση είτε SONET είτε SDH κ.α. Ο δρομολογητής συνδέεται στον μικροεπεξεργαστή με όλα τα διαθέσιμα bits διεύθυνσης και δεδομένων και πολλά σήματα ελέγχου. Τα περισσότερα από αυτά τα σήματα δεν χρησιμοποιούνται προς το παρόν αλλά επιτρέπουν μελλοντικές επεκτάσεις του σχεδίου χωρίς κόστος.

- Δύο χαμηλής συχνότητας αλλά υψηλής ακρίβειας ταλαντωτές (γεννήτριες ρολογιού). Οι πομποδέκτες SONET/SDH χρειάζονται μια πηγή ρολογιού συχνότητας 19.44 MHz για να παράγουν το οκταπλάσιας συχνότητας 155.52 MHz για τα δεδομένα

εξόδου προς το SONET. Ο δεύτερος ταλαντωτής παράγει το ρολόι για την υπόλοιπη πλακέτα.

- Γεννήτρια ρολογιού με πλήρως προγραμματιζόμενη συχνότητα. Αυτή η γεννήτρια θα μας επιτρέψει να ελέγξουμε τη λειτουργία της πλακέτας σε διάφορες συχνότητες, είτε χαμηλές αν κάποιο σχεδιαστικό λάθος δεν επιτρέπει αρκετά γρήγορη λειτουργία, είτε υψηλές ώστε να εξετάσουμε τα όρια του κυκλώματος.
- 20 LEDs που προειδοποιούν για διάφορα λάθη λειτουργίας των SONET/SDH πομποδεκτών.
- Μεγάλος αριθμός πυκνωτών και πηνίων που φιλτράρουν την τροφοδοσία και περιορίζουν το ηλεκτρονικό θόρυβο του κυκλώματος.
- Αντιστάσεις τερματισμού για περιορισμό των αντανακλάσεων των σημάτων υψηλής ταχύτητας.




Σχήμα 2: Η γενική όψη της πλακέτας

# 3 Διασύνδεση με το SONET/SDH 155.52Mbit/s

## 3.1 Τα standards SONET και SDH.

Το SONET (Synchronous optical network) είναι ένα διεθνές standard για μετάδοση πληροφορίας πάνω από οπτικές ίνες. Το SONET έχει σαν βασική συχνότητα την 51.84 Mbps στην οποία αναφερόμαστε ως STS-1 (Synchronous Transport Signal level 1). Ο διεθνής οργανισμός Τηλεπικοινωνιών ανέπτυξε το 1988 το SDH (Synchronous Digital Hierarchy) το οποίο βασίζεται στο SONET. Η χαμηλότερη συχνότητα στο SDH είναι η 155.52 Mbps στην οποία αναφερόμαστε ως STM-1 (Synchronous Transport Module 1). Η συχνότητα του STM-1 είναι 3 φορές μεγαλύτερη από αυτήν του STS-1. Αυτά τα διαφορετικά standards έχουν διαφορετικούς περιγραφείς για την κάθε συχνότητα. Η αντιστοιχία των περιγραφέων αυτών φαίνεται στο πίνακα 1.

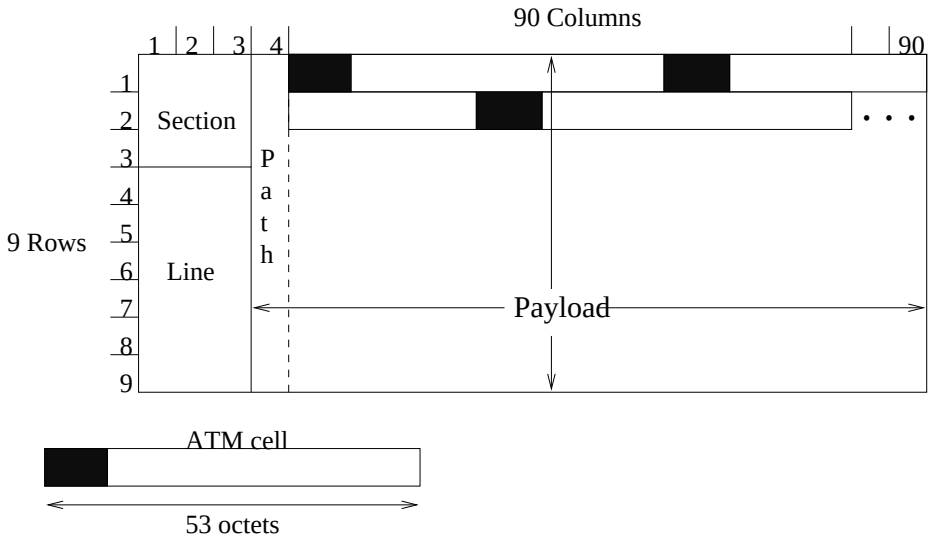
| SONET Designation | SDH Designation | Rate (Mbps) |
|---|---|---|
| STS-1 | | 51.84 |
| STS-3 | STM-1 | 155.52 |
| STS-9 | STM-3 | 466.56 |
| STS-12 | STM-4 | 622.08 |
| STS-18 | STM-6 | 933.12 |
| STS-24 | STM-8 | 1244.16 |
| STS-36 | STM-12 | 1866.24 |
| STS-48 | STM-16 | 2488.32 |

Πίνακας 1: Οι αντίστοιχοι περιγραφείς του SONET και του SDH.

Ο δομικός λίθος για το SONET είναι το πλαίσιο (frame) STS-1. Κάθε πλαίσιο αποτελείται από 9 γραμμές και 90 στήλες. Σχηματίζεται έτσι ένας πίνακας (δες σχήμα 3) κάθε στοιχείο του οποίου έχει μέγεθος ένα byte. Το πλαίσιο αυτό μεταδίδεται γραμμή προς γραμμή, από αριστερά προς τα δεξιά (πρώτα η γραμμή 1, κατόπιν η γραμμή 2 κ.ο.κ.). Επομένως το πλαίσιο STS-1 έχει μέγεθος 810 bytes.

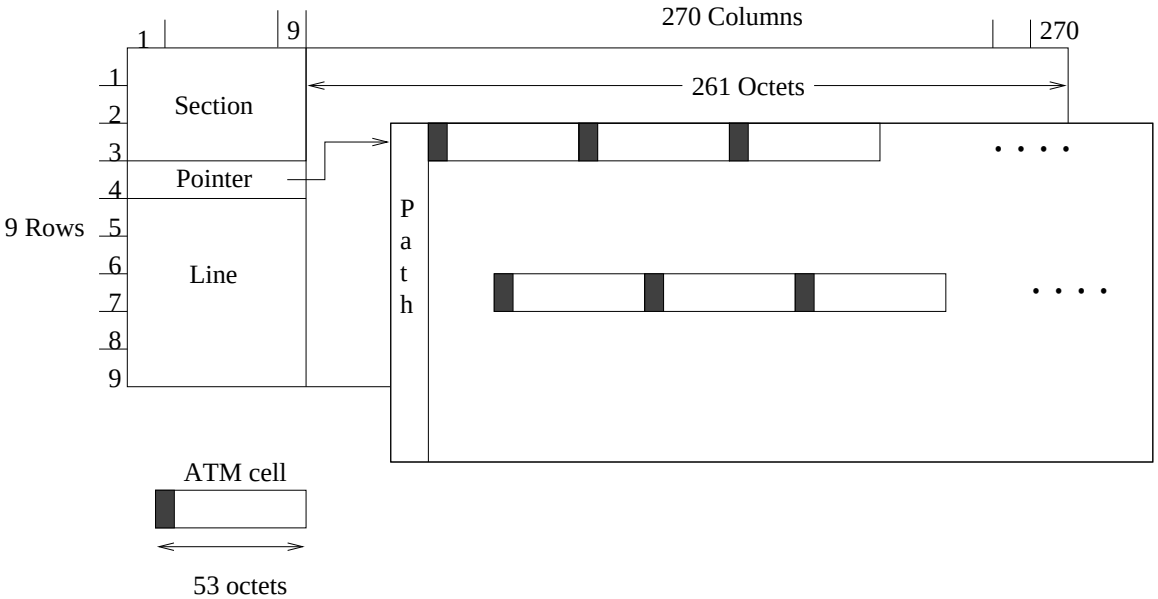
Οι πρώτες 4 στήλες σε κάθε πλαίσιο φέρουν πληροφορία διαχείρισης ή OAM (operation and maintenance). Το SONET είναι μια ιεραρχία επιπέδων: *photonic*,*section*,*line* και *path*. Το επίπεδο *photonic* είναι υπεύθυνο για τις λειτουργίες χαμηλού επιπέδου όπως ισχύς του οπτικού σήματος. Το επίπεδο *section* αναφέρεται στα τμήματα των καλωδίων, σε αναμεταδότες και αναγεννητές σήματος. Το επίπεδο *Line* υπάρχει για συγχρονισμό, πολυπλεξία και προστασία των λειτουργιών μεταγώγισης. Το επίπεδο *Path* αναφέρεται σε μετάδοση πληροφορίας από το ένα άκρο στο άλλο (από τον πομπό στο δέκτη). Ενα κομμάτι του πλαισίου αφιερώνεται σε καθένα από αυτά τα επίπεδα εκτός από το *photonic*. Η πληροφορία του *section* βρίσκεται στις πρώτες 3 γραμμές και 3 στήλες, ενώ του *line* στις υπόλοιπες 6 γραμμές των 3 πρώτων στηλών. Η πληροφορία του επιπέδου *path* βρίσκεται στην 4η στήλη του πλαισίου.

Κάθε πλαίσιο του SONET μεταδίδεται σε 125μs. Για το STS-1 το πλαίσιο είναι




Σχήμα 3: Η δομή του πλαισίου STS-1.

μεγέθους 90x9=810 Bytes το οποίο δίνει χωρητικότητα συνδέσμου 810Bytes/125μs=51.84Mbps. Για να φτιάξουμε ένα STS-N πλαίσιο (στην περίπτωσή μας N=3 για το STS-3 των 155.52Mbps) ενώνουμε 3 πλαίσια STS-1 διαφυλλώνοντας τα bytes των 3 πλαισίων μεταξύ τους. Ετσι σχηματίζεται το πλαίσιο STS-3 που έχει 270 στήλες και 9 γραμμές και συνεπώς έχει μέγεθος 2430 Bytes. Ενα πλαίσιο STS-3 φαίνεται στο σχήμα 4. Εδώ οι πρώτες 12 στήλες αποτελούν την πληροφορία διαχείρισης που εισάγει το SONET.




Σχήμα 4: Η δομή του πλαισίου STS-3.

Επειδή μπορεί να υπάρχουν μικροδιαφορές μεταξύ της ταχύτητας πομπού και δέκτη, είναι αναγκαίος ένας μηχανισμός που θα τους συγχρονίζει. Ετσι η αρχή της πληροφορίας χρήστη (payload) που υπάρχει μέσα στο πλαίσιο και κανονικά θα άρχιζε από την 5η στήλη στο STS-1, μπορεί να βρίσκεται σε αυθαίρετη θέση μέσα στο πλαίσιο.

Ενας δείκτης μεγέθους 2 Bytes ο οποίος βρίσκεται στις πρώτες στήλες του πλαισίου, δείχνει (δίνει την πληροφορία) πού βρίσκεται αυτή η αρχή. Ο δέκτης διαβάζοντας αυτόν το δείκτη μπορεί να εντοπίσει σε ποιο σημείο στο πλαίσιο άρχισε να βάζει την πληροφορία χρήστη ο πομπός. Η τιμή του δείκτη μεταβάλλεται καθώς οι διαφορές συχνότητας αυξομειώνονται κατά τη διάρκεια της επικοινωνίας.

### 3.2 Μετατροπείς από οπτικό σε ηλεκτρικό και αντίστροφα.

Για μέγιστη αξιοπιστία του φυσικού μέσου πάνω από το οποίο μεταδίδεται η πληροφορία, διαλέξαμε οπτικές ίνες αντί για ομοαξονικό καλώδιο. Οι οπτικές ίνες έχουν γίνει το πιο ελκυστικό μέσο από άποψη απόδοσης-κόστους λόγω της υψηλής χωρητικότητάς τους, της υψηλής αξιοπιστίας (χαμηλός ρυθμός λαθών), της ασφάλειας και της ανοχής τους στα ηλεκτρομαγνητικά πεδία.

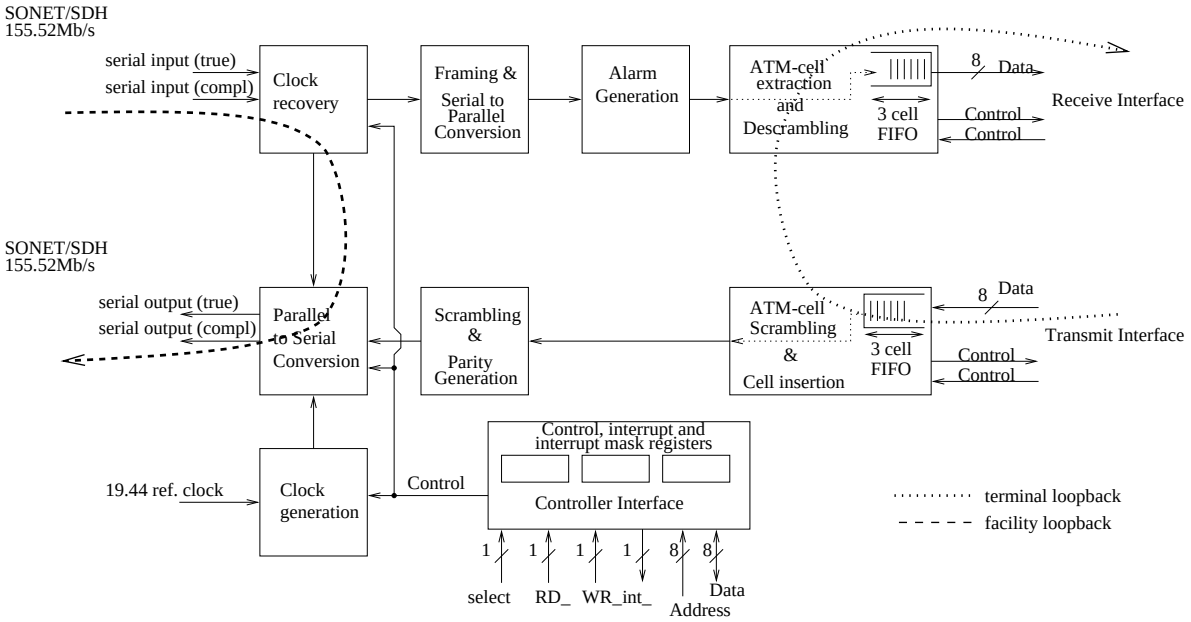
Τα ηλεκτρικά σήματα μετατρέπονται σε οπτικά χρησιμοποιώντας διόδους (LED, Light-Emitting Diode) ή λέιζερ και στέλνονται μέσα στην οπτική ίνα. Στην άλλη πλευρά τα ηλεκτρικά σήματα αναγεννώνται χρησιμοποιώντας φωτοκύτταρα (δίοδος PIN).

Στην πλακέτα μας χρησιμοποιήθηκαν οι οπτικο-ηλεκτρικοί μετατροπείς 269039-1 της AMP [5]. Είναι αμφίδρομοι μετατροπείς (οπτικό σε ηλεκτρικό και αντίστροφα), έχουν τυπικό οπτικό σήμα σε μήκος κύματος 1330nm και υποστηρίζουν 156Mbits/s μέγιστη ροή δεδομένων.

### 3.3 Πομποδέκτες πακέτων ATM για SONET/SDH 155.52Mbps.

Για τα interfaces με τα ηλεκτρικά σήματα 155.52Mbits/s στην είσοδο και έξοδο, χρησιμοποιήθηκαν δύο πομποδέκτες SONET/SDH της Texas Instruments μοντέλο TNETA 1500 [10]. Πρόκειται για ολοκληρωμένο κύκλωμα που μεταφέρει πακέτα ATM πάνω από SONET/SDH. Η κύρια λειτουργία του είναι να εισάγει και να εξάγει 53Bytes πακέτου ATM από/σε πλαίσιο STS-3/STM-1 και να παρέχει ένα αργό (19.44 MHz) 8-bit interface σε άλλες συσκευές (στην περίπτωσή μας η άλλη συσκευή είναι ο δρομολογητής). Ενα διάγραμμα επιπέδου block του πομποδέκτη φαίνεται στο σχήμα 5.

Στην πλευρά του δέκτη, το TNETA1500 δέχεται τη διαφορική σειριακή ροή δεδομένων ταχύτητας 155.52 Mbits/s, αναγεννά το ρολόι χρησιμοποιώντας PLL, βρίσκει τα όρια του πλαισίου, μετατρέπει τα σειριακά σε παράλληλα δεδομένα, βρίσκει την αρχή της πληροφορίας χρήστη (payload) και τα όρια του κάθε πακέτου ATM. Τα πακέτα ATM εξάγονται από το πλαίσιο και γράφονται στην ουρά εισόδου ενώ τα "άδεια" πακέτα (idle cells) απορρίπτονται. Από αυτήν την ουρά θα τα διαβάσει αργότερα ο δρομολογητής μέσω ενός 8-bit διαύλου (δες σχήμα 2). Η ουρά αυτή μπορεί να κρατήσει μέχρι 3 πακέτα ATM, και όταν γεμίσει σβήνεται ολόκληρη. Επομένως 3 πακέτα θα χαθούν αν γίνει υπερχείλιση. Είναι ευθύνη του δρομολογητή να διαβάζει από την ουρά με αρκετά γρήγορο ρυθμό για να μη συμβεί αυτό. Αφού η ουρά γράφεται με ρυθμό 155.52Mbps, ο δρομολογητής πρέπει να διαβάζει τα bytes με ρυθμό 19.44MHz τουλάχιστον (ο πραγματικός ελάχιστος ρυθμός είναι λίγο μικρότερος αφού δεν γράφονται όλα τα bits από το SONET στην ουρά, μόνο η πληροφορία χρήστη γράφεται). Από την άλλη, όταν η ουρά είναι άδεια ο δρομολογητής ειδοποιείται να σταματήσει να διαβάζει.



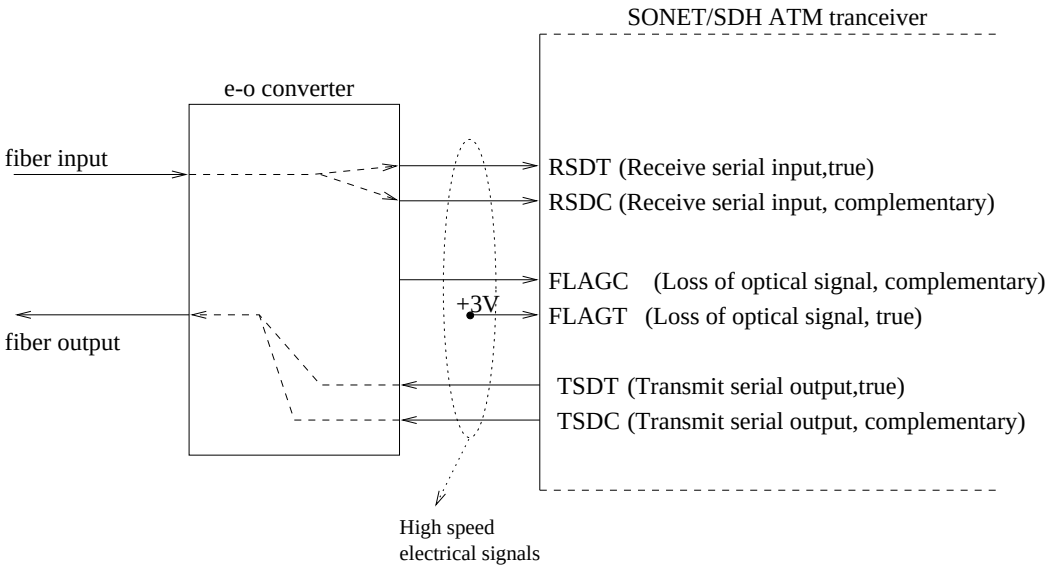

Σχήμα 5: Το διάγραμμα επιπέδου block του πομποδέκτη SONET/SDH

Στην πλευρά του πομπού, το TNETA1500 δέχεται πακέτα ATM που τοποθετεί ο δρομολογητής byte προς byte στην ουρά εξόδου, μέσω του 8-bit interface. Τα πακέτα αυτά αναμιγνύονται με "άδεια" πακέτα σε περίπτωση που ο δρομολογητής δεν τα γράφει με αρκετά γρήγορη ταχύτητα ώστε να γεμίζουν ολόκληρο το πλαίσιο. Η ουρά εξόδου του πομπού έχει μέγεθος τριών πακέτων και ο δρομολογητής ειδοποιείται να σταματήσει να γράφει όταν αυτή γεμίσει. Η ουρά βέβαια μπορεί να γεμίσει μόνο αν γράφεται με ρυθμό μεγαλύτερο από 19.44 MHz (ή ακριβέστερα 18.72 όπως προαναφέραμε στο κεφάλαιο 2). Κατόπιν τα πακέτα τοποθετούνται μέσα στο πλαίσιο STS-3c/STM-1, το οποίο και μεταδίδεται σειριακά στον μετατροπέα από ηλεκτρικό σε οπτικό. Ενα PLL εσωτερικό του πομπού χρησιμοποιείται για να παράγει την συχνότητα εξόδου 155.52MHz από έναν εξωτερικό ταλαντωτή που παράγει το 1/8 της συχνότητας (19.44MHz).

Ο πομποδέκτης μπορεί να λειτουργήσει με δύο loopback τρόπους, που ονομάζονται: *facility* και *terminal*. Κατά το *facility*, τα σειριακά δεδομένα εισόδου από το SONET ανακατευθύνονται προς τα σειριακά δεδομένα εξόδου. Η κατασκευή πλαισίων αναστέλλεται σε αυτό τον τρόπο λειτουργίας. Κατά το *terminal*, παράλληλα δεδομένα από το δρομολογητή (δηλ.τα πακέτα ATM) ανακατευθύνονται προς την ουρά εισόδου. Η εξαγωγή πακέτων ATM από τα εισερχόμενα πλαίσια αναστέλλεται σε αυτό τον τρόπο λειτουργίας. Και οι δύο αυτοί μηχανισμοί, οι οποίοι φαίνονται στο σχήμα 5 με διακεκομμένες γραμμές, χρησιμοποιούνται για έλεγχο σωστής λειτουργίας του κυκλώματος και εύρεση λαθών.

Οι πομποδέκτες SONET/SDH χρησιμοποιούν διαφορικά σήματα υψηλής ταχύτητας (PECL, positive ECL). Η μικρή διαφορά τάσης μεταξύ λογικού 0 και λογικού 1 του PECL εισάγει πολύ μικρό θόρυβο στο κύκλωμα, το κάνει πολύ ανεκτικό σε άλλες πηγές θορύβου, και επιτρέπει πολύ υψηλές συχνότητες λειτουργίας. Υψηλές συχνότητες CMOS ή ακόμη και TTL θα εισήγαγαν πολύ θόρυβο στο κύκλωμα και θα έθεταν σε κίνδυνο τη

σωστή λειτουργία του πομποδέκτη αλλά και των γύρω κυκλωμάτων. Οι πομποδέκτες δέχονται επίσης το διαφορικό σήμα FLAGC το οποίο και τίθεται όταν το οπτικό σήμα χάνεται. Ολες οι συνδέσεις μεταξύ του πομποδέκτη και του μετατροπέα ηλεκτρικού σε οπτικό φαίνονται στο σχήμα 6.

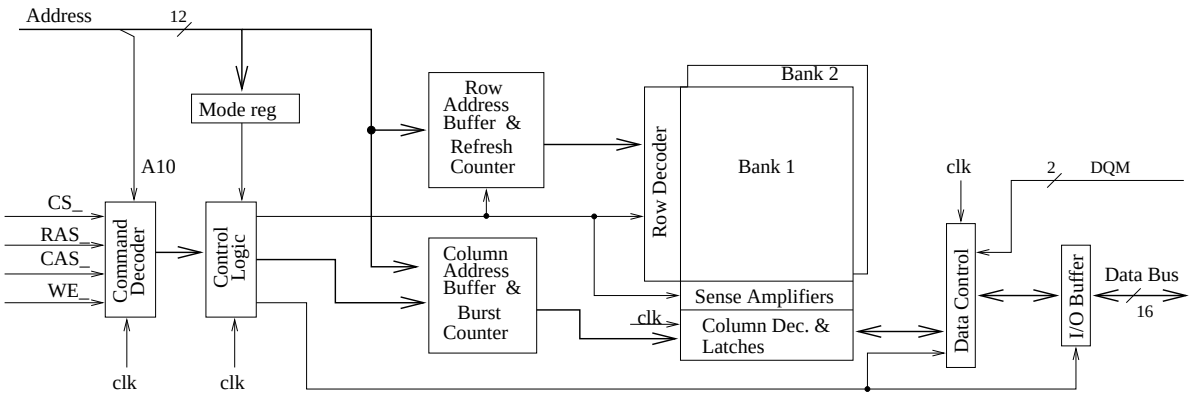



Σχήμα 6: Οι συνδέσεις μεταξύ του οπτικο-ηλεκτρικού μετατροπέα και τους πομποδέκτες του SONET/SDH

Οι πομποδέκτες προσφέρουν πολλές λειτουργίες ελέγχου και παρακολούθησης λειτουργίας μέσω ενός interface ελέγχου. Αυτό το interface αποτελείται από 8-bit δεδομένα, 8-bit διεύθυνση και μερικά σήματα ελέγχου όπως φαίνεται και στο σχήμα 5. Οι 8-bit καταχωρητές ελέγχου, διακοπών και ελέγχου διακοπών μπορούν να διαβαστούν και να γραφτούν μερικώς μέσω αυτού του interface. Ο καταχωρητής ελέγχου επιτρέπει την ενεργοποίηση ή όχι: α) της διόρθωσης λαθών των επικεφαλίδων των πακέτων ATM, β) facility loopback, γ) terminal loopback, δ) απόρριψη των "άδειων" πακέτων κ.α. Μέσω του καταχωρητή διακοπών μπορεί κάποια άλλη συσκευή να παρακολουθεί την λειτουργία του πομποδέκτη, αφού όταν συμβεί κάποιο λάθος, τίθεται και το αντίστοιχο bit σε αυτόν τον καταχωρητή. Μερικά λάθη που θέτουν τα bits του καταχωρητή είναι π.χ. απώλεια συγχρονισμού στο εισερχόμενο πλαίσιο ή απώλεια οπτικού σήματος. Μέσω του καταχωρητή χειρισμού διακοπών είναι δυνατόν να απενεργοποιηθεί, για συγκεκριμένα λάθη, ο μηχανισμός που θέτει τον καταχωρητή διακοπών δηλ. να αγνοούνται ορισμένα λάθη. Τέλος, ανάγνωση του καταχωρητή διακοπών προκαλεί και μηδενισμό όλων των περιεχομένων του.

# 4 Σύγχρονη δυναμική μνήμη. Αρχιτεκτονική και λειτουργία.

Η σύγχρονη δυναμική μνήμη (SDRAM) είναι μια καινούρια, φτηνή, τυχαία προσπελάσιμη μνήμη η οποία σχεδιάστηκε για να ικανοποιήσει τις μεγάλες ανάγκες σε παροχή. Η SDRAM χρησιμοποιεί τεχνικές burst για να προσφέρει μεταφορές δεδομένων off-chip στην ταχύτητα των 100 MHz. Παρ' όλα αυτά η τυχαία προσπέλαση λέξεων σε μια τέτοια μνήμη δεν είναι γρηγορότερη απ' ότι σε παραδοσιακή DRAM. Οι SDRAM διαφέρουν από τις παραδοσιακές DRAM στο ότι χρησιμοποιούν σύγχρονο (με ρολόι) interface, και έχουν πολλές banks εσωτερικά. Δηλ. κάθε λειτουργία ενεργοποιείται θέτοντας ή όχι το κατάλληλο σήμα στην θετική ακμή του ρολογιού. Τα σήματα ελέγχου (WE_, RAS_, CAS_, CS_, DQM) αποτελούν και την εντολή που δίνεται στην μνήμη. Επίσης τα δεδομένα γράφονται και διαβάζονται στις θετικές ακμές του ρολογιού. Μια γενική εικόνα της αρχιτεκτονικής της μνήμης δίνεται στο σχήμα 7.




Σχήμα 7: Η αρχιτεκτονική της σύγχρονης δυναμικής μνήμης.

Οι μνήμες αυτές χρησιμοποιούν έναν καταχωρητή λειτουργίας για να επιτρέψουν διαφορετικό τρόπο λειτουργίας της μνήμης (στο ίδιο ολοκληρωμένο). Π.χ. τα δεδομένα είναι δυνατόν να διαβαστούν 3 κύκλους ρολογιού των 100 MHz μετά από την εντολή ανάγνωσης, ή μετά από 2 κύκλους των 66 MHz, ή μετά από 1 κύκλο των 33 MHz. Σε κάθε περίπτωση ο χρόνος προσπέλασης της μνήμης είναι ο ίδιος (30ns). Αλλη δυνατή επιλογή μέσω του καταχωρητή λειτουργίας είναι το μέγεθος του burst, το οποίο μπορεί να είναι 2, 4, 8 bits ή ολόκληρη *σελίδα* της μνήμης. Επίσης, οι μνήμες αυτές έχουν πολλές banks, επιτρέποντας τη σειριακή διαδοχή προσπελάσεων σε διαφορετικές banks για αύξηση της παροχής. Τέλος, οι μνήμες αυτές επιτρέπουν αυτόματο refresh, δηλ. αρκεί να δοθεί μόνο η εντολή και δεν χρειάζεται έλεγχος των ακροδεκτών διεύθυνσης.

Στην πλακέτα μας χρησιμοποιήθηκε το ολοκληρωμένο uPD4516161 της NEC [8]. Πρόκειται για 16Mbits μνήμη με δύο banks και με 512K 16-bit λέξεις σε κάθε bank. Η οργάνωση της μνήμης είναι 4096 γραμμές x 4096 στήλες, ενώ έχει 16 ακροδέκτες εισόδου-εξόδου. Το μέγεθος της σελίδας (ή της γραμμής) είναι 256 16-bit λέξεις (4096 στήλες = 256 λέξεις x 16-bits/λέξη). Η μνήμη προγραμματίστηκε μέσω του καταχωρητή λειτουργίας για λειτουργία στα 100 MHz που είναι και η μέγιστη ταχύτητα του συγκεκριμένου ολοκληρωμένου. Σε αυτήν τη συχνότητα λειτουργίας η ανάγνωση δεδομένων στοιχίζει 3 κύκλους ρολογιού - όπως θα δούμε και παρακάτω. Επίσης

το μέγεθος του burst προγραμματίστηκε να είναι ολόκληρης σελίδας γιατί θέλαμε μία εντολή ανάγνωσης/εγγραφής ανά πακέτο. Φυσικά αμέσως μόλις διαβάζονταν ή γράφονταν ένα ολόκληρο πακέτο, δηλ. μετά από 27 κύκλους, το burst διακόπτονταν γιατί αλλιώς θα συνέχιζε για 229 ακόμα κύκλους. Επιλέξαμε κάθε πακέτο ATM να καταλαμβάνει χώρο 27 λέξεων (27 16-bit λέξεις = 432 bits) αντί για 26 και μισή λέξη, για απλότητα και για να κάνουμε ευκολότερο υπολογισμό διευθύνσεων.

Ανάμεσα στις διάφορες λειτουργίες που υποστηρίζει η σύγχρονη δυναμική μνήμη, μόνο οι ακόλουθες χρησιμοποιήθηκαν στο σχέδιό μας για να υποστηρίξουν πλήρως εγγραφές/αναγνώσεις ολόκληρων πακέτων ATM. (Στα παρακάτω εννοείται ταχύτητα λειτουργίας 100 MHz και μέγεθος burst ολόκληρη σελίδα).

- Εντολή *Activate* δίνοντας ταυτόχρονα τη διεύθυνση γραμμής. Η εντολή αυτή ενεργοποιεί την γραμμή της μνήμης την οποία δεικτοδοτεί η διεύθυνση, ώστε να ακολουθήσουν προσπελάσεις σε αυτήν τη γραμμή. Δεν μπορεί να γίνει καμμία προσπέλαση αν δε δοθεί πρώτα αυτή η εντολή. Διαδοχικές προσπελάσεις μπορούν να γίνουν στην ίδια γραμμή χωρίς να ξαναδωθεί η εντολή *activate*, ενώ για προσπέλαση σε άλλη γραμμή πρέπει πρώτα να κλείσει η γραμμή αυτή (δες εντολή *precharge* πιο κάτω) και να ξαναδωθεί νέα εντολή *activate* με τη διεύθυνση της νέας γραμμής.

- Εντολή *Read* δίνοντας ταυτόχρονα τη διεύθυνση στήλης. Με αυτήν την εντολή γίνεται ανάγνωση της μνήμης που αρχίζει από τη στήλη που δεικτοδότησε η διεύθυνση, και προχωρεί μια στήλη ανά κύκλο. Τα πρώτα δεδομένα θα εμφανιστούν στους ακροδέκτες 3 κύκλους αφ' ότου δοθεί η εντολή. Νέα δεδομένα θα εμφανίζονταν στους ακροδέκτες για 256 κύκλους, αλλά η ανάγνωση διακόπτεται μετά από 27 κύκλους, μόλις δηλ. έχει αναγνωστεί ένα ολόκληρο πακέτο ATM.

- Εντολή *Write* δίνοντας ταυτόχρονα τη διεύθυνση στήλης. Με αυτήν την εντολή γίνεται εγγραφή της μνήμης που αρχίζει από τη στήλη που δεικτοδότησε η διεύθυνση, και προχωρεί μια στήλη ανά κύκλο. Τα πρώτα δεδομένα πρέπει να μπούν στο δίαυλο τον ίδιο κύκλο που δίνεται και η εντολή. Νέα δεδομένα πρέπει να μπαίνουν στο δίαυλο κάθε κύκλο και για 27 συνεχόμενους κύκλους, ώστε να γραφτεί ένα ολόκληρο πακέτο ATM στη μνήμη. Τότε το burst πρέπει να σταματήσει χρησιμοποιώντας την εντολή *precharge*.

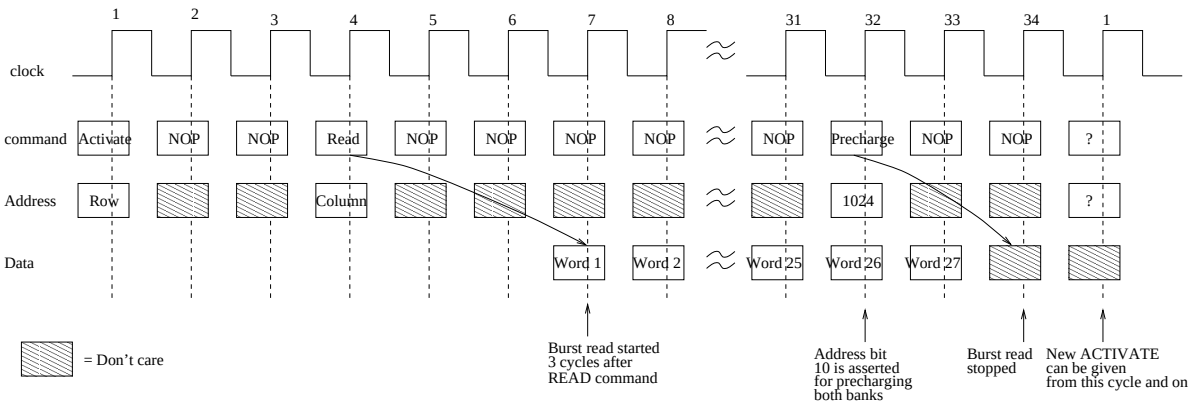
- Εντολή *Precharge*. Αυτή η εντολή εκτελεί δύο λειτουργίες ταυτόχρονα: α) Σταματά το burst ανάγνωσης εγγραφής και β) κλείνει τη γραμμή η οποία είχε ενεργοποιηθεί, ώστε να μπορέσει να επακολουθήσει ενεργοποίηση άλλης γραμμής. Στο σχέδιό μας, η εντολή *precharge* δίνεται τη στιγμή που ολοκληρώνεται η ανάγνωση/εγγραφή του πακέτου. Η εντολή *activate* που θα ενεργοποιήσει νέα γραμμή δεν μπορεί να δοθεί για τους επόμενους 2 κύκλους μετά την *precharge*. Το ολοκληρωμένο δίνει τη δυνατότητα για *precharge* μόνο σε μία από τις δύο banks. Εμείς για απλότητα κάνουμε πάντα *precharge* και τις δύο banks (θέτοντας το δέκατο bit της διεύθυνσης), παρ' όλο που ποτέ δεν είναι ενεργοποιημένες και οι δύο ταυτόχρονα.

- Εντολή *Refresh*. Η εντολή αυτή ξεκινάει την διαδικασία αυτομάτου refresh η οποία και διαρκεί 10 κύκλους. Η διεύθυνση δεν χρειάζεται να δοθεί στη μνήμη γιατί

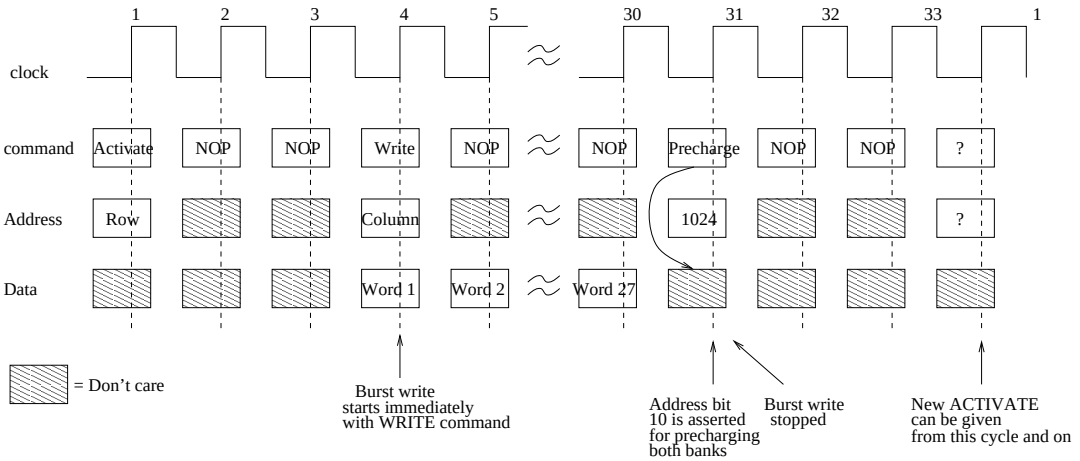
υπάρχει ένας εσωτερικός μετρητής γραμμών. Ετσι ο ελεγκτής της μνήμης είναι απλούστερος γιατί δεν χρειάζεται να θυμάται διευθύνσεις. Και οι 4096 γραμμές της μνήμης πρέπει να γίνονται refresh τουλάχιστον μία φορά κάθε 64ms, το οποίο δίνει ένα refresh κάθε 15620ns, ή ένα κάθε 1562 κύκλους (για 100Mhz συχνότητα λειτουργίας). Ετσι, λιγότερο από 0.65% (10 κύκλοι κάθε 1562) της συνολικής παροχής χάνονται λόγω refresh.

- Εντολή *Register mode set* με τα περιεχόμενα του καταχωρητή στους ακροδέκτες διεύθυνσης. Ο καταχωρητής αυτός, όπως προαναφέρθηκε, ελέγχει τη λειτουργία της μνήμης γι' αυτό η εντολή πρέπει να δοθεί τουλάχιστον μία φορά μετά την έναρξη λειτουργίας και πριν οποιαδήποτε πρόσβαση.

Στο σχήμα 8 και 9 μπορούμε να δούμε πώς ένα ολόκληρο πακέτο ATM μεταφέρεται από/προς την μνήμη.




Σχήμα 8: Ανάγνωση πακέτου ATM από τη σύγχρονη δυναμική μνήμη.




Σχήμα 9: Εγγραφή πακέτου ATM στη σύγχρονη δυναμική μνήμη.

Από τα παραπάνω καταλαβαίνουμε ότι μια τυχαία πρόσβαση στη σύγχρονη δυναμική μνήμη δεν είναι γρηγορότερη από την παραδοσιακή DRAM. Αν κάναμε μια πρόσβαση για κάθε λέξη της μνήμης (16 bits) θα πληρώναμε τη καθυστέρηση των εντολών *activate*

και *precharge* και η παροχή δεν θα ήταν αρκετή. Συγκεκριμένα η μέση παροχή θα ήταν μόνο 160Mbit/s.

Αντίθετα, κάνοντας μία πρόσβαση σε 27 συνεχόμενες θέσεις μνήμης (για ένα ολόκληρο πακέτο ATM δηλαδή), πληρώνουμε 33 κύκλους καθυστέρηση για την εγγραφή και 34 για την ανάγνωση (όπως φαίνεται και στο σχήμα 8). Ετσι, η συνολική παροχή της μνήμης είναι 424bits/340ns το οποίο υπερβαίνει το 1.2Gbps. Γι' αυτό το λόγο και οποιοδήποτε πακέτο ATM βρίσκεται σε συνεχόμενες θέσεις στη μνήμη και σε μόνο μία γραμμή.

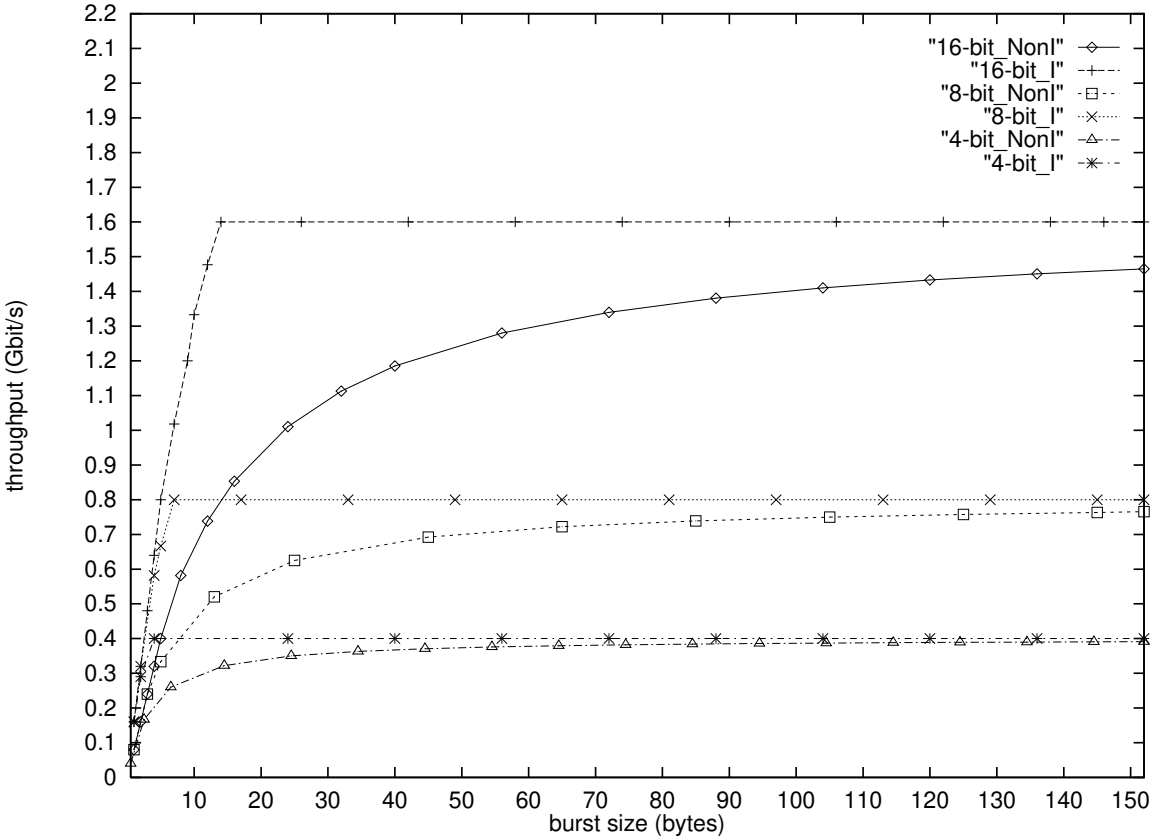
Είναι φανερό ότι η παροχή εξαρτάται από το μέγεθος του burst. Μεγαλύτερα bursts δίνουν μεγαλύτερη παροχή που πλησιάζει στη μέγιστη παροχή του ολοκληρωμένου. Μια SDRAM με 16bits I/O έχει 1.6Gbit/s μέγιστη παροχή, ενώ μια με 8 ή 4 bits έχει 0.8Gbit/s ή 0.4Gbit/s αντίστοιχα (υποθέτουμε συχνότητα λειτουργίας τα 100MHz). Οι SDRAM επίσης προσφέρουν τη δυνατότητα διαφυλλωμένων προσβάσεων, δηλ. κάνοντας *activate* ή *precharge* μία bank ενώ κάνουμε πρόσβαση στην άλλη. Με αυτόν το τρόπο αυξάνεται η παροχή. Οταν δεν γίνονται διαφυλλωμένες προσβάσεις, η παροχή εξαρτάται μόνο από το μέγεθος του burst. Το σχήμα 10 δείχνει την παροχή ενός ολοκληρωμένου SDRAM διαφόρων οργανώσεων (4,8, ή 16 ακροδέκτες εισόδου-εξόδου), για διάφορα μεγέθη burst. Οταν γίνονται διαφυλλωμένες προσβάσεις, η παροχή είναι μεταξύ της μέγιστης παροχής (γραμμές "I" στο σχήμα 10) και της παροχής όταν δεν γίνονται τέτοιες προσβάσεις (γραμμές "nonI" στο σχήμα 10).

Απ' όλα αυτά φαίνεται ότι οι σύγχρονες δυναμικές μνήμες είναι κατάλληλες για αποθήκευση πακέτων, γιατί χρειαζόμαστε μεγάλη χωρητικότητα σε χαμηλή τιμή και υψηλή παροχή που επιτυγχάνεται μέσω της προβλεψιμότητας των προσβάσεων (27 προσβάσεις σε συνεχόμενες θέσεις).

Με αυτόν το τρόπο, κάθε γραμμή της μνήμης, η οποία έχει μέγεθος 4096 bits (256 16-bit λέξεις) μπορεί να κρατήσει το πολύ 9 πακέτα ATM ($\lfloor 256$λέξεις$/27$λέξεις ανά πακέτο$\rfloor$). Η συνολική χρησιμοποίηση κάθε γραμμής είναι λοιπόν 9 πακέτα * 424 bits = 3816 bits, ενώ τα υπόλοιπα 4096 - 3816 = 280 bits δεν χρησιμοποιούνται αφού δεν μπορούν να αποθηκεύσουν ολόκληρο πακέτο. Ετσι έχουμε μια σπατάλη μνήμης που ανέρχεται σε 280 bits σε κάθε γραμμή (των 4096 bits), επομένως μια σπατάλη 6.83% του συνολικού αποθηκευτικού χώρου. Η σπατάλη αυτή δεν θεωρείται σημαντική αν αναλογιστούμε ότι με την αρχιτεκτονική αυτή έχουμε: α) απλότητα και ομοιομορφία σε όλες τις προσβάσεις στη μνήμη, β) εύκολο υπολογισμό διευθύνσεων και γ) γρήγορο και απλό έλεγχο για το αν η μνήμη είναι γεμάτη ή άδεια.

Οταν χρησιμοποιούνται περισσότερα του ενός ολοκληρωμένου, εκτός από την αύξηση του συνολικού αποθηκευτικού χώρου, αυξάνεται και η παροχή. Οταν ένα πακέτο ATM βρίσκεται σε περισσότερα του ενός ολοκληρωμένου, η μεταφορά του γίνεται πιο γρήγορα απ' όταν βρίσκεται μόνο σε ένα λόγω της αύξησης της στιγμιαίας παροχής, αλλά η αύξηση αυτή δεν είναι ανάλογη του αριθμού των ολοκληρωμένων που περιέχουν το πακέτο. Ο λόγος γι' αυτό είναι ότι η καθυστέρηση των εντολών *precharge*, *activate* παραμένει σταθερή.

Από την άλλη, υπάρχουν οι αρχιτεκτονικές με περισσότερα ολοκληρωμένα, στις οποίες ένα πακέτο ATM βρίσκεται πάντα σε ένα μόνο απ' αυτά αλλά μπορούμε να μεταφέρουμε πολλά πακέτα ταυτόχρονα. Αυτές οι αρχιτεκτονικές διαφέρουν από τις




Σχήμα 10: Παροχή που προσφέρεται από ένα ολοκληρωμένο SDRAM διαφόρων οργανώσεων (4,8, ή 16 bits I/O) για διάφορα μεγέθη burst (I σημαίνει διαφυλλωμένες προσβάσεις, nonI σημαίνει μη διαφυλλωμένες).

αρχιτεκτονικές με ένα μόνο ολοκληρωμένο στον αριθμό των συνολικών banks (εκτός βέβαια από την αύξηση του αποθηκευτικού χώρου). Εδώ όμως υπάρχει το πρόβλημα των συγκρούσεων μεταξύ των banks (bank conflicts) που είναι και ο κύριος παράγοντας περιορισμού της παροχής σε αυτές τις αρχιτεκτονικές.

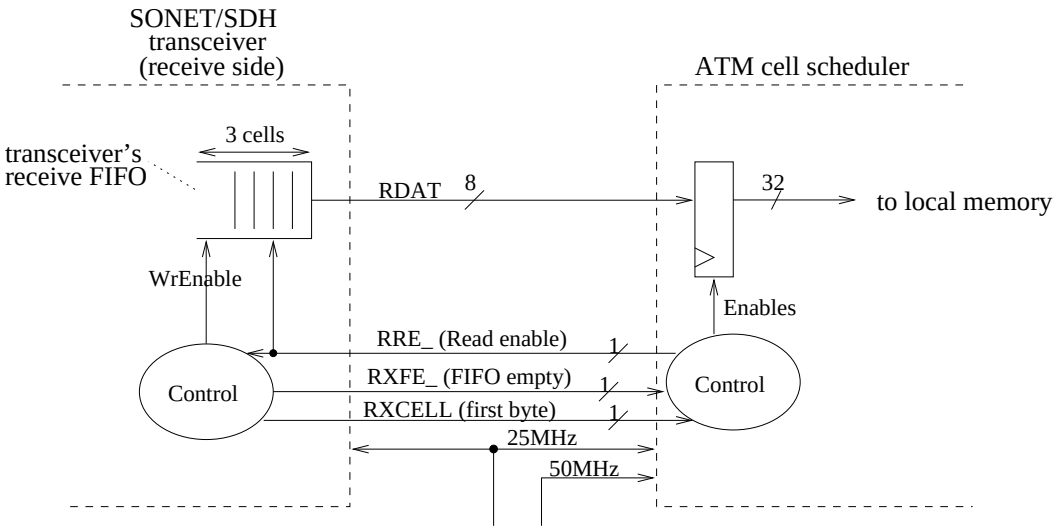
# 5 Ο δρομολογητής πακέτων ATM

Ο δρομολογητής πακέτων ATM είναι ο πυρήνας της αρχιτεκτονικής. Διασυνδέεται και με τους δύο πομποδέκτες του SONET, δηλ. εξυπηρετεί όλους τους συνδέσμους εισόδου και εξόδου. Ο δρομολογητής έχει υλοποιηθεί σε μια μεγάλη FPGA η οποία είναι πολύ πιο αργή από την σύγχρονη δυναμική μνήμη, επομένως δεν μπορεί να υπάρξει απ' ευθείας σύνδεση μεταξύ των δύο αυτών κυκλωμάτων. Γι' αυτό και χρησιμοποιήθηκε ένας γρήγορος ελεγκτής μνήμης που τους συνδέει. Ο ελεγκτής της μνήμης περιγράφεται στο κεφάλαιο 6. Αφού ο ελεγκτής μνήμης πρέπει να επικοινωνεί με τη μνήμη στα 100MHz πάνω από ένα 16-bit δίαυλο, είναι βολικό για τον δρομολογητή να λειτουργεί στα 50MHz (λογική ταχύτητα για μια μεγάλη σύγχρονη FPGA) και να επικοινωνεί με τον ελεγκτή πάνω από ένα 32-bit δίαυλο. Ετσι επιτυγχάνεται η ίδια παροχή και στους δύο διαύλους (16bits*100MHz=32bits*50MHz).

Οσον αφορά τη σύνδεση του δρομολογητή με τους πομποδέκτες όμως υπήρχαν κάποια προβλήματα. Οι πομποδέκτες δεν μπορούσαν να επικοινωνήσουν με το δρομολογητή στα 50MHz και γι' αυτό το λόγο χρησιμοποιήθηκε και τρίτο ρολόι στα 25MHz (το ελάχιστο 19.44MHz ικανοποιείται). Ετσι ο δρομολογητής γράφει/διαβάζει στους/από τους πομποδέκτες με μέγιστο (στιγμιαίο) ρυθμό 8-bit/40ns. Και τα τρία ρολόγια έχουν συγχρονισμένες ακμές ώστε να αποφύγουμε προβλήματα συγχρονισμού και φαινόμενα μεταστάθειας. Τα interfaces του δρομολογητή φαίνονται λεπτομερώς στα επόμενα υποκεφάλαια.

## 5.1 Interface στη πλευρά εισόδου των πακέτων ATM.

Ο δρομολογητής διαβάζει πακέτα ATM από τους πομποδέκτες χρησιμοποιώντας τα ακόλουθα σήματα: RRE_, RXFE_, RXCELL and RDAT (όπως φαίνεται και στο σχήμα 11).

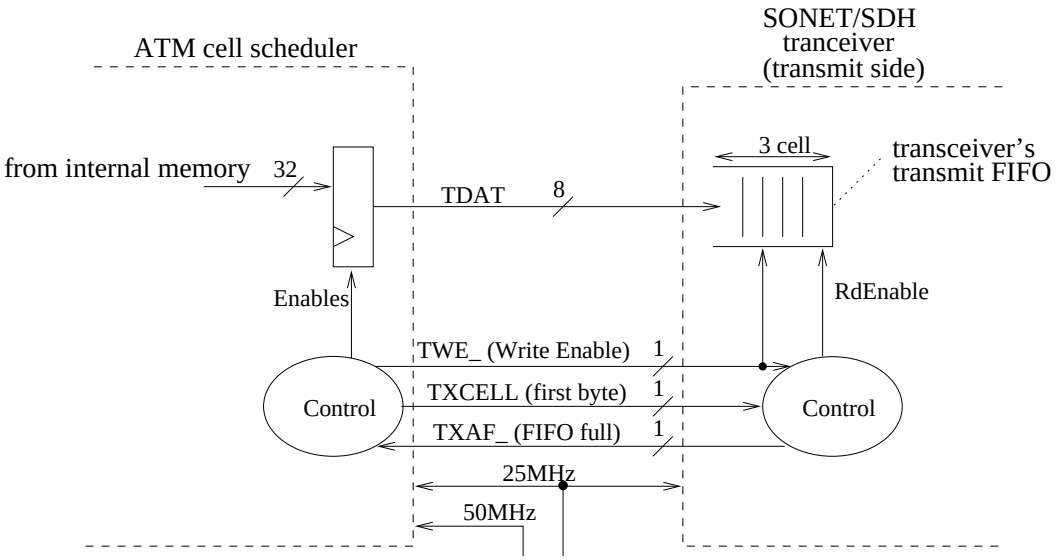



Σχήμα 11: Interface μεταξύ του δρομολογητή και του πομποδέκτη, μέσω του οποίου ο δρομολογητής διαβάζει τα πακέτα ATM που έρχονται από το SONET.

Η ανάγνωση από την ουρά εισόδου του πομποδέκτη γίνεται θέτοντας το σήμα RRE_. Τα δεδομένα (bytes) που διαβάζονται τοποθετούνται από τον πομποδέκτη πάνω στο RDAT δίαυλο στον επόμενο κύκλο και θεωρούνται έγκυρα αν το σήμα RXFE_ είναι απενεργοποιημένο. Το σήμα RXFE_ ενεργοποιείται όταν η ουρά εισόδου είναι άδεια και επομένως τα δεδομένα πάνω στο δίαυλο δεν είναι έγκυρα. Επομένως ένα byte πάνω στο δίαυλο είναι έγκυρο σε κάποιο κύκλο $a$, αν το RXFE_ είναι απενεργοποιημένο στον ίδιο κύκλο $a$ και το σήμα RRE_ ήταν ενεργοποιημένο στον κύκλο $a-1$. Στο κύκλωμά μας το RRE_ είναι συνεχώς ενεργοποιημένο γιατί ο δρομολογητής μπορεί να διαβάζει σε κάθε κύκλο από την ουρά εισόδου (αν αυτή δεν άδειαζε ποτέ). Φυσικά η ανάγνωση δεν μπορεί να συνεχίζεται διαρκώς γιατί ο δρομολογητής την διαβάζει πιο γρήγορα απ' ότι γράφεται (25MHz αντί για περίπου 19.44MHz). Τέλος το σήμα RXCELL ενεργοποιείται από τον πομποδέκτη για να δείξει ότι το byte που βρίσκεται στο δίαυλο είναι το πρώτο byte του πακέτου.

## 5.2 Interface στη πλευρά της ουράς εξόδου.

Ο δρομολογητής γράφει πακέτα ATM στους πομποδέκτες χρησιμοποιώντας τα ακόλουθα σήματα: TWE_, TXAF_, TXCELL, TDAT (όπως φαίνεται και στο σχήμα 12).




Σχήμα 12: Interface μεταξύ του δρομολογητή και του πομποδέκτη, μέσω του οποίου ο δρομολογητής γράφει τα πακέτα ATM.

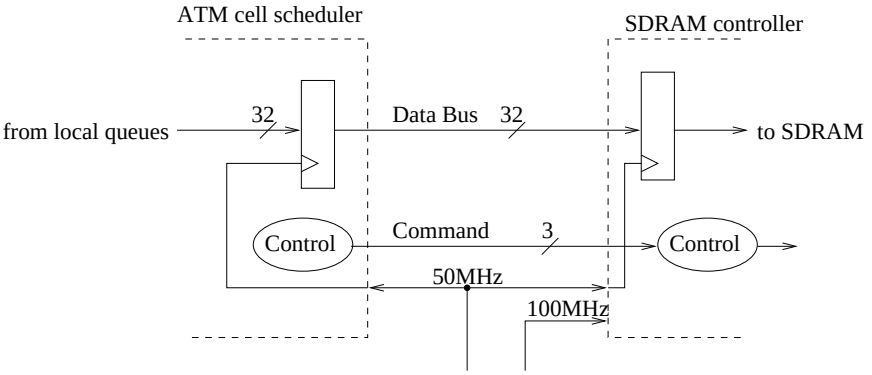
Η εγγραφή στην ουρά εξόδου του πομποδέκτη γίνεται θέτοντας το σήμα TWE_. Ο πομποδέκτης ειδοποιεί τον δρομολογητή ότι η ουρά είναι γεμάτη ενεργοποιώντας το σήμα TXAF_, οπότε και ο δρομολογητής πρέπει να σταματήσει τις εγγραφές γιατί έτσι και αλλιώς αυτές θα αγνοηθούν. Επομένως ένα byte μεταδίδεται πραγματικά σε κάποιο κύκλο $a$, αν το TWE_ είναι ενεργοποιημένο στον ίδιο κύκλο $a$ και το TXAF_ ήταν απενεργοποιημένο στον κύκλο $a-1$. Επομένως τα πακέτα ATM μεταδίδονται από το δρομολογητή με μέγιστο (στιγμιαίο) ρυθμό 1byte/40ns, αλλά με μέσο ρυθμό μικρότερο ή ίσο του 1byte/51.44ns (51.44ns είναι η περίοδος του 19.44MHz ρολογιού). Το σήμα

TXCELL ενεργοποιείται από το δρομολογητή για να δείξει ότι το byte που βρίσκεται στο δίαυλο είναι το πρώτο byte του πακέτου.

Ο δρομολογητής χρησιμοποιεί το ρολόι των 25MHz μόνο για να επικοινωνήσει με τους πομποδέκτες. Εσωτερικά λειτουργεί στα 50MHz.

## 5.3 Interface με τον ελεγκτή της σύγχρονης δυναμικής μνήμης.

Ο δρομολογητής επικοινωνεί με τον ελεγκτή μνήμης μέσω ενός διαύλου δεδομένων 32-bit και 3 σημάτων ελέγχου. Το interface αυτό φαίνεται στο σχήμα 13.




Σχήμα 13: Η επικοινωνία μεταξύ του δρομολογητή και του ελεγκτή μνήμης.

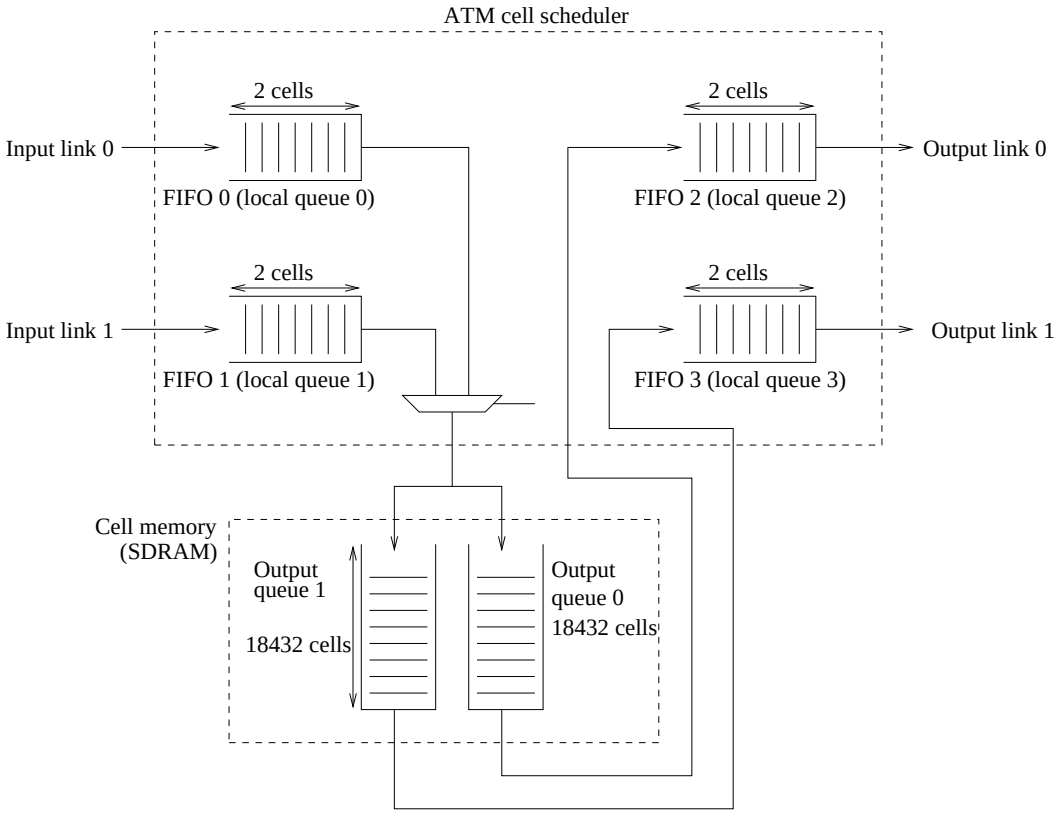
Ο συγχρονισμός επιτυγχάνεται μέσω του ρολογιού των 50MHz. Ο δρομολογητής μπορεί να στείλει στον ελεγκτή συνολικά 6 εντολές (γι' αυτό και τα 3 σήματα ελέγχου): *Mode Register Set, Precharge, Read, Write, Refresh* and *No operation*. Για να γίνει μια ανάγνωση από τη μνήμη ο δρομολογητής στέλνει την εντολή *Read* στον ελεγκτή και μετά από προκαθορισμένο αριθμό κύκλων διαβάζει τα δεδομένα από το δίαυλο των 32-bit. Για την εγγραφή, στέλνει την εντολή *Write* στον ελεγκτή και βάζει τα προς εγγραφή δεδομένα πάνω στο δίαυλο μετά από μερικούς κύκλους. Η διεύθυνση στην οποία θα γίνει η πρόσβαση δεν δίνεται στον ελεγκτή, αλλά στέλνεται κατευθείαν στη μνήμη. Δηλ. ο δρομολογητής και ο ελεγκτής συνεργάζονται για τον έλεγχο της μνήμης. Η συνεργασία αυτή θα εξηγηθεί σε μεγαλύτερη λεπτομέρεια στο κεφάλαιο 6.

## 5.4 Η αρχιτεκτονική του δρομολογητή

Ο δρομολογητής υλοποιείται σε ένα FPGA FLEX10K40 [3] της Altera, η οποία έχει εσωτερικά μια μονόπορτη στατική μνήμη και η οποία μας επιτρέπει να εκμεταλλευτούμε καλύτερα την παροχή της σύγχρονης δυναμικής μνήμης. Για να μη συγχέουμε τις δύο μνήμες μεταξύ τους, θα αναφερόμαστε στην σύγχρονη δυναμική μνήμη σαν "εξωτερική" και στην εσωτερική στατική σαν "εσωτερική". Οπως είδαμε στο κεφάλαιο 4, για να έχουμε το μικρότερο κόστος σε κύκλους όταν κάνουμε μια πρόσβαση στη σύγχρονη δυναμική μνήμη, πρέπει ένα πακέτο ATM να μεταφερθεί χωρίς διακοπή από/προς τη μνήμη. Αν κάποιο πακέτο που είχε αρχίσει να φτάνει στο δρομολογητή αλλά δεν είχε ολοκληρωθεί η άφιξή του, προωθούταν αμέσως προς την μνήμη, τότε η μεταφορά αυτή θα διακόπτονταν αν το πακέτο δεν έφτανε συνεχόμενο στους συνδέσμους εισόδου.

Γι' αυτό ένα πακέτο αποθηκεύεται πρώτα ολόκληρο μέσα στο δρομολογητή και μετά γράφεται στη μνήμη χωρίς διακοπές. Επίσης, επειδή ο δρομολογητής γράφει τα πακέτα στην ουρά εξόδου του πομποδέκτη πιο γρήγορα απ' ότι αυτός τα διαβάζει (25 MHz αντί για περίπου 19.44MHz), είναι πιθανόν η ουρά να γεμίσει στη μέση του πακέτου, οπότε και ο δρομολογητής πρέπει να σταματήσει την εγγραφή. Αν το πακέτο αυτό ερχόταν κατευθείαν από την εξωτερική μνήμη, τότε η ανάγνωση αυτή θα διακόπτονταν. Γι' αυτό το λόγο τα πακέτα πρώτα μεταφέρονται (διαβάζονται) ολόκληρα από την εξωτερική μνήμη στην εσωτερική και μετά μεταδίδονται στους πομποδέκτες με οσοδήποτε αριθμό διακοπών απαιτηθεί.

Ολα τα παραπάνω υλοποιούνται με τέσσερις λογικές ουρές (μία για κάθε σύνδεσμο - θα τις αποκαλούμε *τοπικές ουρές*), οι οποίες διατηρούνται μέσα στην εσωτερική μνήμη του δρομολογητή. Κάθε τοπική ουρά μπορεί να κρατήσει μέχρι δύο πακέτα ATM. Επίσης δύο μεγάλες ουρές εξόδου (μία για κάθε εξερχόμενο σύνδεσμο) διατηρούνται στην εξωτερική μνήμη. Η εξωτερική μνήμη χωρίζεται στατικά στις δύο αυτές ουρές. Αυτό έχει σαν αποτέλεσμα η λογική ανάγνωσης και εγγραφής στις ουρές να είναι πιο απλή και πολύ γρήγορη, αλλά έχει το μειονέκτημα ότι δεν χρησιμοποιεί αποδοτικά τη μνήμη. Δηλ. αν μια ουρά γεμίσει τότε θα χαθούν πακέτα ενώ θα μπορούσε να χρησιμοποιηθεί χώρος από την άλλη όχι-γεμάτη ουρά. Η λογική οργάνωση των ουρών αυτών φαίνεται στο σχήμα 14.




Σχήμα 14: Η λογική οργάνωση των ουρών εισόδου και εξόδου.

Καθώς καταφθάνουν τα πακέτα ATM από τους συνδέσμους εισόδου, γράφονται στις αντίστοιχες τοπικές ουρές. Οταν υπάρχει ένα ολόκληρο πακέτο σε κάποια τοπική

ουρά, τότε μόνο θεωρείται υποψήφιο για μεταφορά προς την εξωτερική μνήμη. Ο δρομολογητής λειτουργεί σε αρκετά υψηλή ταχύτητα ώστε να μεταφέρει το πακέτο πριν καταφθάσει ένα νέο ολόκληρο πακέτο, επομένως η τοπική ουρά εισόδου αρκεί να έχει μέγεθος δύο πακέτων το πολύ. Οταν μια τοπική ουρά εξόδου έχει χώρο για τουλάχιστον ένα πακέτο, τότε μεταφέρεται ένα από την αντίστοιχη ουρά της εξωτερικής μνήμης (αν αυτή δεν άδεια) και γράφεται στην τοπική. Με άλλα λόγια οι τοπικές ουρές εξόδου αποτελούν τις κεφαλές των ουρών που βρίσκονται στην εξωτερική μνήμη. Η μεταφορά αυτή γίνεται με αρκετά γρήγορο ρυθμό ώστε ο σύνδεσμος εξόδου να είναι απασχολείται συνεχώς.

Επομένως, οι λειτουργίες που επιτελεί ο δρομολογητής είναι:

- Ενα ολόκληρο πακέτο ATM συγκεντρώνεται από τους συνδέσμους εισόδου μέσα στις τοπικές ουρές (στην εσωτερική μνήμη).
- Τα πακέτα που βρίσκονται στην εσωτερική μνήμη γράφονται σε κάποια ουρά εξόδου ανάλογα με την τιμή VP/VC της επικεφαλίδας τους. Η εγγραφή στην εξωτερική μνήμη γίνεται σε συνεχόμενους κύκλους χωρίς διακοπή.
- Αν μια τοπική ουρά εξόδου έχει χώρο για τουλάχιστον ένα πακέτο, τότε εγγράφεται με ένα από την αντίστοιχη ουρά της εξωτερικής μνήμης (αν εκείνη δεν είναι άδεια). Η ανάγνωση από την εξωτερική μνήμη γίνεται σε συνεχόμενους κύκλους χωρίς διακοπή.
- Αν ο σύνδεσμος εξόδου είναι ελεύθερος (δηλ. η ουρά εξόδου του πομποδέκτη δεν είναι γεμάτη) τότε ένα πακέτο που βρίσκεται σε μια τοπική ουρά εξόδου αρχίζει να μεταδίδεται προς τον πομποδέκτη.

Η λειτουργία cut-through δεν υποστηρίζεται, μετάφραση επικεφαλίδων δεν γίνεται και η δρομολόγηση είναι στατική, δηλ. ποιός σύνδεσμος εξόδου αντιστοιχεί στις διάφορες τιμές VP/VC των πακέτων προαποφασίζεται κατά τον προγραμματισμό των FPGA. Αυτό βέβαια μπορεί να αλλαχθεί στο μέλλον, επιτρέποντας μετάφραση επικεφαλίδων και δυναμικές αλλαγές στον πίνακα μετάφρασης μέσω επέμβασης του μικροεπεξεργαστή.

Το διάγραμμα block του δρομολογητή φαίνεται στο υποκεφάλαιο 5.6.

## 5.5 Απόρριψη πακέτων σε περίπτωση που γεμίσει η εξωτερική μνήμη.

Οταν εισερχόμενα γειτονικά πακέτα και από τους δύο συνδέσμους εισόδου κατευθύνονται στον ίδιο σύνδεσμο εξόδου, η εξωτερική μνήμη γεμίζει με διπλάσιο ρυθμό απ' ότι αδειάζει. Αν γεμίσει, ο δρομολογητής απορρίπτει όλα τα (ολόκληρα) πακέτα στις τοπικές ουρές εισόδου, που προορίζονται για αυτήν την γεμάτη ουρά εξόδου. Δύο το πολύ πακέτα μπορεί να απορριφθούν σε αυτήν την περίπτωση γιατί κάθε τοπική ουρά μπορεί να περιέχει το πολύ ένα ολόκληρο πακέτο.

Μια δεύτερη λύση θα ήταν να απορρίπταμε μόνο ένα πακέτο (μόνο από τον ένα σύνδεσμο εισόδου), ώστε ο μέγιστος ρυθμός που θα γραφόταν η εξωτερική μνήμη να είναι ίσος με αυτόν που διαβάζεται. Με αυτόν το τρόπο, όμως, δεν κερδίζουμε τίποτε παραπάνω απ' ότι με τον τρόπο που επιλέξαμε, καθώς μακροχρόνια απορρίπτουμε τον ίδιο αριθμό πακέτων. Μόνο το ποια πακέτα απορρίπτουμε αλλάζει με αυτό το

σχήμα. Αυτό εξηγείται ως εξής: απορρίπτοντας δύο πακέτα εξασφαλίζουμε χώρο για το επόμενο πακέτο που θα καταφθάσει και το οποίο θα καταφέρει να γραφτεί στην εξωτερική μνήμη γιατί αυτή εντωμεταξύ θα έχει αδειάσει κατά ένα πακέτο. Αυτό το "επόμενο" πακέτο θα απορρίπτονταν με τη δεύτερη λύση γιατί τη θέση του θα καταλάμβανε από το "προηγούμενο" πακέτο (αυτό που δεν απορρίψαμε από τα δύο).

Μια τρίτη λύση θα ήταν να σταματήσουμε να δεχόμαστε πακέτα από τους πομποδέκτες του SONET. Ετσι όμως μπορεί να γεμίσει η ουρά εισόδου του πομποδέκτη και να χαθούν 3 πακέτα, μερικά από τα οποία μπορεί να κατευθυνόταν προς τον άλλο σύνδεσμο εξόδου που δεν είναι συμφορημένος και η ουρά πακέτων του στην εξωτερική μνήμη δεν είναι γεμάτη.

## 5.6 Η οργάνωση της εσωτερικής μνήμης του δρομολογητή

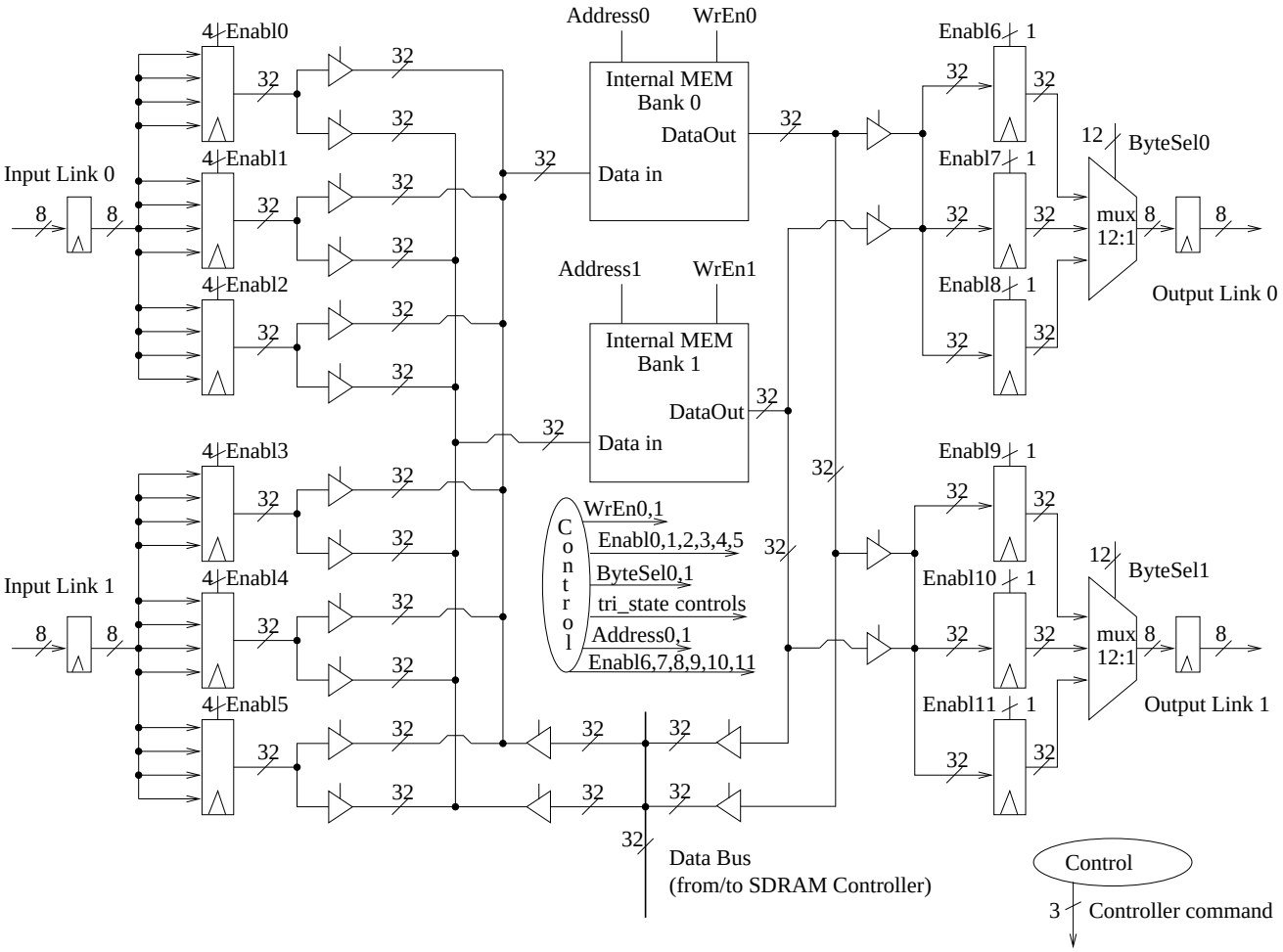
Οι τοπικές ουρές του δρομολογητή υλοποιούνται στην εσωτερική του μνήμη. Η εσωτερική μνήμη των FPGA αποτελείται από πολλά blocks σύγχρονης (με ρολόι) στατικής μνήμης μεγέθους 256 x 8 = 2048 bits το καθένα. Οπως προαναφέραμε, υπάρχουν 4 λογικές ουρές μέσα στο δρομολογητή μεγέθους 2 πακέτων η καθεμία, επομένως χρειαζόμαστε 8*424=3392 bits συνολικά. Από αυτήν την άποψη δύο blocks μνήμης θα ήταν αρκετά. Από την άλλη, χρειαζόμαστε 1.6Gbps παροχή για να εκτελούμε τις μεταφορές από/προς την εξωτερική μνήμη (32-bits x 50MHz) και 0.8Gbps (4 links * 8 bits * 25MHz) για να εξυπηρετήσουμε τους τέσσερις συνδέσμους. Δηλ. η εσωτερική μνήμη πρέπει να έχει παροχή τουλάχιστον 2.4Gbps. Ενα block μνήμης έχει παροχή 0.4Gbps (8-bit * 50MHz) επομένως χρειαζόμαστε τουλάχιστον 6 blocks. Επιλέξαμε να χρησιμοποιήσουμε 8 blocks, ώστε να δημιουργηθούν 2 banks πλάτους 32-bits η καθεμία. Ετσι το κύκλωμα είναι απλούστερο γιατί όλες οι προσβάσεις γίνονται σε 32-bit λέξεις (τόσο είναι και ο δίαυλος προς τον ελεγκτή) και οι λέξεις αυτές θα βρίσκονται σε μία εκ των δύο banks και όχι σε έναν αυθαίρετο συνδυασμό τεσσάρων blocks.

Το διάγραμμα block του δρομολογητή φαίνεται στο σχήμα 15. Η εσωτερική μνήμη χωρίζεται σε δύο banks πλάτους 32-bits το καθένα. Η φυσική οργάνωση της εσωτερική μνήμης εξηγείται στο επόμενο υποκεφάλαιο. Οι τρικατάστατοι οδηγητές φαίνονται στο σχήμα για ευκολία. Στην πραγματικότητα αντικαθιστούνται από πολυπλέκτες, γιατί τα FPGA της Altera δεν υποστηρίζουν εσωτερικούς τρικατάστατους οδηγητές.

Αν υποθέσουμε τώρα ότι ένα πακέτο βρίσκεται ολόκληρο σε μία από τις δύο banks, τότε αυτή η bank θα είναι συνεχώς απασχολημένη κατά τη διάρκεια μεταφοράς του πακέτου προς την εξωτερική μνήμη. Υπενθυμίζουμε ότι η μεταφορά προς την εξωτερική μνήμη γίνεται χωρίς διακοπή. Μεγάλος αποθηκευτικός χώρος θα χρειαζόταν τότε στους συνδέσμους εισόδου-εξόδου για να τους κρατούν απασχολημένους όσο διαρκούσε η μεταφορά αυτή, γεγονός που θα έκανε την αρχιτεκτονική πιο περίπλοκη. Επίσης, αν όλοι οι σύνδεσμοι και η εξωτερική μνήμη ζητούσαν πρόσβαση στην ίδια bank της μνήμης, τότε η παροχή της εσωτερικής μνήμης δεν θα ήταν αρκετή.

Για όλους αυτούς τους λόγους επιλέχθηκε η ακόλουθη αρχιτεκτονική.

- Διατηρούνται δύο banks μνήμης όπως προαναφέρθηκε.
- Κάθε πακέτο βρίσκεται και στις δύο banks.



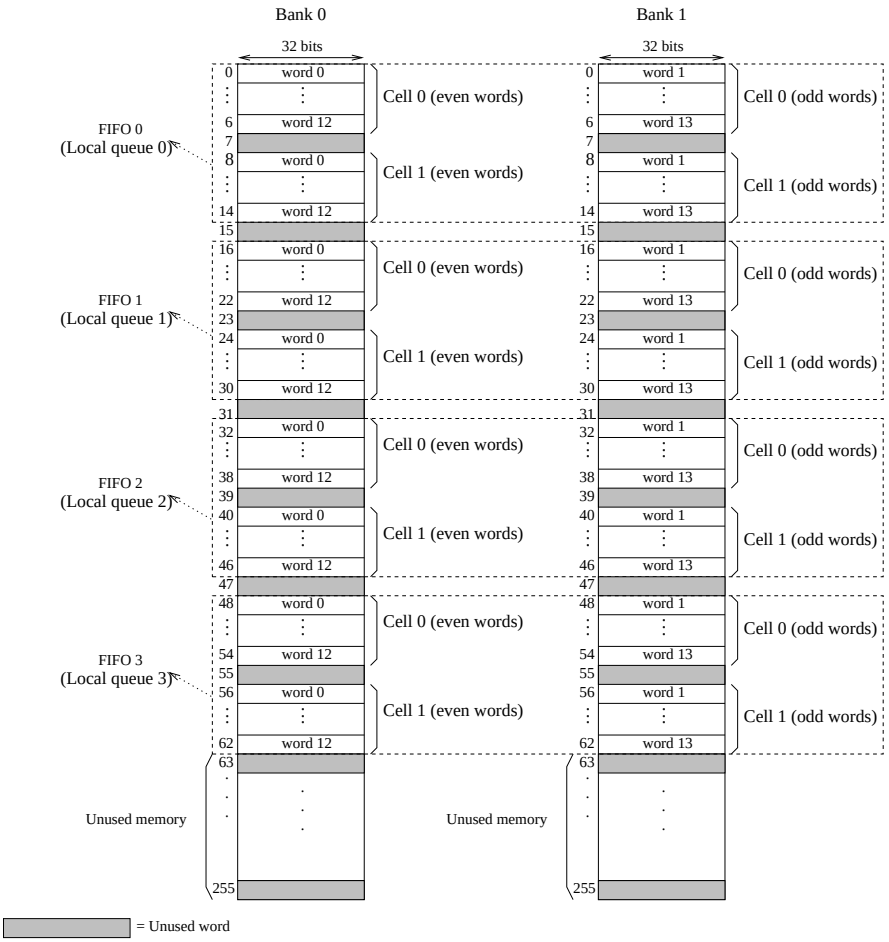

Σχήμα 15: Το διάγραμμα block του δρομολογητή.

- Η bank 0 περιέχει όλες τις άρτιες λέξεις των πακέτων (λέξεις 0,2,...,12)
- Η bank 1 περιέχει όλες τις περιττές λέξεις των πακέτων (λέξεις 1,3,...,13)

Αυτό φαίνεται στο σχήμα 16. Κάθε πακέτο αποτελείται από 14 32-bit λέξεις (3 bytes μένουν αχρησιμοποίητα). Μία λέξη μνήμης ανάμεσα στα πακέτα μένει αχρησιμοποίητη για απλούστερο υπολογισμό διευθύνσεων (όλα τα πακέτα αρχίζουν από θέση μνήμης που είναι πολλαπλάσιο του 8).

Ετσι, κάθε πρόσβαση στην εξωτερική μνήμη δεν μονοπωλεί την εσωτερική μνήμη, αλλά αφήνει κάθε bank ελεύθερη κάθε δεύτερο κύκλο. Με αυτόν τον τρόπο βέβαια μειώνονται οι συγκρούσεις για πρόσβαση στην μνήμη, αλλά δεν εκλείπουν τελείως. Λόγω των αναπόφευκτων συγκρούσεων οι σύνδεσμοι χρειάζονται επιπλέον αποθηκευτικό χώρο ώστε να μείνουν απασχολημένοι, όσο η εσωτερική μνήμη δεν είναι διαθέσιμη. Η χειρότερη περίπτωση είναι όλοι οι σύνδεσμοι να διεκδικούν την ίδια bank της μνήμης ταυτόχρονα. Τρεις καταχωρητές των 32-bit απαιτούνται σε κάθε σύνδεσμο (δες σχήμα 15) για να λύσουν το πρόβλημα των συγκρούσεων και να κρατούν τους συνδέσμους συνεχώς απασχολημένους.

Το ποιος θα κάνει πρόσβαση στην εσωτερική μνήμη όταν αυτή διεκδικείται από

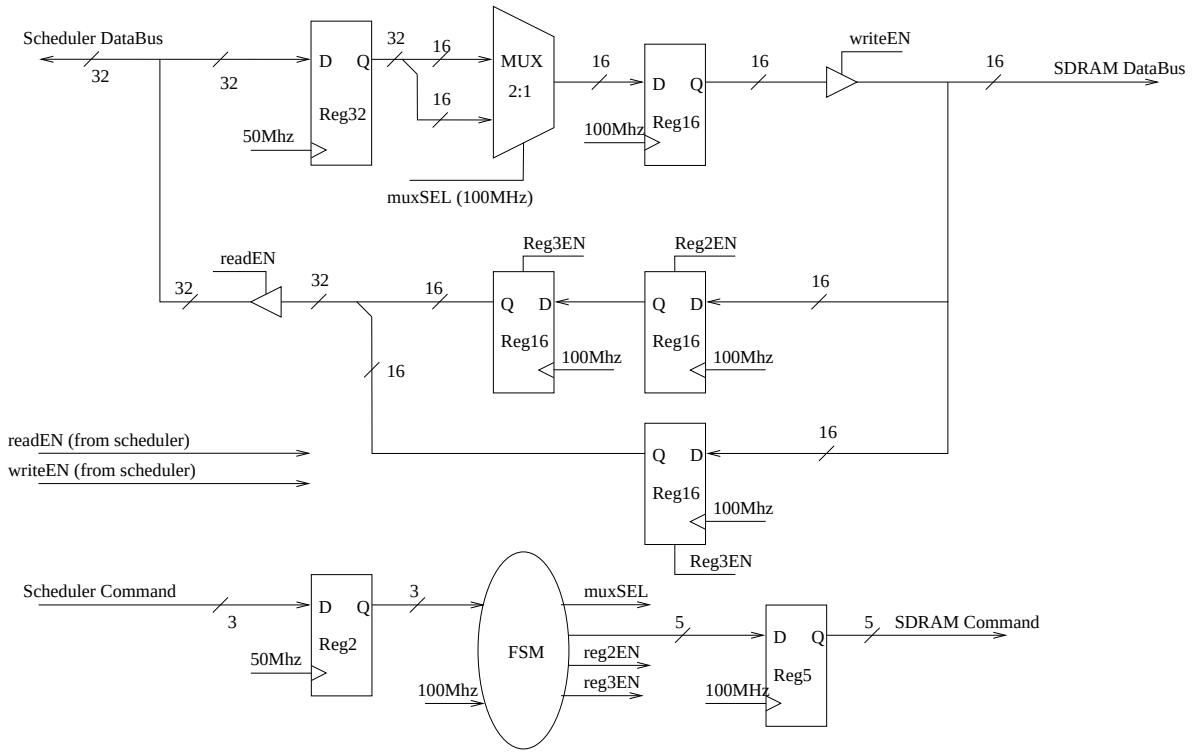



Σχήμα 16: Κάθε πακέτο αποθηκεύεται και στις δύο banks της εσωτερικής μνήμης για να αυξήσουμε την παροχή της.

πολλούς αποφασίζεται με ένα σχήμα προτεραιοτήτων. Οι προτεραιότητες έχουν ως εξής (αρχίζοντας από την μεγαλύτερη): εξωτερική μνήμη, σύνδεσμος εισόδου 0, σύνδεσμος εισόδου 1, σύνδεσμος εξόδου 0, σύνδεσμος εξόδου 1. Αν και αυτό το σχήμα φαίνεται άδικο, με την αρχιτεκτονική που αναφέραμε παραπάνω είναι εγγυημένο ότι ακόμη και ο σύνδεσμος με την χαμηλότερη προτεραιότητα θα είναι απασχολημένος 100% του χρόνου. Τέλος, ένας αλγόριθμος round-robin αποφασίζει ποια τοπική ουρά θα χρησιμοποιήσει την εξωτερική μνήμη όταν αυτή ζητείται από πολλές ταυτόχρονα.

# 6 Ο ελεγκτής της σύγχρονης δυναμικής μνήμης

Για να επιτύχουμε την υψηλή ταχύτητα που απαιτεί η σύγχρονη δυναμική μνήμη (100MHz), αλλά και για να μπορέσει ο δρομολογητής να λειτουργεί στα 50MHz, χρησιμοποιείται ένας γρήγορος ελεγκτής μνήμης. Ο δρομολογητής ήταν αδύνατο να λειτουργήσει στα 100MHz αφού υλοποιείται σε μια μεγάλη και σχετικά αργή FPGA. Ο ελεγκτής επικοινωνεί με το δρομολογητή μέσω ενός διαύλου πλάτους 32-bits και τριών σημάτων ελέγχου. Με τη μνήμη επικοινωνεί με το δίαυλο δεδομένων 16-bits και 5 σήματα ελέγχου. Ετσι η μέγιστη παροχή και στους δύο διαύλους δεδομένων είναι 1.6Gbps. Το διάγραμμα block του ελεγκτή φαίνεται στο σχήμα 17.



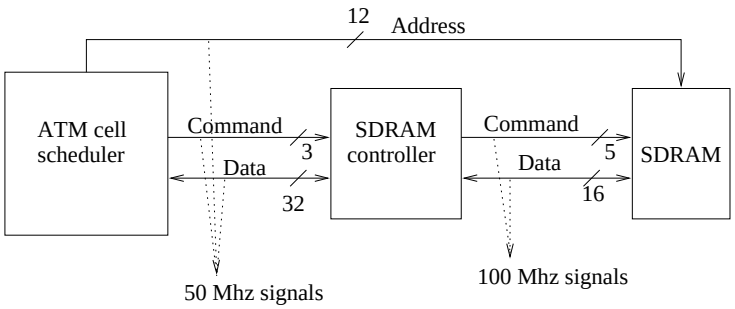

Σχήμα 17: Το διάγραμμα block του ελεγκτή της σύγχρονης δυναμικής μνήμης.

Ο ελεγκτής χρησιμοποιεί το ρολόι των 50MHz για να συγχρονίζεται με τον δρομολογητή. Κατά τη διάρκεια μιας εγγραφής στη μνήμη, ο ελεγκτής λαμβάνει τη 32-bit λέξη που θα γραφτεί στη μνήμη από το δρομολογητή και την εντολή *Write*. Κατόπιν πολυπλέκει τη 32-bit λέξη πάνω στο 16-bit δίαυλο της μνήμης σε δύο κύκλους διπλάσιας ταχύτητας (100MHz). Επίσης προωθεί την εντολή εγγραφής στη μνήμη. Κατά τη διάρκεια μιας ανάγνωσης από τη μνήμη, ο ελεγκτής λαμβάνει την εντολή *Read* από το δρομολογητή και την προωθεί στη μνήμη. Μετά από λίγους κύκλους η μνήμη απαντά και τα δεδομένα που διαβάζει ο ελεγκτής τα βάζει πάνω στο δίαυλο του δρομολογητή για δύο συνεχόμενους κύκλους, ώστε ο "αργός" δρομολογητής να μπορέσει να τα διαβάσει.

Ταχύτητες της τάξης των 100MHz δεν είναι αδύνατες για τις σημερινές FPGA, αλλά για να επιτευχθούν πρέπει το κύκλωμα που υλοποιείται να είναι όσο δυνατόν πιο μικρό

και απλό. Στο σχέδιό μας έγινε προσπάθεια ώστε ο ελεγκτής να υλοποιεί όσες δυνατόν λιγότερες λειτουργίες (μόνο τις απόλυτα αναγκαίες) ακόμη και αν αυτό σημαίνει παραπάνω πολυπλοκότητα για το δρομολογητή. Οι προσπάθειες αυτές αναφέρονται πιο κάτω:

Υπενθυμίζεται ότι διεύθυνση γραμμής δίνεται στην σύγχρονη δυναμική μνήμη ταυτόχρονα με την εντολή *Activate*, ενώ η διεύθυνση στήλης ταυτόχρονα με την εντολή *Read* ή *Write* (δες και σχήματα 8, 9). Αλλά αυτές οι εντολές δίνονται με απόσταση 3 κύκλων η μία από την άλλη. Επομένως, η διεύθυνση δεν χρειάζεται να αλλάζει σε κάθε κύκλο όπως συμβαίνει με τα δεδομένα και τα σήματα ελέγχου, επομένως δεν χρειάζεται να περνά μέσα από τον "γρήγορο" ελεγκτή. Αντίθετα μπορεί να σταλεί κατευθείαν από τον "αργό" δρομολογητή. Αυτό φαίνεται στο σχήμα 18. Με αυτό το τρόπο, μειώνουμε τη πολυπλοκότητα του ελεγκτή και απελευθερώνουμε ακροδέκτες, γιατί αλλιώς θα χρειάζονταν αποθήκευση της διεύθυνσης εσωτερικά του ελεγκτή και προώθησή της πάνω από άλλα καλώδια.




Σχήμα 18: Η διεύθυνση δίνεται στη μνήμη κατ' ευθείαν από το δρομολογητή.

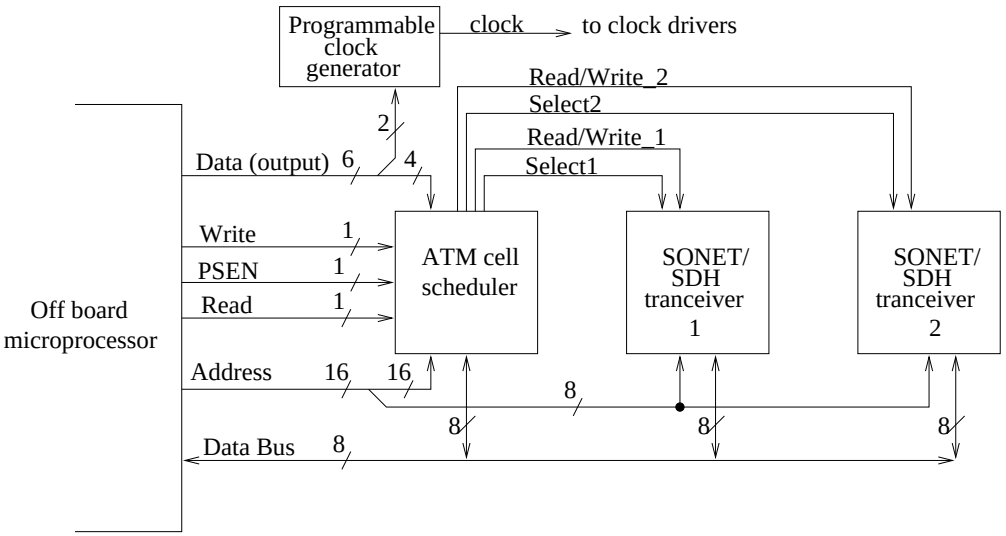
Για να μειώσουμε παιρετέρω την πολυπλοκότητα του ελεγκτή, αφήνουμε το δρομολογητή να αποφασίσει πότε θα γίνει το refresh (ο ελεγκτής απλώς επαναλαμβάνει την εντολή προς τη μνήμη). Υπενθυμίζεται ότι το refresh πρέπει να γίνεται τουλάχιστον μία φορά κάθε 1562 κύκλους που απαιτεί έναν μετρητή των 11 bit. Ο ελεγκτής υλοποιήθηκε στην FPGA MAX7128S [3] της Altera που έχει μόνο 128-bits αποθηκευτικό χώρο. 8% του χώρου ελευθερώθηκε με αυτόν τον τρόπο. Επίσης η εντολή *Mode Register Set* αποφασίζεται από τον δρομολογητή και ο ελεγκτής απλώς την επαναλαμβάνει.

Οι προσπάθειες αυτές απλοποίησαν τόσο τον ελεγκτή ώστε κατά τη διάρκεια των προσομοιώσεων επιτεύχθηκε ταχύτητα 113MHz που ξεπερνούσε τις απαιτήσεις μας.

# 7 Επικοινωνία με μικροεπεξεργαστή

Η πλακέτα επικοινωνεί με έναν μικροεπεξεργαστή ο οποίος θα την αρχικοποιεί και θα παρακολουθεί τη λειτουργία της. Ο μικροεπεξεργαστής που χρησιμοποιήθηκε είναι ο i80C32 της INTEL [7] πάνω σε μια πλακέτα η οποία είχε κατασκευαστεί παλαιότερα από το Ινστιτούτο Πληροφορικής. Αν και ο i80C32 είναι παλιός και αργός, αρκεί για τις ανάγκες μας και μας γλιτώνει από τα ταχύτερα αλλά πιο περίπλοκα interfaces με πιο μοντέρνους επεξεργαστές. Επίσης, η ταχύτητα του interface με τον i80C32 είναι μικρή επιτρέποντας τη σύνδεση μόνο με ένα επίπεδο καλώδιο (flat cable). Επίσης, η εμπειρία που ήδη υπάρχει με αυτόν το μικροεπεξεργαστή και το λογισμικό που έχει ήδη αναπτυχθεί θα μας βοηθήσει στη γρήγορη αποκατάσταση επιτυχούς επικοινωνίας με τη πλακέτα μας.

Το interface αποτελείται από: 16-bit διεύθυνσης, 8-bit δεδομένα, πολλά σήματα ελέγχου όπως *Read, Write, PSEN*, και ένα δεύτερο μονόδρομο δίαυλο δεδομένων 8-bit. Ο μικροεπεξεργαστής χειρίζεται τους καταχωρητές των πομποδεκτών του SONET σαν εξωτερική μνήμη. Τα 8 λιγότερα σημαντικά bits της διεύθυνσης και τα 8-bit δεδομένα συνδέονται κατ' ευθείαν στους πομποδέκτες. Επειδή όμως έχουμε δύο πομποδέκτες στην πλακέτα και πρέπει να διαχωρίζουμε τις προσβάσεις που γίνονται στον καθένα, χρησιμοποιούμε το 9ο bit της διεύθυνσης το οποίο και αποκωδικοποιείται για να διαλέξει έναν από τους δύο. Η αποκωδικοποίηση αυτή γίνεται μέσω του δρομολογητή για να αποφύγουμε εξωτερική λογική πάνω στην πλακέτα. Η διασύνδεση με τον μικροεπεξεργαστή φαίνεται αναλυτικά στο σχήμα 19.




Σχήμα 19: Η επικοινωνία με τον μικροεπεξεργαστή i80C32 που βρίσκεται σε άλλη πλακέτα.

Επίσης δόθηκε προσοχή ώστε τα περισσότερα σήματα του μικροεπεξεργαστή να φτάνουν στο δρομολογητή, ώστε να επιτρέψουμε μελλοντικά και άλλες λειτουργίες πάνω στην πλακέτα, τις οποίες δεν χρειαζόμαστε αυτή τη στιγμή. Αλλες πιο περίπλοκες αρχιτεκτονικές που μπορούν να υλοποιηθούν μέσω επαναπρογραμματισμού των FPGA, είναι πιθανόν να απαιτούν περισσότερη επικοινωνία με τον i80C32. Γι' αυτό και όπως

φαίνεται στο σχήμα 19 όλο ο δίαυλος διεύθυνσης καθώς και τα περισσότερα σήματα του μονόδρομου διαύλου δεδομένων φτάνουν στο δρομολογητή.

Επίσης, το σήμα PSEN χρησιμοποιείται για να διαχωρίζουμε τις προσβάσεις στην πλακέτα, από τις προσβάσεις στην μνήμη στη πλακέτα του μικροεπεξεργαστή (επειδή και αυτή η μνήμη βρίσκεται πάνω στο ίδιο δίαυλο δεδομένων και διεύθυνσης). Τέλος, 2 bits από το μονόδρομο δίαυλο δεδομένων φτάνουν στην προγραμματιζόμενη γεννήτρια ρολογιού της πλακέτας μας.

# 8 Η σχεδίαση της πλακέτας

Η υλοποίηση της πλακέτας ήταν αρκετά περίπλοκη για τους ακόλουθους λόγους:

- Η πλακέτα έπρεπε να υποστηρίξει, εκτός από υψηλές συχνότητες, πολλές ταυτόχρονα με συγχρονισμένες ακμές. Υπάρχουν στην πλακέτα ταυτόχρονα συχνότητες 155.52, 100, 50, 25 και 19.44MHz.
- Υπάρχουν ταυτόχρονα 5V και 3.3V ολοκληρωμένα κυκλώματα. Οι σύγχρονες δυναμικές μνήμες είναι νέα τεχνολογία, που δεν χρησιμοποιεί την παραδοσιακή τάση των 5V. Επομένως το ρολόι της μνήμης έπρεπε να είναι 3.3V, όπως και όλο το δίκτυο ρολογιών αφού έπρεπε να έχουμε συγχρονισμένες ακμές.
- Υπάρχουν πολλά αναλογικά κυκλώματα στην πλακέτα. Οι οδηγητές ρολογιού, οι πομποδέκτες SONET/SDH καθώς και η προγραμματιζόμενη γεννήτρια ρολογιού χρησιμοποιούν αναλογικά PLL. Επίσης οι οπτικο-ηλεκτρικοί μετατροπείς είναι αναλογικές συσκευές. Τα αναλογικά κυκλώματα είναι πιο ευαίσθητα στο θόρυβο από τα αναλογικά και η σχεδίαση πρέπει να υπόκειται σε περιορισμούς. Ενα ψηφιακό περιβάλλον που λειτουργεί στα 100MHz (όπως η πλακέτα μας) παράγει πολύ θόρυβο.
- Τα ολοκληρωμένα που χρησιμοποιήθηκαν στην πλακέτα έχουν υψηλή πυκνότητα ακροδεκτών. Αυτό αναγκάζει και τα σήματα να διασχίζουν την πλακέτα σε πολύ μικρές αποστάσεις μεταξύ τους, γεγονός που τα κάνει πιο ευαίσθητα στο crosstalk.

Για όλους αυτούς τους λόγους, ένα σύνολο κανόνων σχεδίασης πρέπει να ακολουθηθεί. Αυτοί αναφέρονται πιο κάτω:

## 8.1 Κανόνες σχεδίασης για υψηλές ταχύτητες σε επίπεδο πλακέτας

Οι απαίτηση για επίτευξη ταχύτητας 100MHz επηρέασε όλες τις πλευρές της σχεδίασης, καθώς επέβαλε πολύ αυστηρούς περιορισμούς. Ο δρομολογητής σχεδιάστηκε με τεχνικές pipeline, ενώ ο ελεγκτής κρατήθηκε εξαιρετικά απλός. Ολα τα ολοκληρωμένα που χρησιμοποιήθηκαν επιλέχθηκαν έτσι ώστε να επιτυγχάνουν (μερικά και να ξεπερνούν) τις απαιτήσεις μας. Σε διάφορες πλευρές της σχεδίασης όπως δίκτυο ρολογιών, θέση ολοκληρωμένων και κατανομή τροφοδοσίας-γείωσης δόθηκε εξαιρετική σημασία.

Γενικά, οι υπόλοιποι κανόνες πρέπει να ακολουθούνται όταν πρόκειται να σχεδιαστεί ένα υψηλής ταχύτητας κύκλωμα (για αναλυτικότερη παρουσίαση δες: [1] and [2]):

**Η επαγωγή πρέπει να είναι όσο δυνατόν μικρότερη.** Στις χαμηλές συχνότητες, η αντίσταση παίζει το πιο σημαντικό ρόλο. Στις υψηλές, η επαγωγή είναι ο κυρίαρχος παράγοντας. Παραδοσιακές συσκευές με μακριούς ακροδέκτες παρουσιάζουν υψηλή επαγωγή. Στην πλακέτα μας χρησιμοποιήθηκαν *επιφανειακά* (surface mount) κυκλώματα, τα οποία έχουν κοντούς ακροδέκτες και δεν διαπερνούν την πλακέτα. Επίσης η τροφοδοσία και η γείωση πρέπει να είναι επιφάνειες που βρίσκονται στο εσωτερικό της πλακέτας (planes) και όχι σύρματα-καλώδια (traces).

**Πρέπει να χρησιμοποιηθούν πυκνωτές (decoupling ή bypass capacitors)**. Τα ψηφιακά κυκλώματα υψηλών ταχυτήτων φορτίζουν και εκφορτίζουν χωρητικότητες πολύ γρήγορα

και στιγμιαία (στην ακμή του ρολογιού) με αποτέλεσμα να δημιουργείται θόρυβος και πτώση τάσης. Αυτό βάζει σε κίνδυνο την ομαλή λειτουργία του κυκλώματος και ιδίως των αναλογικών τμημάτων που είναι πιο ευαίσθητα στο θόρυβο. Η λύση είναι ο πυκνωτής bypass ο οποίο και θα προμηθεύσει με φορτίο τη στιγμή που η τάση αρχίζει να πέφτει. Ο πυκνωτής πρέπει να είναι επιφανειακός (smd) γιατί αλλιώς παρουσιάζει υψηλή επαγωγή και δεν θα μπορεί να δώσει αρκετά γρήγορα το φορτίο του. Επίσης πρέπει να έχει τόση χωρητικότητα όση χρειαζόμαστε, και όχι περισσότερη, γιατί οι μεγαλύτερης χωρητικότητας πυκνωτές παρουσιάζουν και υψηλότερη εσωτερική επαγωγή. Επίσης στο σημείο που η πλακέτα παίρνει τροφοδοσία πρέπει να χρησιμοποιηθούν πολύ μεγάλοι πυκνωτές (εκατοντάδες μF), γιατί η πτώση τάσης της τροφοδοσίας εξαρτάται από εξωτερικούς παράγοντες και μπορεί να είναι μεγαλύτερη, ενώ αν συμβεί θα επηρεάσει ολόκληρη την πλακέτα και όχι μόνο κάποιο κύκλωμα τοπικά.

**Τα στρώματα (planes) τροφοδοσίας γείωσης που βρίσκονται στο εσωτερικό της πλακέτας πρέπει να βρίσκονται όσο δυνατόν πιο κοντά μεταξύ τους.** Τα δύο αυτά στρώματα σχηματίζουν ένα μεγάλο πυκνωτή και όσο μικραίνει η μεταξύ τους απόσταση, τόσο αυξάνει η χωρητικότητά τους. Μεγάλη χωρητικότητα σημαίνει και μεγαλύτερη ανοχή σε τοπικές διακυμάνσεις της τάσης και στο θόρυβο. Κατά τη διάρκεια της κατασκευής της πλακέτας επιλέχθηκε μικρότερη απόσταση από τη συνηθισμένη για αυτά τα δύο επίπεδα.

**Οι αντανακλάσεις πρέπει να περιοριστούν με ένα κατάλληλο σχήμα τερματισμού.** Τα σημερινά ολοκληρωμένα κυκλώματα έχουν πολύ μικρούς χρόνους ανόδου-καθόδου των σημάτων τους. Αν η αμφίδρομη καθυστέρηση διάδοσης του σήματος πάνω στο καλώδιο της πλακέτας είναι μεγαλύτερος από το χρόνο ανόδου (ή καθόδου) του τότε το σήμα αντανακλάται στον προορισμό και "γυρίζει" προς τα πίσω. Εκεί αλλοιώνει την ποιότητα του σήματος μειώνοντας το περιθώριο θορύβου των κυκλωμάτων. Τα πιο ευαίσθητα σήματα είναι αυτά των ρολογιών γιατί είναι αυτά που αλλάζουν κατάσταση ($0- >1$ και $1- >0$) πιο συχνά και γιατί επηρεάζουν τη συνολική λειτουργία των κυκλωμάτων. Γενικά η αντανάκλαση οφείλεται στη διαφορά της χαρακτηριστικής αντίστασης μεταξύ του καλωδίου που φέρει το σήμα και του ακροδέκτη που δέχεται το σήμα. Γι' αυτό το λόγο χρησιμοποιείται μια αντίσταση τερματισμού του καλωδίου, όσο δυνατόν πιο κοντά στον ακροδέκτη που δέχεται το σήμα. Η αντίσταση αυτή πρέπει να είναι ίδια με τη χαρακτηριστική αντίσταση του καλωδίου.

**Πρέπει να χρησιμοποιηθούν καλώδια ελεγχόμενης χαρακτηριστικής αντίστασης** Για να μπορέσουμε να βάλουμε κατάλληλες αντιστάσεις τερματισμού πρέπει να ξέρουμε την χαρακτηριστική αντίσταση του καλωδίου. Η αντίσταση αυτή εξαρτάται από το διηλεκτρικό που βρίσκεται γύρω από το καλώδιο, την απόστασή του από το στρώμα τροφοδοσίας/γείωσης, και από το πλάτος του. Συνεννόηση, πριν από την κατασκευή, με τον κατασκευαστή της πλακέτας για το πάχος των καλωδίων επέτρεψε να οριστεί πλήρως η χαρακτηριστική αντίσταση των καλωδίων που έπρεπε να τερματιστούν. Τα καλώδια αυτά είναι αυτά που φέρουν τα σήματα ρολογιού (50Ohms) και αυτά που φέρουν τα σειριακά δεδομένα από/προς το SONET (επίσης 50Ohms).

**Πρέπει να ελαχιστοποιηθεί το crosstalk.** Δύο καλώδια που διασχίζουν την πλακέτα παράλληλα το ένα προς το άλλο και για αρκετή απόσταση, επηρεάζουν το ένα το άλλο με το ηλεκτρομαγνητικό τους πεδίο. Αυτό αποκαλείται crosstalk και δημιουργεί

προβλήματα στα σήματα υψηλής ταχύτητας, γιατί τα χαμηλής ταχύτητας έχουν αρκετό χρόνο στη διάθεσή τους (μέχρι την επόμενη ακμή του ρολογιού που θα συμβεί μετά από αρκετό χρόνο) να πάρουν την κανονική τους τιμή. Το crosstalk αυξάνεται όσο πιο κοντά είναι τα καλώδια μεταξύ τους και όσο πιο μεγάλη απόσταση διασχίζουν την πλακέτα παράλληλα το ένα του άλλου. Αντίθετα μειώνεται όσο πιο κοντά βρίσκονται τα καλώδια στο στρώμα (plane) τροφοδοσίας ή γείωσης τα οποία απορροφούν το ηλεκτρομαγνητικό τους πεδίο. Κατά την κατασκευή της πλακέτας επιλέχθηκε μικρότερη απόσταση μεταξύ στρώματος σημάτων (signal layer) και τροφοδοσίας/γείωσης από την κανονική για ελαχιστοποίηση του crosstalk.

**Τα αναλογικά κυκλώματα πρέπει να προστατευτούν** Τα αναλογικά κυκλώματα όπως ήδη αναφέραμε είναι πολύ πιο ευαίσθητα στο θόρυβο απ' ότι τα ψηφιακά, γιατί εξαρτώνται συνεχώς από τις τιμές των εισόδων τους και όχι μόνο στις ακμές ρολογιού (όπως τα ψηφιακά). Επίσης τα ψηφιακά κυκλώματα εισάγουν πολύ μεγαλύτερο θόρυβο απ' ότι τα αναλογικά, γιατί αλλάζουν τιμές στην έξοδο ταυτόχρονα (στις ακμές ρολογιού) και επομένως απαιτούν απότομη ροή φορτίων. Γι' αυτό το λόγο χρησιμοποιούνται φίλτρα από πυκνωτές και πηνία που φιλτράρουν το ψηφιακό θόρυβο. Στην πλακέτα μας χρησιμοποιήσαμε επιπλέον έναν μηχανισμό για να απομονώσουμε τα δύο είδη κυκλωμάτων: χρησιμοποιήσαμε διαφορετικό επίπεδο (plane) τροφοδοσίας/γείωσης για τα αναλογικά και διαφορετικό για τα ψηφιακά.

**Πρέπει να χρησιμοποιηθούν οδηγητές ρολογιού υψηλής ακριβείας** Καθώς οι συχνότητες ρολογιού γίνονται ολοένα και πιο υψηλές, η ποιότητα του ρολογιού παίζει ολοένα και πιο σημαντικό ρόλο. Τα ρολόγια με συγχρονισμένες ακμές πρέπει να έχουν τις ακμές τους όσο δυνατόν πιο κοντά, καθώς η περίοδοι γίνονται ολοένα και πιο μικρές. Μόνο οδηγητές υψηλής ακριβείας μπορούν να το πετύχουν αυτό.

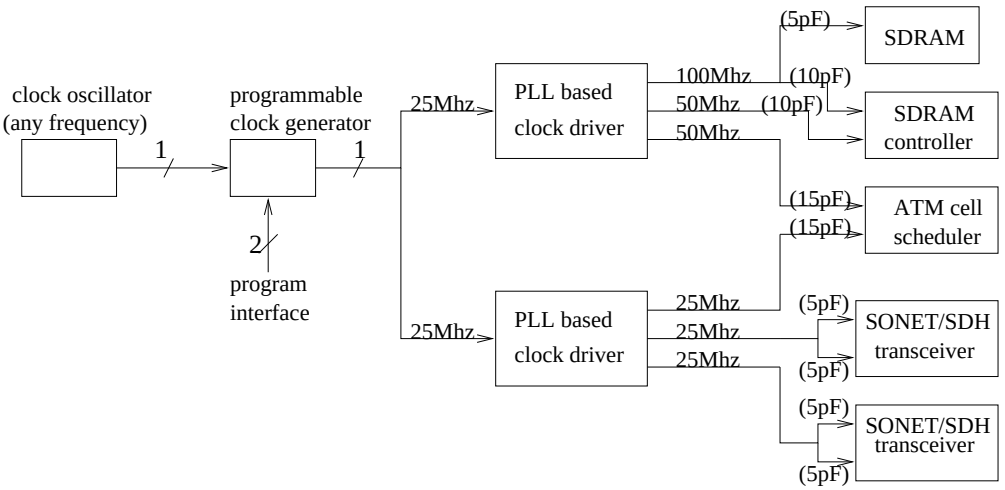
Ο συγχρονισμός των ακμών επιτυγχάνεται επίσης αν:

- Τα καλώδια που φέρουν τα σήματα ρολογιού με συγχρονισμένες ακμές είναι ιδίου μήκους. Το σήμα καθυστερεί περίπου 130psec για κάθε ίντσα καλωδίου, γι' αυτό πρέπει να σχεδιάσουμε τα καλώδια με προσοχή αν θέλουμε να μην επηρεάζεται ο συγχρονισμός από αυτό τον παράγοντα.

- Το φορτίο (χωρητικό) που οδηγείται από τα διάφορα σήματα ρολογιού είναι ίδιο. Μεγαλύτερες χωρητικότητες αργούν περισσότερο να φορτιστούν ή να εκφορτιστούν. Οι διαφορές στο φορτίο πρέπει να είναι το πολύ 5pF αν θέλουμε να έχουμε απολύτως συγχρονισμένες ακμές.

- Τα καλώδια που φέρουν τα σήματα ρολογιού πρέπει να έχουν την ίδια χαρακτηριστική αντίσταση. Διαφορετικές χαρακτηριστικές αντιστάσεις απαιτούν διαφορετικές αντιστάσεις τερματισμού, οι οποίες θα επηρεάζουν διαφορετικά την ικανότητα οδήγησης του οδηγητή ρολογιού. Μια μικρή αντίσταση θα αναγκάσει το σήμα θα αλλάζει κατάσταση με μικρότερο ρυθμό απ' ότι μια μεγάλη. Για να έχουν ίδια χαρακτηριστική αντίσταση τα καλώδια που βρίσκονται στο ίδιο επίπεδο της πλακέτας πρέπει να είναι του ιδίου πάχους, ενώ τα καλώδια που βρίσκονται σε εσωτερικά στρώματα της πλακέτας πρέπει να σχεδιαστούν πιο λεπτά, για να αντισταθμίσουν το γεγονός ότι η αντίσταση μειώνεται στο εσωτερικό της πλακέτας.

Στην πλακέτα μας χρησιμοποιήθηκαν οι οδηγητές/πολλαπλασιαστές υψηλής ακρίβειας 74FCT388915T-100 της IDT [6], οι οποίοι εγγυώνται 250psec διαφορά στις ακμές μεταξύ οποιωνδήποτε δύο σήματων ρολογιού (με συγχρονισμένες ακμές) του ιδίου οδηγητή. Χρησιμοποιήθηκαν δύο τέτοιοι οδηγητές γιατί χρειαζόμασταν πολλές συχνότητες ταυτόχρονα, ενώ οι 25MHz συχνότητα έπρεπε να οδηγεί πολλά φορτία. Αυτά φαίνονται στο σχήμα 20. Βλέπουμε ότι τα φορτία είναι περίπου τα ίδια για όλα τα ρολόγια, ενώ έγιναν προσπάθειες ώστε και τα καλώδια να έχουν το ίδιο μήκος. Ο δεύτερος οδηγητής χρησιμοποιήθηκε μόνο για το αργό ρολόι των 25MHz γιατί η εγγύηση του κατασκευαστή για τις διαφορές των ακμών μεταξύ δύο οδηγητών είναι το πολύ 1nsec. Διαφορά 1nsec στις ακμές των γρήγορων ρολογιών 100 και 50MHz θα ήταν καταστροφικές.




Σχήμα 20: Το δίκτυο ρολογιών της πλακέτας.

## 8.2 Η διαδικασία σχεδίασης

Ο δρομολογητής των πακέτων ATM και ο ελεγκτής της SDRAM υλοποιήθηκαν σε FPGA της Altera. Αρχικά σχεδιάστηκαν οι δύο αυτές FPGA στο εργαλείο σχεδίασης MAX+Plus II της Altera. Πρόκειται για ένα πολύ εύχρηστο εργαλείο που μαθαίνεται εύκολα και το οποίο επέτρεψε να ολοκληρωθεί η σχεδίαση σε λίγους μήνες μόνο. Χρησιμοποιήθηκε σχηματική σχεδίαση καθώς και συγγραφή κώδικα στη γλώσσα AHDL (Altera HDL).

Ο δρομολογητής υλοποιήθηκε στο μοντέλο FPGA FLEX10K40RC-208 [3], το οποίο έχει 208 ακροδέκτες, 40000 πύλες και 16Kbits εσωτερική μνήμη. Ο δομικός λίθος αυτού του μοντέλου είναι το Logic Element (LE). Χρησιμοποιήθηκαν 1800 LE για την υλοποίηση από 2300 που διαθέτει το συγκεκριμένο FPGA συνολικά (ποσοστό 78%). Πολλοί μη χρησιμοποιούμενοι ακροδέκτες συνδέθηκαν πάνω στην πλακέτα για να επιτρέψουν μελλοντικές επεκτάσεις. Μόνο 8 ακροδέκτες έμειναν ασύνδετοι, δηλ. χρησιμοποιήθηκε ποσοστό 96.16%. Ο κώδικας που γράφτηκε είχε 1303 γραμμές ενώ ένα ποσοστό του σχεδίου έγινε με σχηματικό τρόπο.

Ο ελεγκτής της SDRAM υλοποιήθηκε στο μοντέλο FPGA MAX7128SLC-84 [3], το

οποίο έχει 84 ακροδέκτες και 128 bits αποθηκευτικό χώρο. Χρησιμοποιήθηκαν τα 121 bits (ποσοστό 94.53%), ενώ κανένας ακροδέκτης δεν έμεινε ασύνδετος (δύο μόνο μη χρησιμοποιούμενοι ακροδέκτες συνδέθηκαν με το δρομολογητή για να επιτρέψουν μελλοντικές επεκτάσεις). Ο κώδικας του ελεγκτή είναι μόλις 144 γραμμές, ενώ ένα ποσοστό του σχεδίου έγινε και εδώ με σχηματικό τρόπο.

Κατόπιν, έγιναν μερικές σύντομες προσομοιώσεις στο προσομοιωτή του εργαλείου MAX+Plus II για να επαληθεύσουμε τη ορθή λειτουργία των δύο FPGAs. Τα δύο FPGAs δεν προσομοιώθηκαν ταυτόχρονα, αλλά το καθένα χωριστά. Αυτό έγινε γιατί ο προσομοιωτής δεν επιτρέπει τη συγγραφή μοντέλου που θα προσομοίωνε τη λειτουργία της μνήμης. Ετσι, το μοντέλο προσομοίωσης της SDRAM γράφτηκε σε Verilog-XL και τα δύο FPGAs μεταφράστηκαν επίσης στην ίδια γλώσσα. Και τα 3 κυκλώματα προσομοιώθηκαν τότε μαζί για να ελεγχθεί η ορθότητα του σχεδιασμού, αλλά και της όλης αρχιτεκτονικής. Κατά τη διάρκεια των προσομοιώσεων, που κράτησαν δύο μήνες, περίπου 2 εκατομμύρια πακέτα ATM πέρασαν από το σύστημα χωρίς να παρατηρηθεί κάποιο λάθος.

## 8.3 Τα χαρακτηριστικά της πλακέτας

Ο σχεδιασμός του τυπωμένου κυκλώματος ήταν το επόμενο βήμα. Χρησιμοποιήθηκε το εργαλείο Allegro v11.0 της Cadence. Η τελική πλακέτα που προέκυψε είναι ορθογώνια, έχει διαστάσεις 6.76 ίντσες x 4.42 ίντσες (ή 17.2cm x 11.2cm) και έχει 8 επίπεδα (3 για τροφοδοσία, 2 για γείωση και 3 για τα σήματα). Εκτός από τα δύο ζευγάρια τροφοδοσίας/γείωσης που αναφέρθηκαν πιο πάνω, χρησιμοποιήθηκε και ένα επιπλέον επίπεδο τροφοδοσίας που παρέχει τα 3.3V για μερικά από τα ολοκληρωμένα της πλακέτας. Η χρησιμοποίηση επιπλέον επιπέδων για τα αναλογικά τμήματα είναι συντηρητική αλλά ακριβή τεχνική. Για τον μικρό αριθμό πλακετών που στην πραγματικότητα κατασκευάστηκαν αυτό δεν ήταν σοβαρό πρόβλημα, αφού προείχε να κάνουμε το όλο σύστημα πιο ανθεκτικό και ”εύρωστο”. Από την άλλη χρησιμοποιήθηκαν πολύ λίγα επίπεδα σημάτων (signal layers) σε μια προσπάθεια να κρατηθεί ο αριθμός των επιπέδων στο 8. Αυτό απαίτησε η όλη διαδικασία δρομολόγησης (routing) των σημάτων να γίνει χωρίς αυτόματο εργαλείο, αλλά ”με το χέρι”. Αυτό οφείλεται στο γεγονός ότι ο router του Allegro v11.0 που διαθέτει το Ινστιτούτο είναι φτηνός και χωρίς αρκετές δυνατότητες.

Η πλακέτα έχει ελάχιστο πάχος γραμμής 8mil (1 mil είναι το 1/1000 της ίντσας), 10mil ελάχιστη απόσταση μεταξύ των γραμμών, και 25mil ελάχιστη διάμετρο via (via είναι η τρύπα που γίνεται στην πλακέτα για να μπορούν τα σήματα να αλλάξουν επίπεδο). Ο συνολικός αριθμός των τρυπών ανέρχεται σε 616 και ο αριθμός των ακροδεκτών σε 1309. Μεταξύ ακροδεκτών υπήρχαν 420 συνδέσεις, ενώ με την τροφοδοσία/γείωση 577 συνδέσεις. Αυτά τα μεγέθη κάνουν την πλακέτα αρκετά πυκνή, ώστε τα ολοκληρωμένα μπορούν να βρίσκονται σε μικρή απόσταση μεταξύ τους. Αυτό βοηθά ώστε το μήκος των καλωδίων να είναι μικρό και να αποφεύγουμε τις αντανακλάσεις.

Η παράταξη των επιπέδων της πλακέτας είναι: TOP (signal)
Digital GND
Digital VCC 5V

INT (signal)
Digital VCC 3.3V
Analog GND
Analog VCC 5V
BOTTOM (signal).

Συνολικά χρησιμοποιήθηκαν 2 ταλαντωτές και 14 ολοκληρωμένα κυκλώματα: 2 FPGA, 1 σύγχρονη δυναμική μνήμη, 4 αντιστροφείς, 2 οδηγητές ρολογιού, 1 προγραμματιζόμενη γεννήτρια ρολογιού, 2 πομποδέκτες SONET/SDH, 2 οπτικο-ηλεκτρικοί μετατροπείς. Επίσης 132 πυκνωτές, 9 πηνία και 64 αντιστάσεις πραγματοποιούν φιλτράρισμα, υποστήριξη υψηλών συχνοτήτων και τερματισμό καλωδίων. Ο υψηλός αυτός αριθμός παθητικών συσκευών κάνουν το όλο κύκλωμα πιο ανθεκτικό στο θόρυβο και επιτρέπουν συχνότητες ακόμη και μεγαλύτερες των 100MHz. Ηταν πρόθεσή μας να επιτύχουμε μια όσο δυνατόν υψηλότερη συχνότητα λειτουργίας.

Η κατασκευή της πλακέτας έγινε στην εταιρία Stevenage Circuits Ltd. που βρίσκεται στην Αγγλία. Επίσης εκεί έγινε και η συγκόλληση των ολοκληρωμένων με υψηλή πυκνότητα ακροδεκτών, όπως του FLEX10K40RC-208 (δρομολογητή) και των TNETA1500-PCM (πομποδεκτών SONET/SDH), γιατί ο εξοπλισμός του Ινστιτούτου δεν ήταν επαρκής.

Το συνολικό κόστος της πλακέτας ανέρχεται στα $2,150 ή 680.000 δραχμές. Αναλυτικά η κατασκευή κόστισε $1,430 (450.000 δρχ.), η συγκόλληση $120 (40.000 δρχ.) και τα υλικά $600 (190.000 δρχ.).

# 9 Ο έλεγχος της πλακέτας και αποτελέσματα

Μετά την κατασκευή της πλακέτας και της συγκόλλησης όλων των εξαρτημάτων από την Stevenage Circuits Ltd., ξεκινήσαμε τον έλεγχο λειτουργίας. Αρχικά, και πριν ανοιχτεί η τροφοδοσία, έγινε έλεγχος για το αν υπήρχε κάποιο βραχυκύκλωμα. Επειτα, αφού η πλακέτα τροφοδοτήθηκε με ρεύμα, έγινε έλεγχος των ρολογιών. Κατόπιν εξετάστηκαν οι FPGA για το αν ήταν δυνατόν να προγραμματιστούν. Αφού αυτοί οι έλεγχοι ολοκληρώθηκαν με επιτυχία, εξετάστηκε η επικοινωνία μεταξύ των ολοκληρωμένων κατά ζευγάρια. Δηλ. το αν μπορούσε να επικοινωνήσει ο δρομολογητής με τον ελεγκτή, ο ελεγκτής με τη μνήμη κ.ο.κ. Ο δρομολογητής έγραψε και διάβασε από τη μνήμη (με τη βοήθεια του ελεγκτή) ένα συγκεκριμένο πρότυπο δεδομένων, οπότε επαληθεύτηκε η δυνατότητα πρόσβασης στη μνήμη. Για τον έλεγχο της επικοινωνίας των πομποδεκτών του SONET με το δρομολογητή, ο πομποδέκτης τέθηκε στην κατάσταση λειτουργίας *terminal*, ενώ για τον έλεγχο της επικοινωνίας του πομποδέκτη με τους οπτικο-ηλεκτρικούς μετατροπείς, ο πομποδέκτης τέθηκε στην κατάσταση λειτουργίας *facility*. Για τους δύο αυτούς τρόπους λειτουργίας των πομποδεκτών δες σχήμα 5. Και αυτοί οι έλεγχοι ολοκληρώθηκαν με επιτυχία, με αποτέλεσμα να είναι έτοιμος ο έλεγχος της συνολικής λειτουργίας της πλακέτας.

Τότε η πλακέτα συνδέθηκε με έναν μεταγωγέα πακέτων ATM, και δεχόταν κίνηση ATM από δύο σταθμούς εργασίας SparcStation 10, επίσης συνδεδεμένους στον μεταγωγέα. Ο δρομολογητής προγραμματίστηκε να βγάζει τα εισερχόμενα πακέτα από το σύνδεσμο 0 στο σύνδεσμο εξόδου 0, και αυτά από το σύνδεσμο 1 στο σύνδεσμο εξόδου 1. Κάθε σύνδεσμος εξόδου επέστρεφε την κίνηση ATM πίσω στο σταθμό εργασίας από τον οποίο προήλθε. Τα δεδομένα που επέστρεφαν συγκρίνονταν με αυτά που στάλθηκαν και η σύγκριση ήταν επιτυχής. Ετσι επιβεβαιώθηκε ότι η πλακέτα λειτουργεί σωστά. Κατά τη διάρκεια αυτού του ελέγχου, επιτεύχθηκε μέση παροχή δεδομένων 75Mbit/sec σε κάθε σύνδεσμο, που οφειλόταν όμως στην μικρή ταχύτητα της κάρτας ATM των SparcStation 10. Η πλακέτα έχει τη δυνατότητα να υποστηρίξει πλήρως τα 155.52Mbit/s σε κάθε σύνδεσμο, αλλά πρέπει να συνδεθεί με μια πιο γρήγορη κάρτα για να φανεί αυτό καθαρά. Συνολικά πέρασαν μέσω της κάρτας περίπου 70GBytes δεδομένων για παραπάνω από μία ώρα συνεχούς λειτουργίας της πλακέτας χωρίς να παρατηρηθεί κάποιο λάθος.

Ο έλεγχος της πλακέτας αποκάλυψε μόνο ένα μικρό λάθος. Οι οδηγητές ρολογιού ήταν συνδεδεμένοι στο κουμπί reset της πλακέτας με αποτέλεσμα να σταματούν τα σήματα ρολογιού όταν γινόταν reset. Επειδή όμως οι οδηγητές έχουν εσωτερικά PLL, επανέρχονταν μετά το reset πιο αργά απ' ότι τα άλλα ολοκληρωμένα κυκλώματα, τα οποία ξεκινούσαν λειτουργία χωρίς έγκυρο σήμα ρολογιού, με αποτέλεσμα να μπαίνουν σε παράνομη κατάσταση λειτουργίας. Αυτό αποκαλύφθηκε από το γεγονός ότι ενώ η πλακέτα λειτουργούσε χωρίς κανένα πρόβλημα μετά το άνοιγμα της τροφοδοσίας, δεν έκανε απολύτως τίποτε μετά από ένα reset. Το λάθος αυτό διορθώθηκε εύκολα αναγκάζοντας τους οδηγητές να λειτουργούν πάντα (εφ' όσων υπήρχε τροφοδοσία). Αυτό έγινε αποσυνδέοντας τον ακροδέκτη reset των οδηγητών από το κύκλωμα reset και συνδέοντας στα 3.3V απενεργοποιώντας το.

# 10 Συμπεράσματα

Μέσω αυτής της εργασίας συμπεραίνουμε ότι είναι δυνατόν να υλοποιήσουμε ενταμιευτές πακέτων ATM υψηλής παροχής, χρησιμοποιώντας σύγχρονη δυναμική μνήμη (SDRAM) και εφαρμόζοντας τεχνικές σχεδίασης υψηλών ταχυτήτων σε επίπεδο πλακέτας. Οι επαναπρογραμματιζόμενες FPGA και τα έτοιμα ολοκληρωμένα κυκλώματα για διασύνδεση στο SONET/SDH, προσφέρουν επεκτασιμότητα-ευελιξία και επιτρέπουν τη γρήγορη υλοποίηση σε πλακέτα πρωτοτύπου. Η όλη πλακέτα που παρουσιάστηκε εδώ, σχεδιάστηκε, υλοποιήθηκε και ελέγχθηκε η ορθή λειτουργία της σε λιγότερο από 16 μήνες, χωρίς να υπάρχει προηγούμενη ανάλογη εμπειρία. Η πλακέτα έχει μέγεθος 6.76in x 4.42in, χρησιμοποιεί δύο FPGAs για να εκτελεί όλες τις λειτουργίες πάνω στα πακέτα ATM, σύγχρονη δυναμική μνήμη σαν ενταμιευτή πακέτων, και έτοιμα ολοκληρωμένα κυκλώματα για να διασυνδέεται με το SONET/SDH με 4 συνδέσμους 155.52Mbit/s ο καθένας.

Αλλες πιο περίπλοκες αρχιτεκτονικές μπορούν να υλοποιηθούν πάνω σε αυτήν την πλακέτα, χωρίς αυτή να αλλαχθεί. Μόνο οι FPGA χρειάζονται επαναπρογραμματισμό. Επομένως, μελλοντικές εργασίες μπορούν να επαληθευθούν σε μικρό χρονικό διάστημα και χωρίς υλικό κόστος. Επίσης πολλές πιο περίπλοκες αρχιτεκτονικές μπορούν να επαληθευθούν εν μέρει και κατόπιν να κατασκευαστούν σαν ολοκληρωμένα για επίτευξη υψηλότερων ταχυτήτων.

Ο ενταμιευτής πακέτων ATM που παρουσιάστηκε σε αυτήν την εργασία, λειτουργεί στη συχνότητα το πολύ 100MHz και τουλάχιστον 77.76 για να εξυπηρετήσει 4 συνδέσμους των 155.52Mbps ο καθένας, με ένα μόνο ολοκληρωμένο σύγχρονης δυναμικής μνήμης. Αυτές οι μνήμες χρησιμοποιούν ένα σύγχρονο interface για επικοινωνία με άλλες συσκευές, παρέχουν υψηλή παροχή λόγω της υψηλούς ταχύτητας λειτουργίας τους και λόγω των τεχνικών burst που χρησιμοποιούν. Στην πλακέτα μας, δύο στατικές λογικές ουρές πακέτων διατηρούνται μέσα σε αυτήν τη μνήμη, μία για κάθε σύνδεσμο εξόδου. Τα πακέτα γράφονται σε αυτές ανάλογα με τον προορισμό τους (τιμή VP/VC) και διαβάζονται όταν ο σύνδεσμος εξόδου είναι ελεύθερος να τα μεταδώσει.

Η αρχιτεκτονική ελέγχθηκε πλήρως μέσω εκτενών προσομοιώσεων πριν σταλεί για κατασκευή. Επίσης πλήρης έλεγχος λειτουργίας έγινε και μετά την κατασκευή, αποδεικνύοντας ότι λειτουργούσε σωστά και σύμφωνα με τις προδιαγραφές μας. Μόνο ένα μικρό λάθος αποκαλύφθηκε το οποίο δεν επηρέαζε τη σωστή λειτουργία, αλλά έτσι και αλλιώς διορθώθηκε (με ευκολία). Η πλακέτα επιτύγχανε την ταχύτητα των 100MHz σε θερμοκρασία 25C, χωρίς να παρατηρηθεί κάποιο λάθος μετά από μερικές ώρες συνεχούς λειτουργίας, κατά τις οποίες την διαπέρασαν συνολικά 50GBytes δεδομένων.

Μελλοντικά μπορεί να προστεθεί στο σχέδιο ένας πίνακας μετάφρασης των επικεφαλίδων των πακέτων. Ο πίνακας μετάφρασης μπορεί να είναι στατικός (δηλ. προαποφασισμένος κατά τον προγραμματισμό των FPGA) ή δυναμικός με αλλαγές που θα προέρχονται μέσω εντολών του μικροεπεξεργαστή. Δεν υλοποιήθηκε τέτοιος πίνακας μετάφρασης, γιατί επικεντρωθήκαμε στην απλότητα και ταχύτητα του hardware και στη γρήγορη υλοποίησή του σε πλακέτα. Επίσης, μελλοντικά μπορεί να προστεθεί και η δυνατότητα cut-through που θα μειώνει την καθυστέρηση του πακέτου όταν δεν υπάρχουν άλλα πακέτα στην ουρά του δρομολογητή και επομένως δεν χρειάζεται να

περιμένει.

# 11 Ευχαριστίες

Θα ήθελα να ευχαριστήσω θερμά όλους όσους με βοήθησαν να φέρω εις πέρας την εργασία αυτή. Την γενική επίβλεψη της εργασίας είχε ο επόπτης καθηγητής μου Μανόλης Κατεβαίνης, τον οποίο και ευχαριστώ για την καθοδήγησή του. Περισσότερο θέλω να ευχαριστήσω τον Γιώργο Καλοκαιρινό που με την εμπειρία του και τη συνεχή υποστήριξή του, έδωσε λύσεις σε πολλά από τα προβλήματα που συνάντησα. Επίσης θα ήθελα να ευχαριστήσω θερμά τον Μιχάλη Λυγεράκη που με βοήθησε στις κολλήσεις της πλακέτας και στους έλεγχους που πραγματοποιήθηκαν στο εργαστήριο. Επίσης ευχαριστώ τον Μανόλη Στρατάκη για τη βοήθεια με το εργαλείο σχεδίασης Allegro.

Ακόμη, πρέπει να ευχαριστήσω το Σπύρο Παπαδημητρίου για τη συγγραφή του μοντέλου της σύγχρονης δυναμικής μνήμης που χρησιμοποιήθηκε κατά τις προσομοιώσεις, καθώς και τον Φώτη Κίτσο που με βοήθησε στο περιβάλλον του μεταγωγέα ATM που χρησιμοποιήθηκε κατά τον έλεγχο της πλακέτας.

Ευχαριστώ, τέλος, το Ινστιτούτο Πληροφορικής του Ιδρύματος Τεχνολογίας και Ερευνας για την οικονομική και τεχνική υποστήριξη που μου παρείχε. Η εργασία αυτή υποστηρίχθηκε επίσης οικονομικά από το πρόγραμμα ”ACTS” (Advanced Communication Technologies and Services) της Ευρωπαϊκής Ενωσης, μέσω του έργου ”ASICCOM” (ATM Switch for Integrated Communication, COmputation and Monitoring).

# Παραπομπές


[1] Johnson, W. Howard, and M.Graham, ”High speed digital design. A Handbook of Black Magic.” Englewood Cliffs, NJ:Prentice Hall, 1993.

[2] Montrose, I. Mark, ”Printed Circuit Board Design Techniques for EMC Compliance”, IEEE Press, 1995.

[3] ALTERA, ”Data Book” 1996.

[4] ALTERA, ”MAX+PLUS II Getting Started”.

[5] AMP, ”269039-1 datasheet” at http://www.amp.com/catalog/index.html/ (registration needed).

[6] IDT, ”74FCT388915 datasheet” at http://www.idt.com/docs/3052.pdf, 1995.

[7] INTEL, ”Embedded Microcontrollers and Processors (Volume I)”, 1992.

[8] NEC, ”μPD4516161 datasheet” available at http://www.ics.forth.gr/proj/arch-vlsi/software/TR221/uPD4516161.pdf

[9] PMC-SIERRA, ”S/UNI-LITE OPTICAL REFERENCE DESIGN (SORD)”, 1995.

[10] Texas Instruments, ”TNETA1500 datasheet” at: http://www-s.ti.com/sc/psheets/sdns021d/sdns021d.pdf, 1998.

[11] Texas Instruments, ”TNETA1560/TNETA1500 SBUS Reference Schematic Notebook”, 1995.

[12] Texas Instruments, ”TNETA1561/TNETA1500 PCI Reference Schematic Notebook”, 1995.

# Appendices

## A Reference designators

The following reference designators can be seen in the schematics of the board in appendix B:

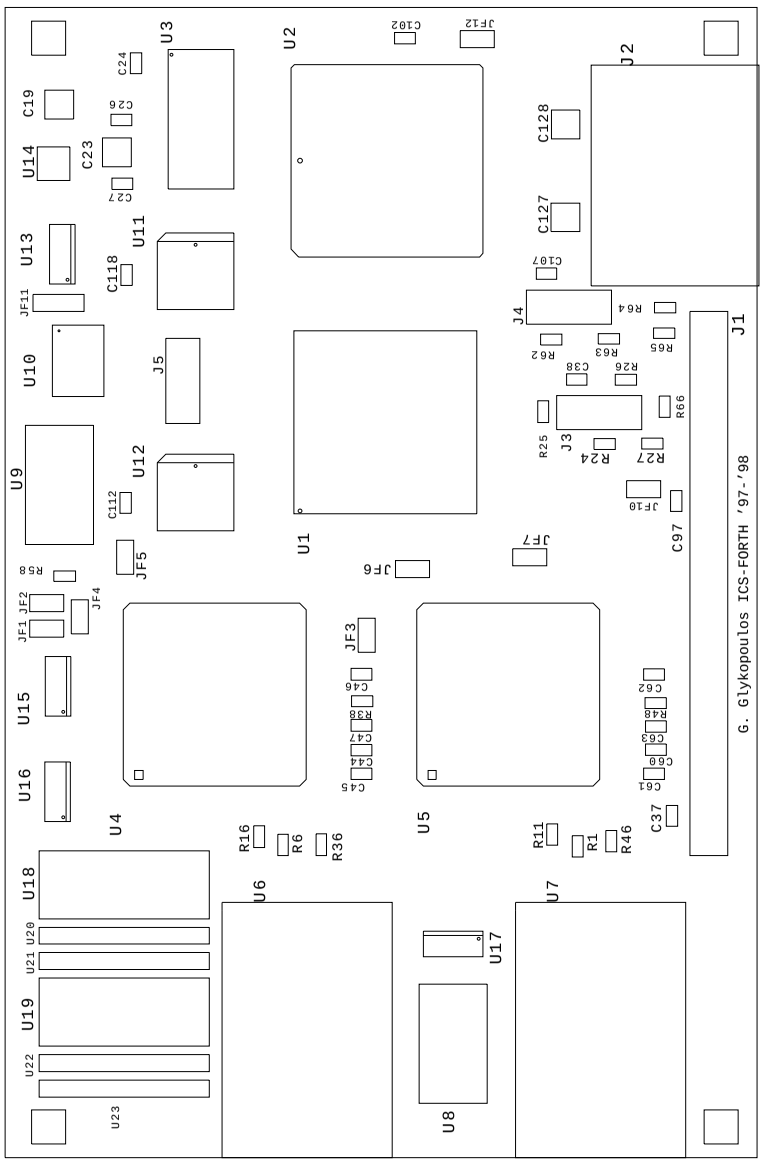
| Ref. Des. | Description |
|---|---|
| U1 | ATM Cell Scheduler (FPGA) |
| U2 | SDRAM controller (FPGA) |
| U3 | SDRAM 16Mbits |
| U4 | SONET transceiver 1 |
| U5 | SONET transceiver 2 |
| U6 | Electro-optical converter for transceiver 1 |
| U7 | Electro-optical converter for transceiver 2 |
| U8 | 19.44MHz clock oscillator (for transceivers) |
| U9 | clock oscillator (any freq. from 19.44 to 25MHz) |
| U10 | programmable clock generator |
| U11 | clock driver (50,100MHz outputs) |
| U12 | clock driver (25MHz outputs) |
| U13 | inverter (reset pins driving) |
| U14 | reset button |
| U15 to U17 | inverters (LEDs driving) |
| U18 | Ledbar1 |
| U19 | Ledbar2 |
| U20 to U23 | Resistor Array, 220Ohm |
| C1 to C4 | 470uF capacitor |
| C5 to C11<br>C14<br>C16 to C22<br>C94<br>C106 | 10uF capacitor |
| C12<br>C13 | 4.7uF capacitor |
| C23<br>C127<br>C128<br>C130 | 1uF capacitor |

*continued in the next page*

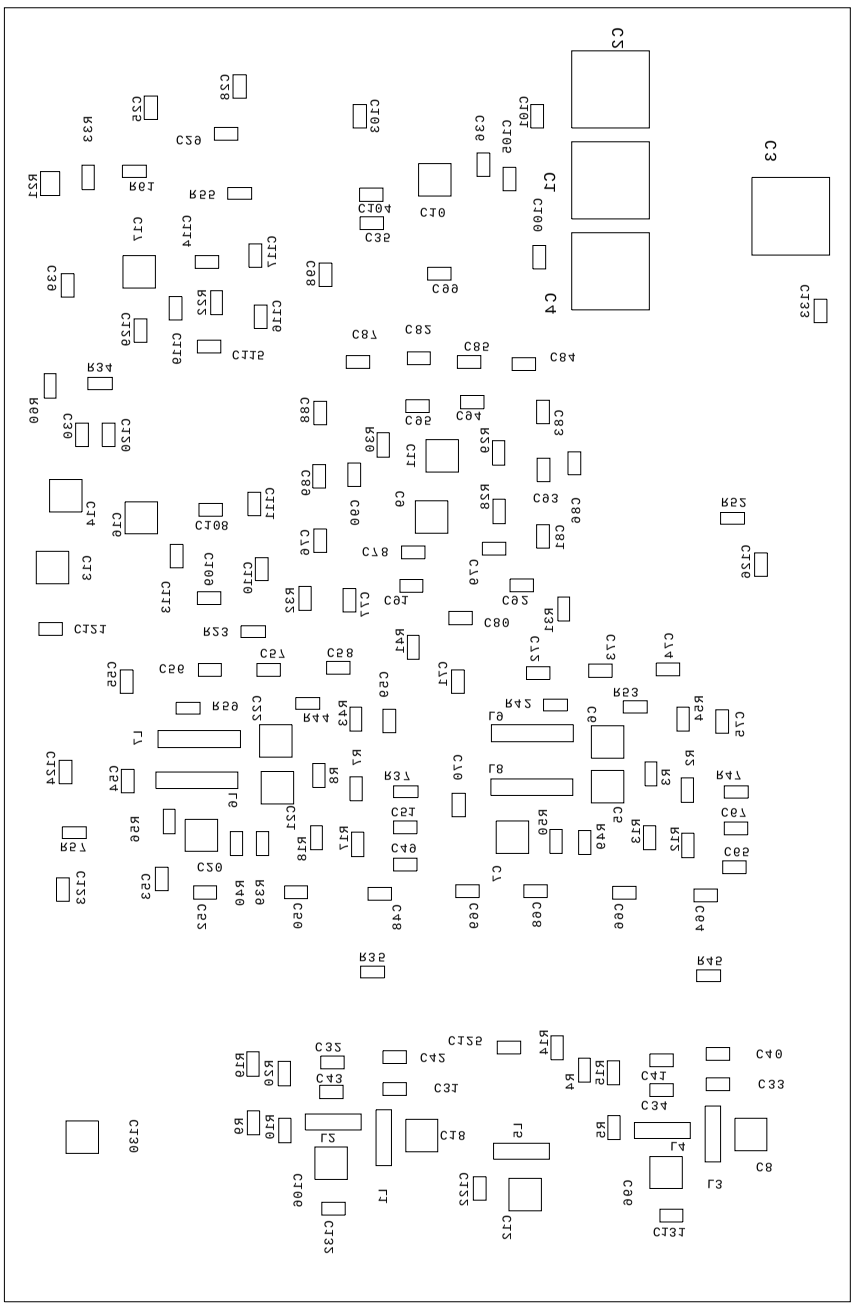
| Ref. Des. | Description |
|---|---|
| C37 to C95<br>C97 to C105<br>C107 to C126 | 0.1uF capacitor |
| C24 to C29 | 0.01uF capacitor |
| C30 to C36<br>C129<br>C131 to C133 | 0.001uF capacitor |
| R1 to R10 | 82.5 Ohms resistor |
| R28<br>R29<br>R43<br>R44<br>R53<br>R54 | 100 Ohms resistor |
| R11 to R20 | 130 Ohms resistor 1/8 Watt |
| R21 | 130 Ohms resistor 1/4 Watt |
| R22<br>R23 to R27<br>R35 to R38<br>R45 to R48<br>R62 to R66 | 1 KOhms resistor |
| R39<br>R49 | 1.3 KOhms resistor |
| R40<br>R50 | 3.74 KOhms resistor |
| R30 to R32<br>R34<br>R41 to R42<br>R52<br>R55 to R61 | 4.74 KOhms resistor |
| L1 to L5 | Ferrite bead (short lead) |
| L6 to L9 | Ferrite bead (long lead) |

Πίνακας 2: Reference designators of all components

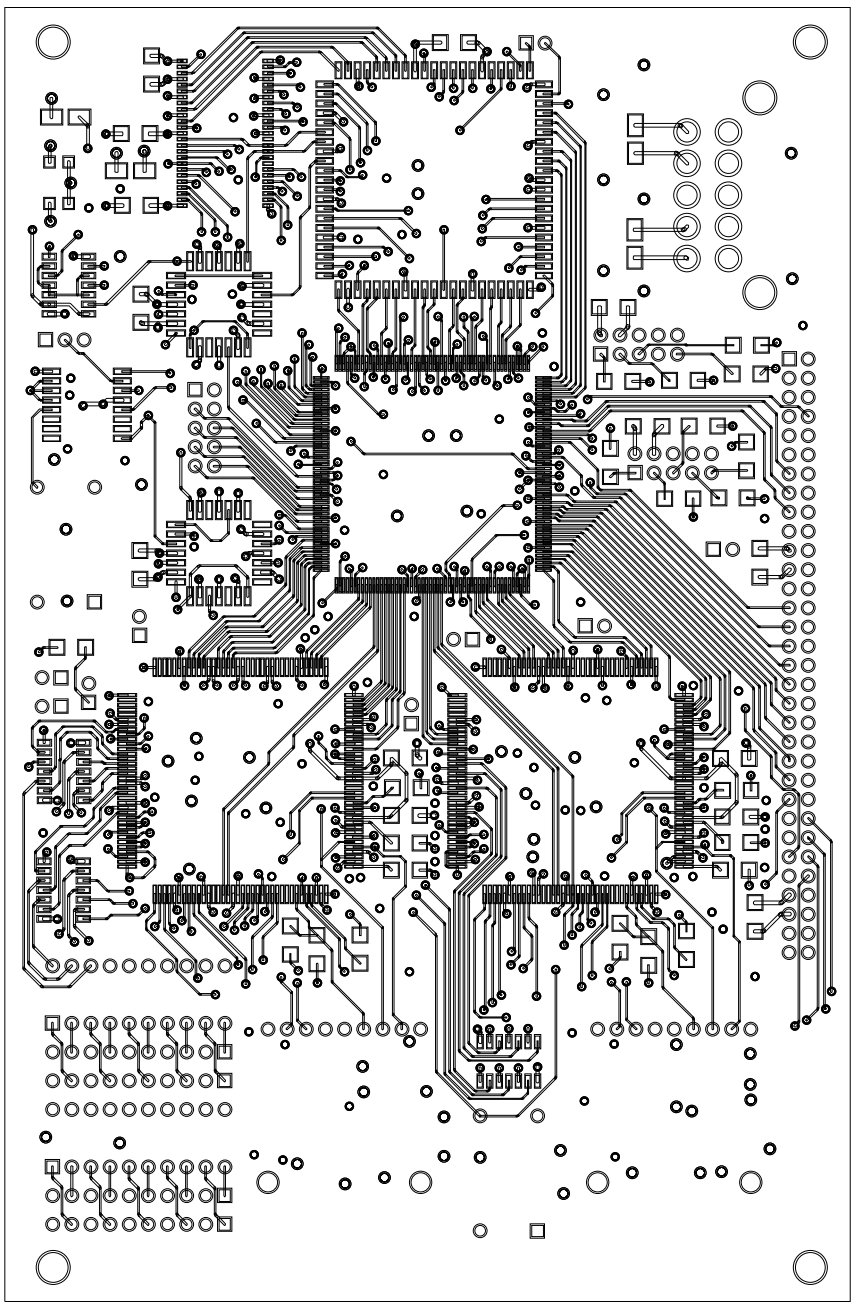
# B Schematics of the printed circuit board



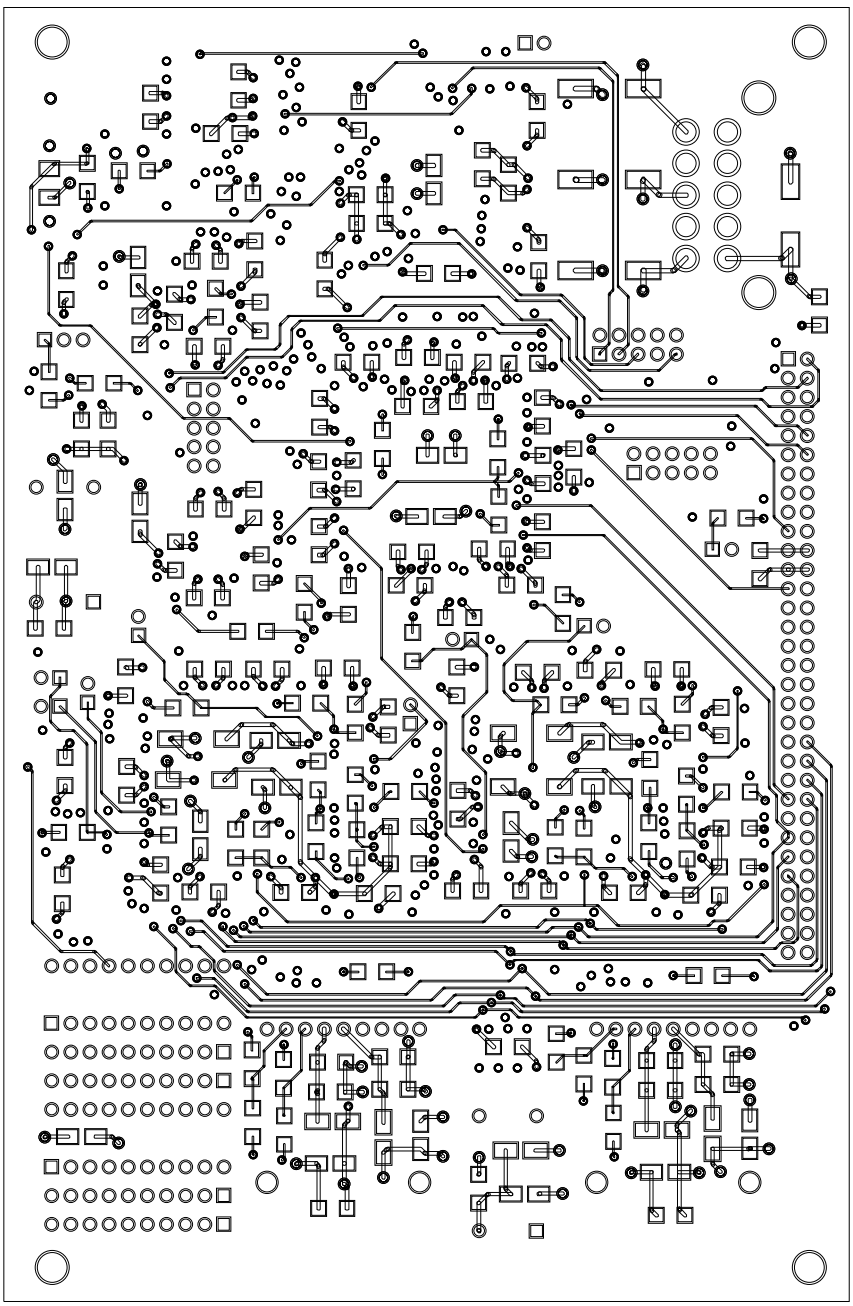

Σχήμα 21: Top layer of the board: reference designators



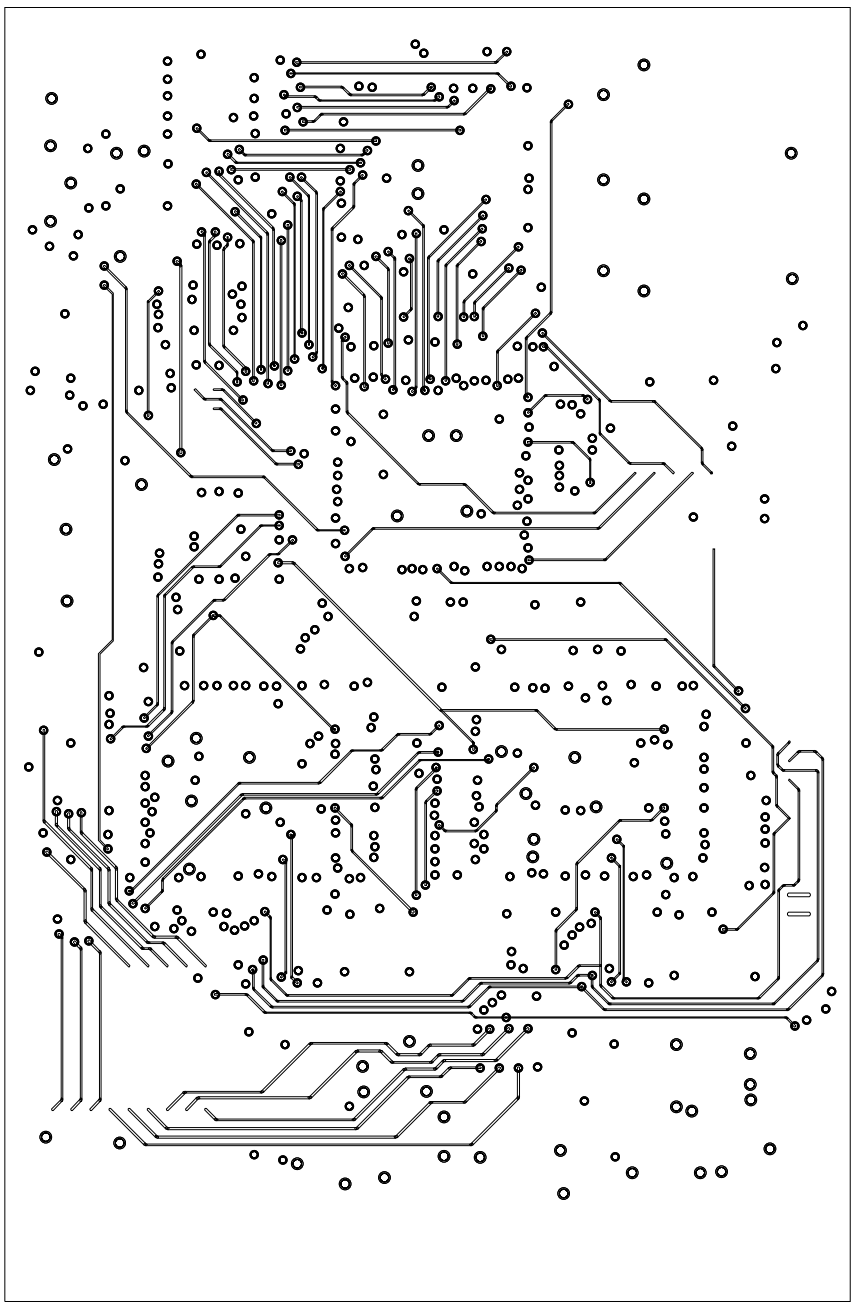
Σχήμα 22: Bottom layer of the board: reference designators



Σχήμα 23: Top layer of the board: etch



Σχήμα 24: Bottom layer of the board: etch



Σχήμα 25: Internal layer of the board: etch

# C Board operation and programming manual

Throughout this manual, consider the directions of the board (*up,down,left,right*) to be the directions of the label "G. Glykopoulos ICS - FORTH '97 - '98". (Consider the board position so as this label can be read normally).

## C.1 Power supply issues

Always power all three voltage levels on the board, which come onto the board through the power connector (J2) at the following positions (from left to right): Analog 5V, Analog GND, Digital 5V, Digital GND, Digital 3.3V.

The analog 5V must be connected (short-circuit) with the digital 5V **before** reaching the power connector, because these two voltage levels must always be of the same value (small deviations may result in damaging devices).

The analog GND must be connected (short-circuit) with the digital GND **before** reaching the power connector.

## C.2 Jumper positions

The following jumpers have the following operation when shorted (listed by their reference designator on the board):
**JF1**: Activates facility loopback on SONET transceiver 1.
**JF2**: Activates terminal loopback on SONET transceiver 1.
**JF3**: Activates SDH (instead of SONET) on SONET transceiver 1.
**JF4**: Activates loop timing on SONET transceiver 1.
**JF5**: Tri-states all TTL outputs of SONET transceiver 1.
**JF6**: Activates facility loopback on SONET transceiver 2.
**JF7**: Activates terminal loopback on SONET transceiver 2.
**JF8,JF9**: Do not exist.
**JF10**: Tri-states all TTL outputs of SONET transceiver 2.

One of **JF5** and **JPF10** must be shorted before programming the ATM cell scheduler. Both transceivers are on the same data bus and contention may result if their outputs are enabled at the same time. After programming the cell scheduler, it is guaranteed that they will not drive this bus at the same time, so both JF5 and JF10 can be left open.

The 3-way jumper **JF11**, when set to GND, sets the output of the programmable clock generator to the input frequency it gets. When set to VCC, it sets the output of the programmable clock generator to the programmed frequency. The VCC pin is the one closer to the edge of the board, whereas the GND pin is the innermost (towards the inner side of the board) pin. One of these pins must be always shorted to the middle one (it must never be left open).

**JF12** is not a jumper. NEVER short JF12.

## C.3 FPGA programming

U2 (SDRAM controller) is an EEPROM-based FPGA and is programmed through connector J4. It does not need reprogramming after power down. This device can be reprogrammed around 100 times. At the time of this report being written, it has already been reprogrammed 7 times.

U1 (ATM cell scheduler) is an SRAM based FPGA and is configured through connector J3. It can be configured (”configure” is the corresponding word for ”program” on a SRAM device) an unlimited number of times. It must be reconfigured every time after power up because it looses configuration when the power goes down.

Both FPGA’s (U1 and U2) can be reconfigured/reprogrammed during operation of the board. A reset operation may be needed after this.

In order to program the FPGA’s:

1. Connect the ByteBlaster cable to both the parallel port of a PC and on the corresponding 10-pin header on the board (J3 for cell scheduler, J4 for SDRAM controller).

2. Open the MAX+PLUS II environment, compile a design and then run the programmer. For more information see [4] chapter 4. All design and program files of the current design are available at:
http://www.ics.forth.gr/proj/arch-vlsi/software/TR221/pld1.zip (ATM cell scheduler) and http://www.ics.forth.gr/proj/arch-vlsi/software/TR221/pld2.zip (SDRAM controller). See README file in each zip file for more instructions.

3. One FPGA must be programmed at a time. In order to switch the ByteBlaster between J3 and J4, the board must be powered down. Since the ATM cell scheduler (U1) is an SRAM based device, it looses configuration after power down; thus, the SDRAM controller must be programmed first, then the board must be powered down and finally the cell scheduler can be configured.

4. When the programmer is running, press the ”configure” button (for the cell scheduler) or the ”program” button (for the SDRAM controller). A ”configuration complete” message should appear.

5. A reset operation may be needed for the correct initialization and operation of the loaded programs.

For more information on programming ALTERA FPGA’s, see [4] and [3].

NOTE: FPGA’s do not need reprogramming/reconfiguration after a reset operation.

**IMPORTANT NOTE:**
When reprogramming/reconfiguring the FPGAs, care must be taken as far as pin type is concerned (input, output or bidirectional pin). Pins on different FPGA’s (or, generally, on different ICs) that are connected together, must never be programmed as outputs at the same time. All connections between pins can be seen in the Concept diagram of the design, or in the Allegro diagram or in the Allegro report files.

## C.4 Microcontroller interface

A number of operations can be made on the board through the i80C32 [7] microprocessor board, such as reading and writing the transceivers' internal registers. In order to do this:

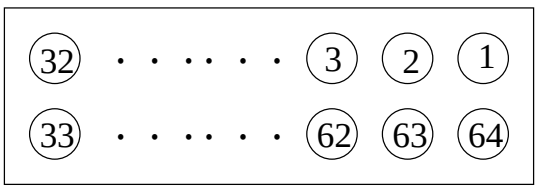
- Connect the board to the i80C32 microprocessor board through a 64-bit flat cable and through a 2x32 connector.
- Connect the microprocessor board to the EPROM emulator. The EPROM emulator must be connected on a PC serial port. The EPROM emulator downloads from the PC the program to be run by i80C32.
- Run program "ggboard.exe" on the PC connected to the EPROM emulator. A menu appears; follow the instructions appearing on screen. The program "ggboard.exe" is available at:
  http://www.ics.forth.gr/proj/arch-vlsi/software/TR221/ggboard.exe

For more information on this interface see appendix C.5.

## C.5 Connectors

**JF12** is not a jumper. Its pins are connected to pins 52 and 54 of U2 (SDRAM controller), and are used for debugging purposes. NEVER short JF12.

**J1** is the interface with the micro-controller. Connect it through a flat cable and with a 2x32 pin connector to the i80C32 board. The pin numbering of J1 connector can be seen in figure 26 (top view of the connector).




Σχήμα 26: Numbering of J1 connector pins (top view).

Pin assignment of J1 is shown in table 3.

**J2** is the power connector. Its circuits are (from left to right): Analog 5V, Analog GND, Digital 5V, Digital GND, Digital 3.3V.

**J3** programs U1 (ATM cell scheduler). The ByteBlaster cable must be connected with pin #1 towards the inner part of the board (or towards U1, see B).

**J4** programs U2 (SDRAM controller). The ByteBlaster cable must be connected with pin #1 towards the inner part of the board (or towards U1, see B).

**J5** is a 10-pin header, used for debugging purposes. Its pins are connected to pins 195, 193, 192, 191, 189, 187, 186, 180, 175, 174 of U1 (ATM cell scheduler).

| Pin num. | Signal name | Pin num. | Signal name |
|---|---|---|---|
| 1 | GND | 33 | NC |
| 2 | NC | 34 | NC |
| 3 | NC | 35 | GND |
| 4 | VCC 5V | 36 | VCC 5V |
| 5 | NC | 37 | Data 0 |
| 6 | NC | 38 | Data 1 |
| 7 | Read_ | 39 | Data 2 |
| 8 | Write_ | 40 | Data 3 |
| 9 | ALE | 41 | Data 4 |
| 10 | PSEN | 42 | Data 5 |
| 11 | VCC | 43 | Data 6 |
| 12 | GND | 44 | Data 7 |
| 13 | Addr 15 | 45 | NC |
| 14 | Addr 14 | 46 | NC |
| 15 | Addr 13 | 47 | NC |
| 16 | Addr 12 | 48 | GND |
| 17 | Addr 11 | 49 | NC |
| 18 | Addr 10 | 50 | NC |
| 19 | Addr 9 | 51 | NC |
| 20 | Addr 8 | 52 | NC |
| 21 | Addr 7 | 53 | GND 5V |
| 22 | Addr 6 | 54 | VCC 5V |
| 23 | Addr 5 | 55 | NC |
| 24 | Addr 4 | 56 | NC |
| 25 | Addr 3 | 57 | NC |
| 26 | Addr 2 | 58 | NC |
| 27 | Addr 1 | 59 | Reserved connection to U1 pin 94 |
| 28 | Addr 0 | 60 | Reserved connection to U1 pin 96 |
| 29 | VCC 5V | 61 | Reserved connection to U1 pin 95 |
| 30 | GND | 62 | NC |
| 31 | NC | 63 | clk generator data |
| 32 | NC | 64 | clk generator sclk |

Πίνακας 3: J1 connector pin assignment.

## C.6 LEDs

LEDBAR 1 and LEDBAR 2 indicate the alarms generated from the two transceivers. LEDBAR 1 (at the right) indicates alarms from transceiver 1 and LEDBAR 2 (at the left) from transceiver 2. Especially, the alarms LOF, OOF and LOCA are asserted when the device is reset and stay asserted if the fiber is not connected at all. LED 10 of LEDBAR 1 is ON when analog 5V is powered and LED 10 of LEDBAR 2 is ON when digital 5V is powered. Make sure both these LEDs are ON when the board is operating. The corresponding LEDs for all alarms and VCC testing are shown in table 4.

| LED num. | LEDBAR 1:Alarms for transceiv. 1 | LEDBAR 2:Alarms for transceiv. 2 |
|---|---|---|
| 1 | LOF | LOSRD |
| 2 | OOF | LOP |
| 3 | LAIS | LAIS |
| 4 | LOP | LOCA |
| 5 | LOS | OOF |
| 6 | LOSRD | LOF |
| 7 | LFERF | LFERF |
| 8 | LOCA | B1ERR |
| 9 | B1ERR | LOS |
| 10 | An. 5V | Dig. 5V |

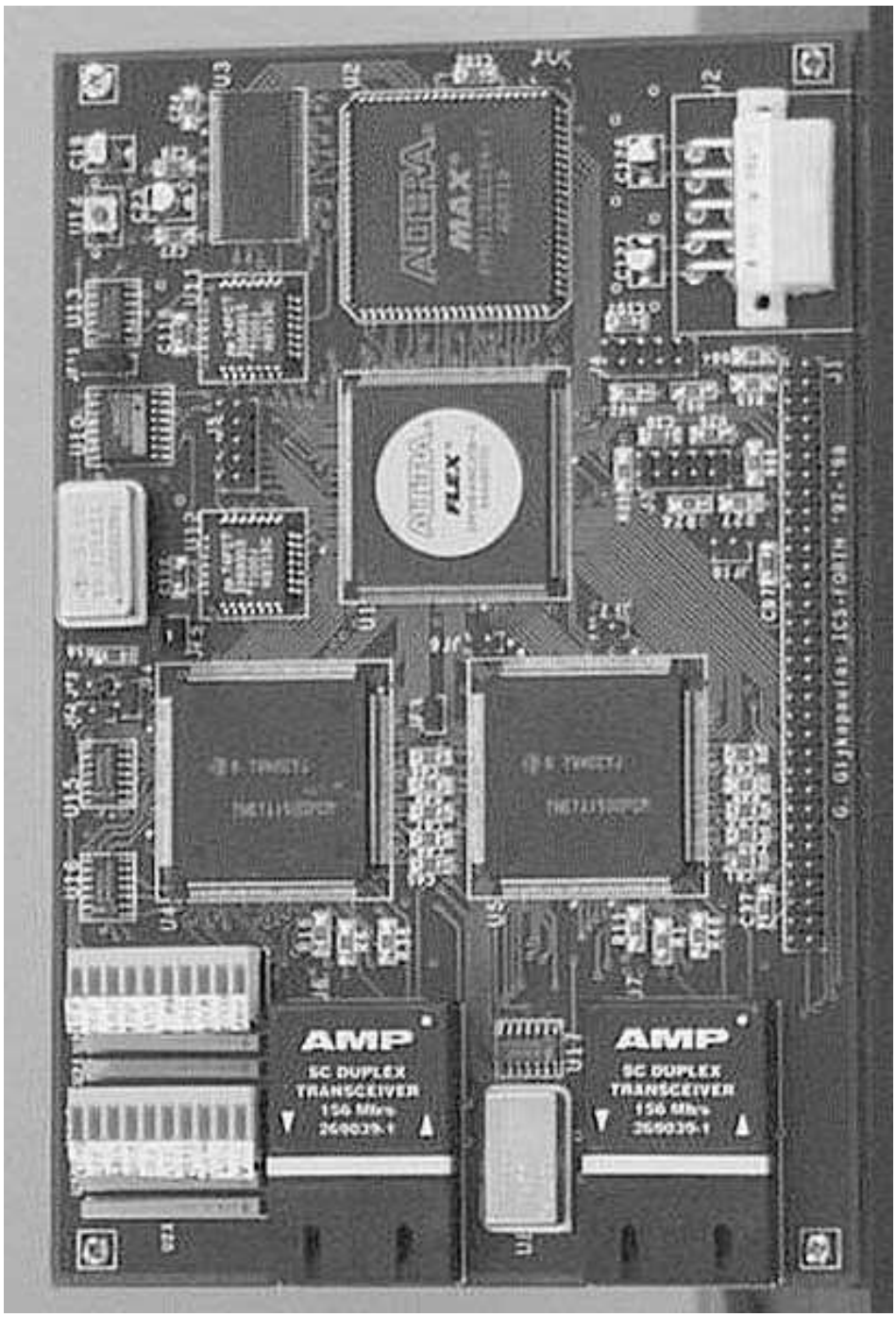
Πίνακας 4: Alarm indicated by each LED

On the ledbar, LED 2 is under LED 1, LED 3 is under LED 2 and so on.

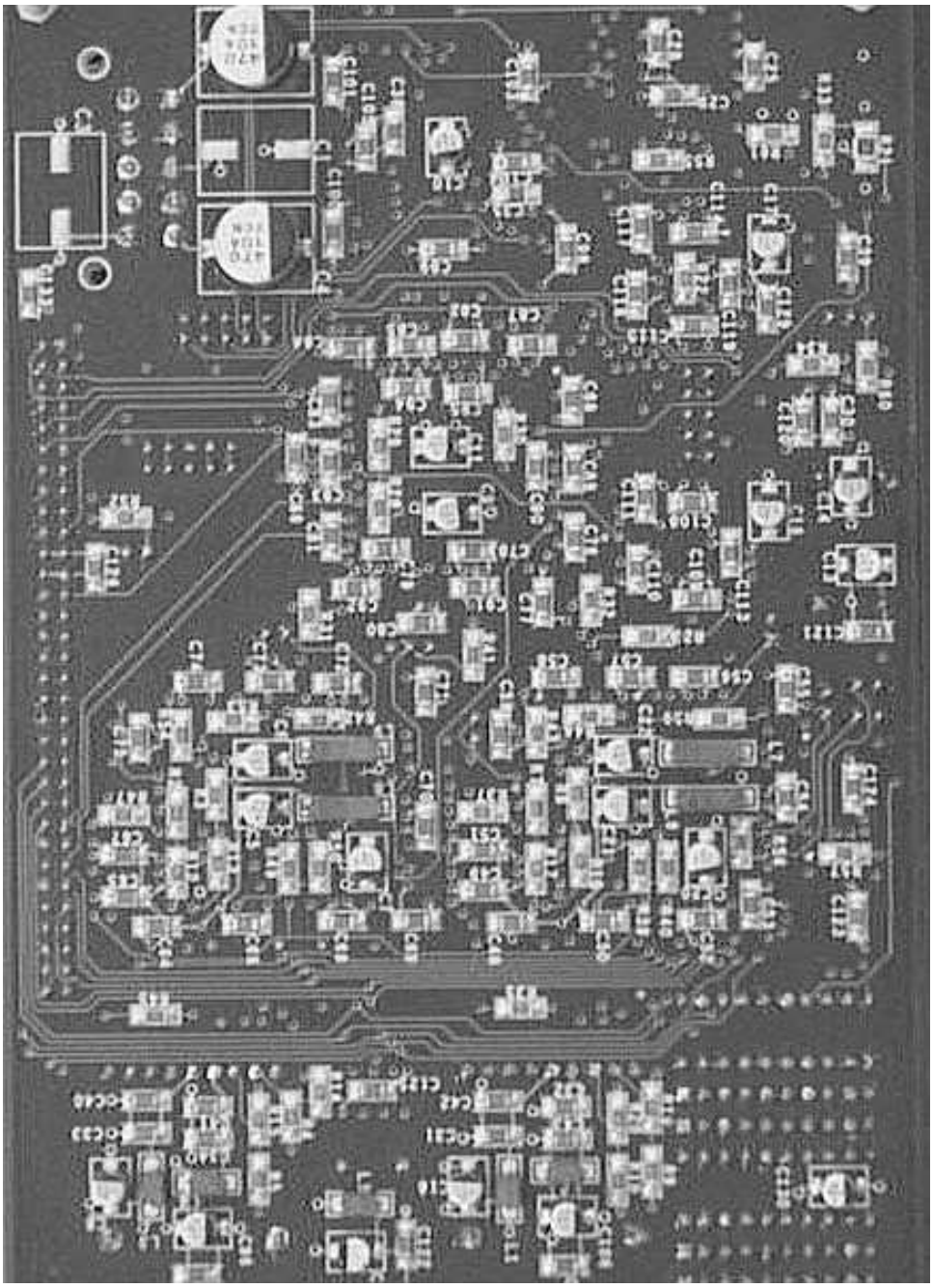
## C.7 IMPORTANT NOTE

Pin 2 of U13 inverter (reset signals generator) is forced away from its pad. Make sure this pin is ALWAYS unconnected to its pad for the correct operation of the board. Do NOT attempt to solder it again on its pad (or bring it closer to its pad).

# D Board pictures




Σχήμα 27: Picture of the final board (top view).



Σχήμα 28: Picture of the final board (bottom view).

# E Bill of materials

The following materials have been used:

| Part/num | Manufacturer | Supplier | Description | Qty | Unit Price ($) |
|---|---|---|---|---|---|
| EPF10K40RC208-3 | ALTERA | Arrow Elec. | FPGA | 1 | 150 |
| EPM7128SLC84-7 | ALTERA | Arrow Elec. | FPGA | 1 | 30 |
| uPD4516161 | NEC | Marshall Ind. | SDRAM 16Mbit | 1 | 20 |
| TNETA1500-PCM | Texas Instrum. | Arrow Elec. | SONET ATM transceiver | 2 | 50 |
| 269039-1 | AMP | Arrow Elec. | e/o converter | 2 | 90 |
| OSO-STC B015 19.44 | OnSpec | OnSpec | oscillator 19.44MHz 15ppm | 2 | 12 |
| ICD2051-2 | Cypress | Ambar Comp. | Programmable clock gener. | 1 | 5 |
| 74FCT388915T-100J | IDT | Insight | PLL based clock driver | 2 | 8 |
| 74ACTQ04SC | Fairchild | Digikey | Hex inverter | 4 | 1 |
| 7914J-1-000E | Bourns Inc. | Digikey | Reset Button | 1 | 1 |
| MV57164 | Quality Tech. Optoelectron. | Quality Tech. Optoelectron. | LEDBAR (10 LEDS) | 2 | 2 |
| 4306R-102-221 | Bourns Inc. | Digikey | Resistor Array | 4 | 1 |
| ECE-V1CA471P | Panasonic | Digikey | 470uF capacitor | 4 | 0.8 |
| EEV-HB1C100R | Panasonic | Digikey | 10uF capacitor | 17 | 0.3 |
| ECE-V1EA4R7R | Panasonic | Digikey | 4.7uF capacitor | 2 | 0.3 |
| ECE-V1HA010R | Panasonic | Digikey | 1uF capacitor | 4 | 0.3 |
| ECU-V1H104KBW | Panasonic | Digikey | 0.1uF capacitor | 88 | 0.3 |
| ECU-V1H103KBM | Panasonic | Digikey | 0.01uF capacitor | 6 | 0.1 |
| ECU-V1H102KBM | Panasonic | Digikey | 0.001uF capacitor | 11 | 0.1 |
| ERJ-8ENF82R5 | Panasonic | Digikey | 82.5 Ohms resistor | 10 | 0.1 |
| ERJ-8ENF1000 | Panasonic | Digikey | 100 Ohms resistor | 6 | 0.1 |
| ERJ-8ENF1300 | Panasonic | Digikey | 130 Ohms resistor 1/8 Watt | 10 | 0.1 |
| ERJ-14YJ131 | Panasonic | Digikey | 130 Ohms resistor 1/4 Watt | 1 | 0.3 |
| ERJ-8ENF1001 | Panasonic | Digikey | 1.0 KOhms resistor | 19 | 0.1 |
| ERJ-8ENF1301 | Panasonic | Digikey | 1.3 KOhms resistor | 2 | 0.1 |
| ERJ-8ENF3741 | Panasonic | Digikey | 3.74 KOhms resistor | 2 | 0.1 |
| ERJ-8ENF4751 | Panasonic | Digikey | 4.75 KOhms resistor | 14 | 0.1 |
| 2743019447 | Fair-Rite | Fair-Rite | Ferrite Bead (short lead) | 5 | 2 |
| 2743021447 | Fair-Rite | Fair-Rite | Ferrite Bead (long lead) | 4 | 2 |
| 39-29-1108 | Molex | Digikey | Power Conn. (male header) | 1 | 2.5 |
| 39-01-2100 | Molex | Digikey | Power Conn. (conn. housing) | 1 | 1 |

# F Manufacturers

**ALTERA** (USA):
Phone: (408) 544-7104 (Product availability, pricing)
WEB: http://www.altera.com/
E-mail: sos@altera.com (technical support)

**AMP** (USA):
Phone: 717-564-0100
Fax: 717-986-7575
WEB: http://www.amp.com/
E-mail: http://www.amp.com/support/feedback.html (e-mail form)

**Bourns** (USA):
WEB: e-mail: http://www.bourns.com/
E-mail: http://www.bourns.com/asp/ModelSearch/HumanHelp.asp (e-mail addresses)

**Cypress** (USA):
Phone: (408) 943-2600
Fax: (408) 943-2741
WEB: http://www.cypress.com/
E-mail: webmaster@cypress.com

**Fairchild** (USA):
Phone: (207) 775-8100
Fax: (207) 761-6020
WEB: http://www.fairchildsemi.com/
E-mail: http://www.fairchildsemi.com/cgi-bin/tsg.cgi/ (tech support)

**Fair-Rite** (USA):
Phone: (914) 895-2055
Fax: (914) 895-2629
WEB: http://www.fair-rite.com/
E-mail: ferrites@fair-rite.com

**IDT** (USA):
Phone: 800-345-7015
Fax: 408-492-8674
WEB: http://www.idt.com/, http://www.idt.com/tools/support.html (tech support)
E-mail: ussales@idt.com (sales)

**Molex** (USA):
Phone: 630-969-4550
Fax: 630-968-8356

WEB: http://www.molex.com/
e-mail: amerinfo@molex.com (for USA), euroinfo@molex.com (for Europe)

**NEC** (USA):
WEB: http://www.nec.com/
E-mail: tech-support@nectech.com

**OnSpec** (UK):
Phone: 01203 642024
Fax: 01203 642073
WEB: http://www.onspec.co.uk/
E-mail: sales@onspec.co.uk

**Panasonic** (USA):
WEB: http://www.panasonic.com/pic/index-semico.html

**Quality Technologies Optoelectronics** (USA):
Phone: (408) 720-1440
Fax: (408) 720-0848
WEB: http://www.qtopto.com/
E-mail: http://www.qtopto.com/inforeq.htm (e-mail form)

**Texas-Instruments** (USA):
Phone: (972) 644-5580
Fax: (972) 480-7800
WEB: http://www.ti.com/
E-mail: http://www.ti.com/sc/docs/feedbk1.htm (e-mail form)

# G Distributors

**Marshall Industries** (USA):
Phone: 619-627-4140
WEB: http://www.marshall.com/

**Arrow Electronics** (USA):
WEB: http://www.arrowsemi.com/
E-mail: mgoldberg@arrow.com (sales person)

**Ambar Components Ltd.** (UK):
Phone: +44 1296 397 396
Fax: +44 1296 397 439
WEB: http://www.ambar.memec.com/

**Insight** (USA):
Fax: 602-902-1180 WEB: http://www.insight.com/
E-mail: info@insight.com

**Digikey** (USA):
Phone: 218-681-6674
Fax: 218-681-3380
WEB: http://www.digikey.com/
E-mail: http://www.digikey.com/MKT/Contact.html (e-mail forms)

Other distributors:
**All American** (USA): 408-441-1300
**Bell Industries** (USA): 619-576-3290
**Bell Microproducts** (USA): 408-451-9400
**Merit Electronics** (USA): 408-434-0800
**Pioneer** (USA): 408-954-9100
**Sterling Electronics** (USA): 408-435-0835
**Western Microtechnology** (USA): 619-453-8430